

计算机原理与设计

JISUANJI
YUANLI
YU
SHEJI

下 册



李勇等 编著

国防科技大学出版社

JISUANJI
YUANLI
YU
SHEJI

计 算 机 原 理
与 设 计

下 册

李 勇 裘式纲 王凤学 宋焕章 编著

国防科技大学出版社

内 容 简 介

本书分上、下两册，上册为中央处理机部分，下册为存贮和外设部分，两部分有一定的独立性。

下册共五章，包括半导体存贮器、磁芯存贮器、磁表面存贮器、输入输出设备和输入输出控制。着重阐述基本概念、基本原理，基本分析方法和设计方法。

本书是作者结合多年在国防科技大学从事计算机研制和教学工作经验，为计算机及其应用专业、计算机软件专业编写的教材，内容丰富，深入浅出，反映现代科学技术水平，可作为有关专业教材和科技人员参考，并可作为自学用书。

计 算 机 原 理 与 设 计

下 册

李 勇 等编著

责任编辑 王金荣

*

国防科技大学出版社出版

湖南省新华书店发行

国防科技大学印刷厂印装

*

开本 787×1092 1/16 印张 23 字数 524 千字

1985年9月第一版 1986年4月第二次印刷 印数：5,001—15,000册

统一书号：15415·004 定价：3.76元

目 录

第十一章 半导体存储器	
11.1 双极型随机存储器RAM	7
11.1.1 直耦合存储单元电路	7
11.1.2 二极管开关集电极阻抗存储单元电路	11
11.1.3 I ² L存储单元电路	14
11.1.4 双极型RAM	16
11.2 MOS型随机存储器	24
11.2.1 静态存储单元电路	25
11.2.2 动态存储单元电路	27
11.2.3 MOS存储单元电路比较	34
11.2.4 MOS动态RAM	36
11.3 相联存储器CAM	43
11.3.1 相联存储器的工作特点	43
11.3.2 CAM的结构组成和工作原理	45
11.4 串行存储器	47
11.4.1 CCD的基本概念和工作原理	48
11.4.2 CCD存储器	52
11.5 只读存储器	53
11.5.1 固定掩膜型只读存储器MROM	54
11.5.2 一次可编程只读存储器PROM	55
11.5.3 电可改型只读存储器EPROM	59
11.6 半导体存储器的测试	66
11.6.1 静态测试与动态测试	67
11.6.2 功能测试	69
11.7 半导体存储器件的使用	75
11.7.1 设计存储器的一般原则和方法	75
11.7.2 存储器的逻辑设计	76
11.7.3 存储器逻辑设计举例	80
习题	100
第十二章 磁芯存储器	
12.1 概述	102
12.2 磁芯	103
12.2.1 磁芯与磁化曲线	103
12.2.2 磁芯存储信息原理	104
12.2.3 磁芯的特性与参数	106
12.2.4 磁芯的测试与挑选	109
12.3 存取方式	109
12.3.1 三度存取方式	111
12.3.2 二度半存取方式	114
12.3.3 二度存取方式	116
12.3.4 各种存取方式比较	119
12.4 选址驱动系统	120
12.4.1 驱动器	120
12.4.2 电流译码矩阵	122
12.5 位读写系统	125
12.5.1 读出线与读出线上的信号	125
12.5.2 对读出放大器的要求	126
12.5.3 读出放大器	127
12.5.4 写入电路	129
12.6 控制电路	130
12.6.1 RC组合延迟定宽电路	131
12.6.2 固体延迟线定宽电路	132
12.7 三度三线磁芯存储器举例	132
12.7.1 各部分的组成	133
12.7.2 存储器的读写过程	135
12.7.3 磁芯存储器的检查	138
习题	140
第十三章 磁表面存储器	
13.1 外围设备引论	142
13.2 磁表面存储器概述	144
13.3 磁记录原理	148
13.3.1 磁记录材料	148
13.3.2 磁头	149
13.3.3 信息存取原理	153

13.4	数字磁记录方式	156	14.3.1	计算机的显示器	264
13.4.1	记录方式及其评定方法	157	14.3.2	显示器的构成和工作原理	268
13.4.2	游程长度受限码	162	14.4	汉字处理装置	282
13.4.3	几种新型的游程长度受限码	174	14.4.1	汉字编码	283
13.5	编码和译码电路	184	14.4.2	汉字处理设备	293
13.5.1	编码和译码电路	184	14.4.3	汉字处理	295
13.5.2	数据同步分离	191	习题		297
13.6	磁带存贮器	197	第十五章 输入输出控制		
13.6.1	概述	198	15.1	I/O 控制和 I/O 子系统	299
13.6.2	磁带机结构	202	15.2	总线结构	309
13.6.3	磁带带面的信息分布	207	15.2.1	总线类型	310
13.7	磁盘存贮器	210	15.2.2	总线通信及控制	313
13.7.1	磁盘技术的发展与现状	211	15.3	程序中中断及其接口	318
13.7.2	磁盘驱动器	214	15.3.1	I/O 指令和 I/O 接口	319
13.7.3	磁头定位驱动系统	216	15.3.2	程序中中断控制传送	325
13.7.4	记录格式	225	15.4	DMA 传送及其接口	331
13.7.5	软盘存贮器	228	15.4.1	DMA 传送及其接口	331
习题		237	15.4.2	DMA 传送示例	335
第十四章 输入输出设备			15.5	I/O 通道方式	341
14.1	纸带输入机	240	15.5.1	通道控制字和通道状态字	342
14.1.1	穿孔纸带	241	15.5.2	I/O 指令	344
14.1.2	纸带输入机读出原理	242	15.5.3	通道构成与功能	346
14.1.2	纸带输入机传动系统	246	15.5.4	通道的输入输出操作	350
14.2	行式打印机	249	习题		354
14.2.1	计算机的打印输出设备	249	附录		357
14.2.2	鼓轮式宽行打印机	252	参考文献		362
14.2.3	针式打印机	259			
14.3	显示设备	263			

第十一章 半导体存贮器

半导体存贮器是六十年代后期才发展起来的新型存贮技术。采用集成化技术，将存贮单元电路及其外围电路直接做在半导体芯片上，然后封装在管壳内，引出便于使用的相应点，这样构成的存贮器，称之为半导体存贮器 (Semiconductor Memory)。由于它具有速度快、体积小、重量轻、可靠性高、使用方便、易于批量生产等一系列优点，十多年来发展异常迅速。各种类型半导体存贮器相继问世，产量成倍增长，性能价格比不断提高，应用日益广泛。一举取代了占据计算机主存宝座多年的磁芯存贮器，成为当前主要的存贮技术，它也是计算机由第三代跨入第四代的重要标志之一。

从半导体存贮器的发展来看，按其所采用的元件类型可分为两大类，一类是双极型半导体存贮器 (Bipolar Semiconductor Memory)。它的特点是速度快，功耗大，集成度较低 (见表11.1)。由于双极型存贮器速度快，所以，一般主要用作大型机的高速缓冲存贮器 (Cache)。但近年来，在几种巨型机中也用它作主存贮器，如美国76年研制成的亿次机 CRAY-1，就是用 ECL 双极型半导体存贮器，作成100万字 (64位) 容量的主存贮器。其存贮周期为50ns。另一类是 MOS 存贮器 (Metal Oxide Semiconductor Memory)。它的特点是集成度高，功耗小，速度较低 (见表11.2和11.3)。适合于作各类计算机的主存贮器。

半导体存贮器若按其功能划分，大致可分为三类：一是随机存取存贮器 (Random Access Memory)，简称为随机存贮器 RAM。这类存贮器有双极型的，也有 MOS 型的。它的主要特点是：可以随时向其任一存贮单元写入信息，也可随时从其任一存贮单元读出信息。所以，它使用灵活，用途最广，可作主存，也可作缓存。二是串行存取存贮器 (Serial Access Memory)，简称为串行存贮器 SAM。这类存贮器通常是指电荷耦合器件 CCD (charge Coupled Device)。它的读写过程是逐位串行进行的，而且存取时间与信息所在位置有关，常需等待时间。SAM 主要用于串行数字系统和存取速度要求比较低的场合。三是只读存贮器 ROM (Read Only Memory)。这类存贮器，它存的信息都是固定的，在正常运用时，只能随时读出任一存贮单元的信息，而不能随时写入信息 (见表11.4)。ROM 广泛用于存贮固定表格、图形、字符和微程序库等。

上述各种类型的半导体存贮器，尽管性能各异，但构成存贮器的基本组成部分，仍是相同的，可用图11.1来表示。

其中存贮单元矩阵，是由许多相同性质的存贮单元电路组成的阵列。每个存贮单元只存贮一位二进制信息。在同一芯片里，存贮单元越多，集成度就越高，存贮容量也就越大。为了实现信息的存取，还要有与存贮单元矩阵相配合的外围电路，如地址缓冲器、地址译码器、读写电路、数据缓冲器和控制电路等。关于这些电路的作用和工作原理，

表 11.1 双极型RAM

产 品 型 号	厂 家	结 构	电 路 形 式	读 取 时 间 (ns)	写 入 时 间 (ns)	工 作 功 耗 (mW)	工 作 电 源 (V)	温 度 范 围 (°C)
MCM 10148 F	Motorola	64×1	ECL	10	8	420	-5.2, 0	0~70
SN 10147 JE	Texas	128×1	//	15	8	520	//	0~80
μPB 10144 D	日本电气	256×1	//	25		800	//	0~70
MBM 10422	Fujitsu	256×4	//	10	7	700	//	80~150
HM 2112	日 立	1024×1	//	7	5		//	0~70
MBM 10470	Fujitsu	4096×1	//	35	25	655	//	0~70
F 100470 DC	Fairchild	4096×1	//	35	25	877	-4.5, 0	0~80
F 10480/100480	Fairchild	16384 ×1	//	35		936		
93410 ADC	Fairchild	256×1	TTL	45	30	700	0, 5	0~70
N 82 LS 116 F	Signetics	256×1	//	40	25	380	//	//
SN 74 S 208 E	Texas	256×4	//	40	15	600	//	0~60
N 82 LS 10 N	Signetics	1024×1	//	45	35	325	//	0~70
SN 74 S 214 J	Texas	1024×1	//	70	50	550	//	//
μPB 2205 D	日本电气	1024×1	//	50	60	775	//	//
93471 DC	Fairchild	4096×1	//	55	30	950	//	//
82 S 400/401	Signetics	4096×1	//	45		675	//	//
93480	Fairchild	16384 ×1	//	45		700	//	//

表11.2 MOS 静态 RAM

产 品 型 号	厂 家	结 构	电 路 形 式	读 取 时 间 (ns)	写 入 时 间 (ns)	工 作 功 耗 (mW)	工 作 电 源 (V)	温 度 范 围 (°C)
D 2115 H 2	Intel	1024 × 1	MOS	20	15	814	0, 5	0~70
MCM 21 L 15 AC-45	Motorola	1024 × 1	//	45	30	1000	0, 5	0~70
HM 6148 LP	日 立	1024 × 4	//	70	70	1000	0, 5	0~70
D 2148 H 3	Intel	1024 × 4	//	55	55	1200	0, 5	0~70
D 2147 H 1	Intel	4096 × 1	//	35	35	1200	0, 5	0~70
MK 4147 N-55	Mostek	4096 × 1	//	55	55	500	0, 5	0~70
MM 2147 N-L	National Semiconductor	4096 × 1	//	70	70	720	0, 5	0~70
AM 90 L 44 CDC	Advanced Micro Devices	4096 × 1	//	300	300	250	0, 5	0~70
μPD 2167	日 本 电 气	16384 × 1	//	55	55	160	0, 5	
MB 6167	Fujitsu	16384 × 1	//	70	70	1200	0, 5	0~80
MM 54 C 89 J	National Semiconductor	16 × 4	CMOS	650	300	45	0, 5	-50~120
MM 54 C 920 N-3	National Semiconductor	256 × 4	//	250	290	500	0, 5	-50~120
IM 6504 MIN	Intersil	4096 × 1	//	170	240		0, 5	-50~120
HM 6147-3	日 立	4096 × 1	//	70	70		0, 5	0~70
15101	Intel	256 × 4	//	45		135	0, 5	

表11.3 MOS 动态 RAM

产 品 型 号	厂 家	结 构	电 路 形 式	读 取 时 间 (ns)	写 入 时 间 (ns)	工 作 功 耗 (mW)	工 作 电 源 (V)	温 度 范 围 (°C)
MCM 4027 C ₄	Motorola	4096 × 1	单管 MOS	250	375	360	-5, 12	0~70
μPD 411 D-3	日 本 电 气	4096 × 1	//	150	380	1000	-5, 12	//
MCM 4116 AC 15	Motorola	16384 × 1	//	150	375	462	-5, 12	//
MK 4516 N-12	Mostek	16384 × 1	//	120	250	900	0, 5	//
MB 8132 EH	Fujitsu	32768 × 1	//	150	320	250	-2.5, 7	//
MK 4332 D-3	Mostek	32768 × 1	//	200	375	480	-5, 12	//
MCM 6630 L 20	Motorola	32768 × 1	//	200	330	275	0, 5	//
HM 4864-2	日 立	65536 × 1	//	150	270	1000	0, 5	//
MK 4164 N-12	Mostek	//	//	120	265	300	0, 5	//
MCM 6665-20 L	Motorola	//	//	200	330	275	//	//
μPD 4164 D-3	日 本 电 气	//	//	150	270	330	//	//
NMC 4164 J-1	National Semiconductor	//	//	100	235	220	//	//
MB 8164 E	Fujitsu	//	//	200	320	520	-2.5, 7	//

随着存储器的类型不同，也有所差别，以后讲具体存储器时再作介绍。

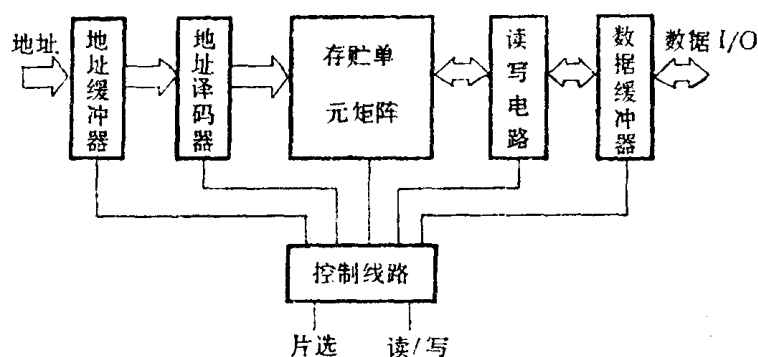


图 11.1 半导体存储器基本组成框图

对于半导体存储器的性能，常用集成度，存取时间，功耗，可靠性等指标来描述。

集成度 单片存储器件所容纳二进制信息的数量，它是反映存储容量的一个指标。通常 RAM 都是采用单片多字一位结构，这可以减少引出端数，缩小封装体积，方便使用。此外，也有一些产品是采用单片多字多位（4 位或 8 位）结构，这时需要相应增加读写电路、数据缓冲器和引出端数量。所以多位结构通常只在小容量存储器中采用。近年来也有在大容量动态 RAM 中采用的趋势。目前 RAM 的集成度，对于双极型一般为 1K 位/片~4K 位/片，高者可达 16K 位/片。对 MOS RAM，静态的一般为 4K 位/片~16K 位/片，最高可达 64K 位/片；动态的一般为 16K 位/片~64K 位/片，最高可达 256K 位/片。

存取时间 存储器件完成读（或写）过程的时间，它是反映存储器速度的一个指标。随着计算机高速化的发展，对存储器的速度要求越来越高，目前双极型存储器存取时间为 20ns~70ns，最快的可小于 10ns。MOSRAM 静态的存取时间一般为 55ns~300ns，最快的为 20ns；动态的存取时间一般为 100ns~400ns。

功耗 它反映了存储器件耗电的多少，同时也相应地反映了发热的程度。温度高也会限制集成度的提高。通常要求功耗要小。这样，发热少，不需复杂的冷却设备，并对存储器件工作稳定性有利。

可靠性 在规定时间内和规定条件下，存储器件正常工作的能力。通常用平均故障间隔时间量度。可靠性反映器件的质量水平，不可靠就不能推广使用。随着计算机的发展和应用的推广，需存储的信息愈来愈多，对存储器可靠性的要求也愈来愈高。况且，半导体存储器还存在着图形的灵敏性，因此使用时必须经过严格的老化和筛选测试，以剔除性能差的器件。

另外，还要提及一点，就是关于器件的价格。看来产品价格似乎与器件的性能没什么关系，其实不然，它是关系到产品是否有生命力的大问题。由于存储器成本在计算机成本中占有很大的比重，因此，降低存储器的成本，可以大幅度地降低计算机的造价。相反，如果器件的成本很高，则产品销路窄，没有竞争力，也就不会有生命力。所以，目前无论是对器件还是对整机，都要求要有较好的性能价格比。

上述几项指标不是孤立的，有些是相互关联的，评价存储器件的性能，要根据这些

表 11.4 ROM

产品型号	厂家	结构	电路形式	读取时间 (ns)	写入时间 (ns)	工作功耗 (mW)	工作电源 (V)	温度范围 (°C)
N 82 S 23 B	Signetics	32×8	TTL PROM	50		385	0, 5	0~70
10139 F	Signetics	32×8	ECL PROM	22		754	-5.2, 0	30~80
MCM 10149 F	Motorola	256×4	ECL PROM	30		540	-5.2, 0	0~70
AM 27 S 12 DC	Advanced Micro Devices	512×4	TTL PROM	50		650	0, 5	0~70
N 82 S 131 N	Signetics	512×4	TTL PROM	50		700	0, 5	0~70
DM 74 S 571 J	National Semiconductor	512×4	//	55		650	0, 5	0~70
TBP 28 S 42 J	Texas	512×8	//	35		500	0, 5	0~70
N 82 S 140 N	Signetics	512×8	//	60		875	0, 5	0~70
TBP 24 S 41 J	Texas	1024×4	//	60		475	0, 5	0~70
MCM 7642 D	Motorola	1024×4	//	70		700	0, 5	0~70
AM 27 S 32 DC	Advanced Micro Devices	1024×4	//	55		700	0, 5	0~70
SN 74 S 455 N	Texas	2048×8	//	45		625	0, 5	0~70
DM 87 S 190 J	National Semiconductor	2048×8	//	80		875	0, 5	0~70
μPB 409 C	日本电气	16384×1	//	50		500	0, 5.5	0~70
MM 1702 AQ	National Semiconductor	256×8	PMOS EPR- OM	1000		2000	-9, 5	0~70
MCM 27 A 08 L	Motorola	1024×8	NMOS EPR- OM	300		800	-5, 12	0~70
MD 2708 Q	Intel	1024×8	//	450		800	-5, 12	0~70
MK 2718 J-5	Mostek	2048×8	//	300		500	0, 5	0~70
TMS 2516 JL	Texas	2048×8	//	450		500	0, 5	0~70
MCM 25 A 32 C	Motorola	4096×8	//	350		800	0, 5	0~70
TMS 25 L 32 JL	Texas	4096×8	//	450		910	0, 5	0~70
MCM 68 A 764 C	Motorola	8192×8	//	350		800	0, 5	0~70
MK 2764 J-8	Mostek	8192×8	//	450		525	0, 5	0~70
R 2364 A 2 C	Rockwell	8192×8	TTL ROM	200		125	0, 5	0~70
MM 52164 D	National Semiconductor	8192×8	MOS ROM	450		650	0, 5	0~70

指标全面衡量。在应用时,要根据实际需要,选取性能适当的器件,不必项项都追求高标,都选高指标的设计不是最好的设计。

在这一章里,主要介绍各类半导体存贮器的组成结构,工作原理,测试方法及其使用,并通过举例来讨论运用存贮器件组成存贮器的一般原则和方法。

11.1 双极型随机存贮器RAM

随着半导体集成电路的发展,双极型半导体存贮器进展很快。由于双极型电路的驱动能力比MOS型电路强,而且逻辑摆幅也较低,所以它速度快,一般是用作大型机高速缓冲存贮器,近年来一些巨型机也用它来作主存贮器。本节主要讲几种有代表性的存贮单元电路,分析其基本工作原理和特点,并以ECLRAM为例来讨论双极型RAM的工作原理。

就双极型存贮单元电路而言,样式繁多,至少有十几种。这里不可能也不必要一一介绍,本节仅就有代表性的和应用较普遍的直耦合存贮单元、二极管开关集电极阻抗存贮单元和注入逻辑 I^2L (Integrated Injection Logic)存贮单元电路进行介绍和分析。掌握了这几种存贮单元电路的工作原理,可触类旁通,遇到其它存贮单元电路就不难理解了。

11.1.1 直耦合存贮单元电路

1) 单元电路的组成及其工作原理

它是一个直接耦合式触发器,如图11.2所示。这个触发器是由两只三极管和两个电阻构成,实际是由两个反相器直接互相耦合组成的。其中管 T_1 的一个射极和管 T_2 的一个射极连在一起接到线 W ,称作字驱动线;另外两个射极分别引到线 D 和 \bar{D} ,称线 \bar{D} 为写位线,线 D 为读位线。两管的集电极各接一个同样大小电阻 R_{c1} 和 R_{c2} 到电源。 T_1 的集电极连到 T_2 的基极, T_2 的集电极连到 T_1 的基极,互相构成直接耦合,故得名直耦合触发器。

根据触发器本身的特性,它具有两种不同的稳定状态,恰好表示一位二进制信息。如 T_1 饱和通导, T_2 截止,是一种稳定状态,可以代表“0”;而 T_1 截止, T_2 饱和通导,则为另一种稳定状态,可以代表“1”。那么,它是如何实现存贮信息的呢?下边通过分析它的工作原理来回答这个问题。分三种工作状态来讨论。

(1) 保持状态

保持状态,是当存贮单元未被选时,处于维持信息的工作状态。此时,写线 W 为低电位

(0.4V左右),两边位线 D 和 \bar{D} 都保持在1.4V左右。由于位线都比字驱动线上的电位高,所以触发器通导管的电流必然通过字驱动线流向字驱动器,两条位线不会有电

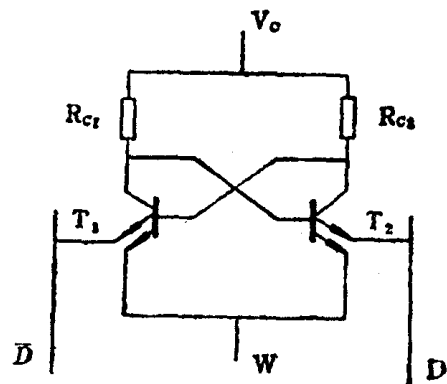


图 11.2 直耦合存贮单元电路

流, 使触发器处于保持状态。假定 T_1 管通, T_2 管截止, 即处于“0”状态。则流向字驱动器的电流 I_B 为

$$\begin{aligned} I_B = I_c + I_b &= \frac{V_c - V_{ce1} - V_{WL}}{R_{c1}} + \frac{V_c - V_{be1} - V_{WL}}{R_{c2}} \\ &= \frac{2V_c - V_{ce1} - V_{be1} - 2V_{WL}}{R_c} = \frac{10 - 0.2 - 0.7 - 0.8}{5} \\ &\approx 1.66\text{mA} \end{aligned} \quad (11.1)$$

其中 V_c ——存贮单元电路的电源电压为5V;

V_{ce1} ——晶体管 T_1 的饱和压降为0.2V;

V_{be1} ——晶体管 T_1 的 b_e 结正向压降为0.7V;

V_{WL} ——字驱动器的低电位为0.4V;

R_c ——晶体管 T_1 和 T_2 集电极接的电阻为5k Ω ;

I_c 、 I_b 分别为导通晶体管的集电极和基极电流。

(2) 写入状态

写入状态, 是指存贮单元被选时, 写入信息过程存贮单元的工作状态。

假如要往存贮单元写入“1”。首先字驱动来正脉冲(约为3.6V), 表明此单元被选, 然后写位线 \bar{D} 加正脉冲(约4.2V), 读位线 D 仍保持为1.4V。这时, 不论触发器原来处于何种状态, 在字线和写位线上两正脉冲的共同作用下, 必然使管 T_2 饱和, 管 T_1 截止。从而把“1”写入了存贮单元。写入脉冲结束后, 写位线 \bar{D} 又恢复到平时电位(1.4V), 字驱动线也回到低电位(0.4V)。于是, 触发器的电流又流入字驱动器, 使触发器继续维持 T_2 饱和通, T_1 截止, 保持刚写入的“1”状态。在写入“1”过程中, 流入读位线的写电流 I_{WD} 为

$$\begin{aligned} I_{WD} = I_{c2} + I_{b2} &= \frac{V_c - V_{ce2} - V_D}{R_{c2}} + \frac{V_c - V_{be2} - V_D}{R_{c1}} \\ &= \frac{2V_c - V_{ce2} - V_{be2} - 2V_D}{R_c} = \frac{10 - 0.2 - 0.7 - 2.8}{5} \\ &\approx 1.26\text{mA} \end{aligned} \quad (11.2)$$

其中 V_D ——写入“1”时, 读位线上的电压为1.4V。

如要向存贮单元写入“0”, 还是字驱动先来正脉冲(3.6V), 然后写位线 \bar{D} 要加一负脉冲, 但幅度低(约0.7V), 读位线的电位不变, 仍为1.4V, 则不论触发器原来状态如何, 在这两个脉冲的作用下, 必将管 T_1 拉通, 使管 T_2 截止, 即把“0”写入了存贮单元。当脉冲结束后, 字线和位线电位恢复正常, 触发器继续维持 T_1 饱和通, T_2 截止, 保持刚写入的“0”状态。在写入“0”的过程中, 流入写位线的电流 $I_{W\bar{D}}$ 为

$$I_{W\bar{D}} = I_{c1} + I_{b1} = \frac{V_c - V_{ce1} - V_{\bar{D}}}{R_{c1}} + \frac{V_c - V_{be1} - V_{\bar{D}}}{R_{c2}}$$

$$= \frac{2V_c - V_{ce1} - V_{be2} - 2V_D}{R_c} = \frac{10 - 0.2 - 0.7 - 1.4}{5} \\ \approx 1.54\text{mA} \quad (11.3)$$

其中 V_D ——写入“0”时，写位线上的电压为0.7V。

(3) 读出状态

读出状态，是指存贮单元被选时，读出信息过程存贮单元的工作状态。

在读出时，两边位线上的电位都保持在1.4V，只要字驱动来一正脉冲(3.6V)，表示此单元被选，同时将触发器流往字驱动器的电流顶往位线(D或 \bar{D})，至于电流流往哪一边，则取决于当时触发器所处的状态。如果触发器为“1”状态(即 T_2 通导， T_1 截止)，则电流便流往读位线D，此电流经读出电路放大给出标准脉冲，表示读出为“1”；如果触发器为“0”状态(即 T_1 通导， T_2 截止)，则电流将流往写位线 \bar{D} ，这时，读位线D不会有电流，因此读出电路也就没有脉冲输出，表示读出为“0”。当字驱动脉冲结束后，触发器的电流又重新流入字驱动器，继续保持原来状态，表明读出完毕。在读出时两边位线的电位一定要保持相等，否则，将有可能破坏原来的状态。在读“1”过程中，流入读位线的电流 I_D 为

$$I_D = I_{c2} + I_{b2} = \frac{V_c - V_{ce2} - V_D}{R_{c2}} + \frac{V_c - V_{be2} - V_D}{R_{c1}} \\ = \frac{2V_c - V_{ce2} - V_{be2} - 2V_D}{R_c} = \frac{10 - 0.2 - 0.7 - 2.8}{5} \\ \approx 1.26\text{mA} \quad (11.4)$$

其中 V_D ——读出时，读位线上的电压为1.4V。

请读者注意，这种存贮单元电路在读出过程中，只是触发器通导管电流去向有了改变，触发器的状态并未改变，仍保持其原来的状态。也就是说，在读出信息后，存贮单元原存信息没丢失，依然存在，所以称之为不破坏读出。以后还会遇到破坏读出的情况。

2) 单元电路的图形

这个存贮单元电路的工艺结构如图11.3所示。两只晶体管的集电极不能直接相連，需要互相隔离，电阻是采用扩散电阻，也要隔离。这样，一个存贮单元电路要占三个隔离岛。另外，为了减少多射极间的交叉漏流，在图形设计上还要把晶体管的基区适当地拉长；电阻 R_{c1} 和 R_{c2} 都是采用扩散电阻，如果以 $200\Omega/\text{方}$ 计算，制作 $5\text{k}\Omega$ 电阻，则需要25个方，所以整个存贮单元电路占的面积较大。

3) 单元电路的特点

从作为存贮单元的触发器本身来看，确实没有多余元件了，应该说是够简单了。电路处于稳态时，通导管是工作在深饱和状态，所以工作比较稳定可靠。在早期产品中用的较多，是一种典型电路。用这种存贮单元电路按一定规则重复分布构成存贮矩阵，布线也较规整，采用通常集成电路工艺就可制作。这种电路也还存在一些缺点。

(1) 保持状态功耗大

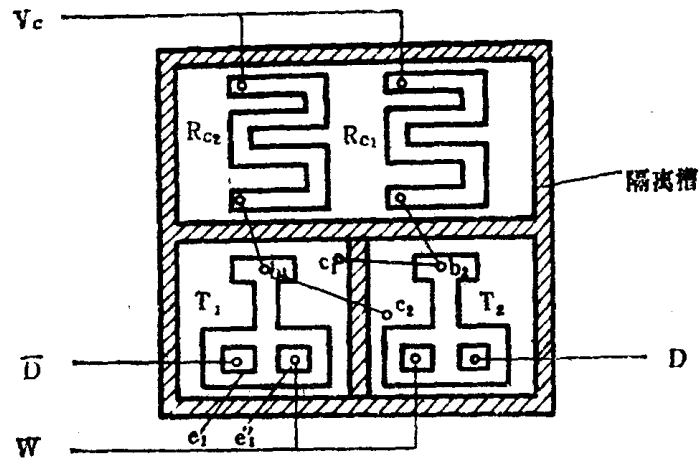


图 11.3 直耦单元电路工艺结构图

为了说明问题，不妨对存贮单元电路各种工作状态的功耗作以粗略计算，从数值上加以比较，即可一目了然。

单元电路处于保持状态、写入状态（写“0”或写“1”）以及读出状态的电流，已分别由式(11.1)~(11.4)给出。至于各种状态的功耗是不难计算的，电流乘以触发器上的压降就等于功耗，不必逐一去计算，仅计算触发器处于保持状态和读出状态的功耗就足以说明问题了。

存贮单元电路处于保持状态的功耗 P_H 为

$$\begin{aligned} P_H &= I_H \cdot (V_c - V_{wL}) = 1.66 \times (5 - 0.4) \\ &\approx 7.64 \text{ mW} \end{aligned} \quad (11.5)$$

存贮单元电路处于读出状态的功耗 P_R 为

$$\begin{aligned} P_R &= I_D \cdot (V_c - V_D) = 1.26 \times (5 - 1.4) \\ &\approx 4.54 \text{ mW} \end{aligned} \quad (11.6)$$

从上面的简单计算数据可以看出，这种存贮单元电路的功耗是比较大的，集成度不可能高。假如容量/片取1K位，只是存贮单元矩阵的保持功耗，就接近8W之多，再考虑一些外围电路，功耗还要增加。这样大的功耗芯片，封装在一般16条腿的双列直插式管壳内，通电后会变成一个小“火炉”，难以正常工作。另外保持状态的电流和功耗都比工作时大得多，显然，这种运用状态是极不合理的。

(2) 漏流问题

由于存贮单元电路是采用双射极晶体管，两射极之间实际上构成寄生三极管，必然存在交叉漏流。当用存贮单元组成存贮矩阵时，这种漏流不可忽视，必须限制在很小数值范围内。参看图11.4，假定在实际工作中，A号单元被选读出，选中字驱动线W，为高电位，其余字驱动线都为低电位，读位线的电压为1.4V。这时，被选单元的读出电流，将通过处于同一位线上的其它单元向未被选的字驱动线漏电流。如果存贮单元的交叉漏流越大，同时位线上联的存贮单元越多，则漏掉的电流越多，而流入读放的电流越少。所以在读“1”时，为了保证可靠鉴别，要求流入读放的电流必须大于读放能够响应

的最小电流 I_s (灵敏度), 可用下式来表示:

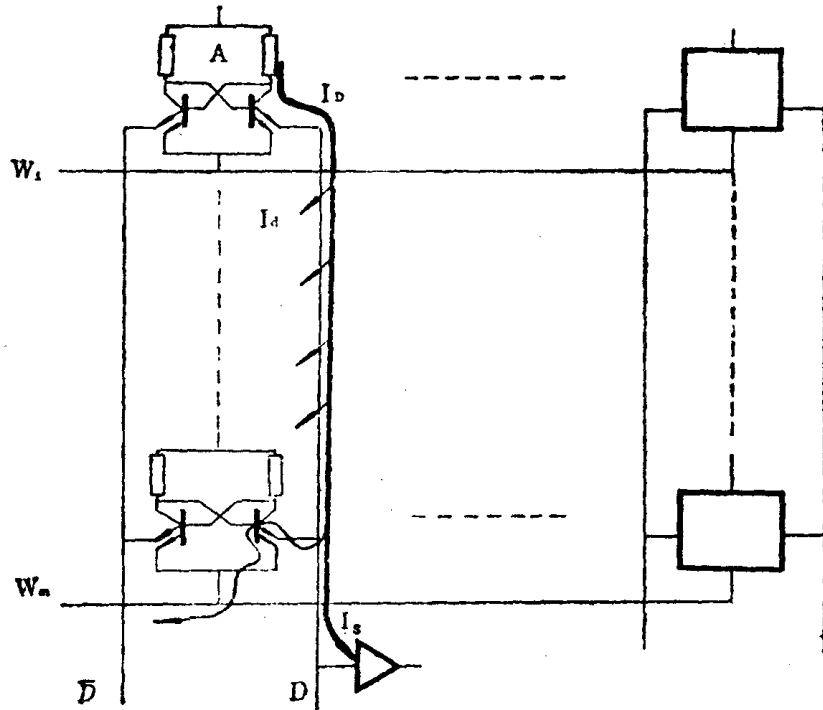


图 11.4 存貯单元矩阵

$$I_D - (m-1) I_a \geq I_s \quad (11.7)$$

其中 m ——读放连接的单元电路数;
 I_a ——存貯单元的交叉漏流;
 I_s ——读放灵敏度;
 I_D ——被选单元的最小读出电流。

应该指出, 对于这种选取方式工作的存貯单元电路, 要使交叉漏流小于 $2\mu A$, 在工艺上实现起来已相当困难了, 所以其存貯矩阵不易作大。可见交叉漏流也是限制集成度提高的一个因素。

(3) 速度低

双极存貯器的特点之一, 就是速度快。然而采用这种存貯单元电路构成存貯器, 速度不能很快, 因为单元电路的通导管都是工作在深饱和状态, 转换速度慢; 另外又由于单元电路有交叉漏流, 使读出有效电流减少了, 也将延缓信号输出。当然也可用加大读出电流来提高速度, 但这样作将导致功耗进一步增加, 从前面的分析已经知道, 这对于大规模集成电路是绝对不允许的。除此之外, 由于单元电路本身占的面积大以及保持功耗大, 也都限制了集成度的提高。

综上所述, 直耦合存貯单元电路, 具有结构简单, 工作可靠的优点; 同时又具有保持功耗大, 交叉漏流大, 图形面积大, 转换速度慢等缺点。显然, 用这种存貯单元电路作大规模集成存貯器是不适宜的。

11.1.2 二极管开关集电极阻抗存貯单元电路

二极管开关集电极阻抗存貯单元电路, 它是利用二极管的变阻抗 (非线性) 特性来

改变触发器集电极负载阻抗,使存贮单元处于保持状态时是小电流,工作状态时是大电流。另外在电路设计和工艺上也采取了相应措施,使单元电路面积和交叉漏流都明显地减少了。可以说,较好地克服了直耦合存贮单元电路所存在的缺点,成为目前应用最普遍的一种电路。

1) 单元电路的组成及其工作原理

这种存贮单元电路如图11.5所示。它由两只晶体管 T_1 、 T_2 和负载电阻 R_{c1} 、 R_{c2} , 二极管 D_1 、 D_2 , 电阻 r_1 、 r_2 组成。其中 T_1 的一个射极和 T_2 的一个射极连在一起接于维持恒流源, 另外两个射极分别接到位线 \bar{D} 和 D , 电阻 R_{c1} 、 r_1 、 R_{c2} 和 r_2 接于驱动线 X 。此外, 还有两个抗饱和肖特基二极管, 在图11.5的管 T_1 和 T_2 符号中已有表示, 没有再单独画出。这种单元电路最适合配 ECL 外围电路, 下面就以 ECL 电路作其外围电路来说明存贮单元电路的工作原理。先假定 T_1 通导, T_2 截止为“1”状态; 反之, T_2 通导, T_1 截止为“0”状态。为了说明方便, 仍分为三种工作状态来讨论。

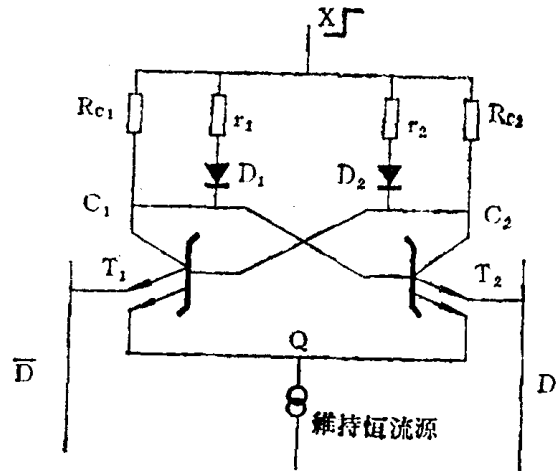


图 11.5 二极管开关集电极阻抗存贮单元电路

为了说明方便, 仍分为三种工作状态来讨论。

(1) 保持状态

在存贮单元处于保持状态时, 驱动线 X 是低电位 ($-1.7V$), 两边位线 \bar{D} 和 D 都处于中间电位 ($-1.9V$)。这时, 触发器必然是一个管通导, 一个管截止, 且总电流通过 Q 点 (V_Q 为 $-2.7V$) 流入维持恒流源, 此恒流源吸收约 $100\mu A$ 电流, 使触发器能维持原有的稳定状态, 保持已存的信息。值得注意的是存贮单元处于保持状态时, 集电极负载电阻所并联的二极管 D_1 、 D_2 都不通导, 由于负载电阻很大, 所以维持电流很小, 维持功耗亦很小。

(2) 写入状态

写入就是当存贮单元被选时, 将欲写入的信息 (“1”或“0”) 写入存贮单元。假如是写“1”, 首先驱动线 X 来脉冲 ($-0.8V$), 位线 \bar{D} 加 $-2.4V$, 位线 D 加 $-1.5V$ 。显然, 在驱动线 X 电位变高的瞬间, 并联二极管 D_1 、 D_2 将会通导, 使负载电阻变小、电流增大。但由于触发器的下端是接维持恒流源, 限制了电流增加, Q 点电位将升高。当高过两边位线上的电位时, 由于位线上的电位不平衡, 位线 \bar{D} 电位低, 位线 D 电位高, 迫使 T_1 通导, T_2 截止, 触发器变为“1”状态, 即写入了“1”。当驱动脉冲去掉后, 驱动线 X 上的电位变低, 存贮单元保持已写入的“1”状态。

写“0”和写“1”的过程相同, 只是位线 \bar{D} 和 D 加的电压调换过来即可, 不再赘述。

(3) 读出状态

在读出时, 两边位线 \bar{D} 和 D 都是中值电位 (约 $-1.9V$), 驱动线 X 来脉冲 ($-0.8V$), 在驱动线 X 上的电位变高的同时, 并联二极管 D_1 、 D_2 瞬间通导, Q 点电位升高 (因有