


计算机应用技术教材

EDA技术

实用教程

潘松 黄继业 编著



 科学出版社
www.sciencep.com

内 容 简 介

本书根据课堂教学和实验的要求,以提高实际工程设计能力为目的,深入浅出地对 EDA 技术及相关知识做了系统和完整的介绍。

全书内容分 12 章,详细介绍了 EDA 的基本知识、常用的 EDA 工具的使用方法和目标器件的结构原理、设计输入方法、VHDL 的设计优化、基于 EDA 技术较典型的设计项目等内容。各章都安排了相应的习题和实验。

本书可作为高等院校电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等学科的本科生或研究生的电子设计或 EDA 课程的教材及实验指导书,也可作为相关专业技术人员的参考书。

图书在版编目(CIP)数据

EDA 技术实用教程/潘松、黄继业编著. —北京:科学出版社,2002.10
(计算机应用技术教材)

ISBN 7-03-010853-1

I.E... II.①潘... ②黄... III.电子电路—电路设计:计算机辅助设计—教材 IV.TN702

中国版本图书馆 CIP 数据核字(2002)第 080473 号

责任编辑:丁波/责任校对:都岚

责任印制:吕春珉/封面设计:王浩

科学出版社 出版

北京东黄城根北街16号

邮政编码:100717

<http://www.sciencep.com>

新蕾印刷厂 印刷

科学出版社发行 各地新华书店经销

*

2002年10月第 一 版 开本:787×1092 1/16

2002年10月第一次印刷 印张:24 1/4

印数:1—5 000 字数:554 000

定价:33.00 元

(如有印装质量问题,我社负责调换(环伟))

前 言

将 EDA 技术作为一门重要的专业基础课，在大多数高校的相关学科中已成为共识，但就其教学内容和实验安排上，至今尚有诸多不同看法，这里列出几点，以供探讨：

- 课程应分三个层次来教学，将诸如 EWB、PSPICE 和 Protel 的学习作为 EDA 的最初级内容；VHDL 和 FPGA 开发等作为中级；ASIC 设计为最高级。
- EDA 技术只是数字电路课的延续和补充，因此，实验内容应该具有一致性，即只需以 EDA 的手段完成与数字电路实验相近的实验项目即可。

以上的看法值得商榷，我们认为关键的问题在于怎样紧紧把握课程教学中最实质的东西，即必须突出要点：

首先，EDA 技术的教学必须围绕这样一个核心内容来展开，即学习一种通过软件的方法来高效地完成硬件设计的计算机技术，尽量略去其他没有直接联系的内容，如 EWB、PSPICE、Protel 等，因为这些工具仅属 CAD 的范畴，它们没有现代自动化设计中关于行为与结构综合的概念，没有自顶向下设计理论的内容。

其次，因为无论是 ASIC 还是 FPGA，都只是 EDA 最终的实现目标。EDA 的特性决定了其实现方式具有很大的自由度。而最实质、最能体现创造性的是利用 EDA 技术完成某一项目的设计过程。因为 FPGA 的实现几乎同在软件中一样容易，而 ASIC 的前端设计与 FPGA 十分相近，可以利用工作站和 ASIC 设计 EDA 软件来完成，其最终的实现通常类似于交付 PCB 制作文件，可将最终的网表文件交付专业厂家来负责。今天的 EDA 技术不仅使得“从事 IP 开发的无芯片 EDA 公司”和“无生产线的 IC 企业”成为可能，而且将可能成为我国现代电子技术的重要产业。

第三，在教学中将 ASIC 的内容排在最高层更值得商榷。如果要分层次的话，我们认为从实现的内容上去分比从实现的工具和工艺上去分更为合理，例如可以将逻辑行为的实现作为最低层，即用 EDA 工具完成数字电路实验中的部分内容，如红绿灯控制、数码译码显示、逻辑表决等；将控制与通信的实现作为第二层次，如 A/D 高速采样、工业自动化控制、接口与通信模块的设计等；而将算法的实现作为最高层次，如 FIR、FFT、CPU 的设计等。因为这样会使教学效果更合 EDA 技术的本质。

第四，由于在目前的本科教学中，课程门类大为增加，任何一门非公共课的学时都不会很多。显然，突出要点才能有效控制学时。我们建议这门课可安排 52 学时左右，包括实验课学时。这就要求主要以引导性教学为主，例如对 VHDL 的教学就不能像 C 或汇编语言那样逐条语句讲授，而应结合具体实例讲解最基本的语句现象，余下内容可在课后自行完成学习，即“纲举目张”的教学方法。有限的学时只能使我们有所为，有所不为，择其要而为之。

第五，就是注重实效。数字电路与 EDA 技术课程的侧重点不同，前者侧重于逻辑行为的认知和验证，后者则侧重于实用电子系统的设计，因此该课程具有很强的实践性，针对性强的实验应该是教学的重要环节，EDA 实验更应注重实验的质量，而决非仅仅使用了什

么 EDA 软件。在初级阶段,用 EDA 工具重复一些数字电路课中的实验是必须的,但这远非 EDA 实验的全部。因为数字电路实验的重点是逻辑行为和功能的验证,因而可用手工插线方式来完成“设计”,而不涉及任何技术指标和规模。众所周知,电子系统技术指标是十分重要的,这包括速度、面积(芯片资源)、可靠性、容错性、电磁兼容性等。有时往往指标要求决定所使用的技术,指标要求推动技术的发展。全国大学生电子设计竞赛题中从来不提使用何种工具或技术来完成赛题,但参赛者不得不根据给出的技术指标做出选择。因此,EDA 课程的实验,除了必须完成的基础性项目外,可引导学生完成一些传统电子设计技术(包括单片机)不能实现的内容,从而突出这一现代电子设计技术的优势,例如 UART、PS/2 或 USB 接口的设计突出自主知识产权的概念;VGA 显示器的控制或状态机控制 A/D 采样突出了高速性能指标的实现;FIR 设计表现了基于 EDA 技术特有的 IP 应用技术;纯硬件电路的设计体现了 EDA 工具面对复杂逻辑电路设计的突出优势等。在这些实践过程中,会使学生发现,诸如 ISP 下载方式、FPGA、ASIC 乃至 EDA 软件等目标器件和设计手段本身都成了配角,而惟有对更高质地完成实验项目而不懈追求的设计能动性和创造性成了主角,从而可以有效地提高这门以培养工程实践能力为主的课程的教学效果。

基于以上的认识,我们对本书各章节作了相应的安排。本书具有如下三个特点:

1. 注重实践与实用

在各章中都安排了许多习题。除第 1 章、第 2 章外,其他各章都安排了针对性较强的实验,使学生对每一章的课堂的教学效果能及时通过实验得到强化。第 3 章除对 FPGA、CPLD 器件结构原理作了一般性介绍外,还介绍了与开发相关的内容;第 10 章介绍了 EDA 工具的优化技术;第 11 章以数个 EDA 工具间的接口方法,为读者展示了典型的 EDA 设计流程中十分重要和实用的环节;第 12 章具体地介绍了 6 个设计课题,这些课题既可作为 EDA 实验的补充内容,也可用于电子设计或毕业设计项目的参考题目。

2. 注重速成

一般认为 EDA 技术难点和耗时的根源在于 VHDL 语言。对此,全书进行了有针对性的安排:根据电子类专业的特点,放弃流行的对计算机语言的教学模式,打破目前 VHDL 教材通用的编排形式,以电子线路设计为基点,从实例的介绍中引出 VHDL 语句语法内容,通过少数几个简单、直观、典型的实例,将 VHDL 中最核心、最基本的内容解释清楚,使读者在很短的时间内就能有效地把握 VHDL 的主干内容,而不必花费大量的时间去“系统地”学习语法书。这里以第 5 章为基点,包括第 6 章和第 7 章中的主要内容,集中体现了这一教学思想和教学方法,一般读者可直接进入这些章节的学习,迅速掌握要点,并能顺利地进行相关习题的解答和实验,为以后的学习与实践打下一个良好的基础。

通常,这些内容可分别在约 7 个授课学时加 8 个实验学时内完成,即约两至三个整天的时间。其教学效果在过去与许多高校联合举办的 EDA 研习班上已得到了充分的证明。

3. 注重系统性、完整性与独立性相结合

全书力争在不增加课时的情况下保持内容的系统性和完整性,使读者通过本书的学习和推荐的实验,初步掌握 EDA 技术最基本的内容。另一方面,书中大部分章节具有相对独

立性，读者可根据自己的情况有针对性地选读某一章或几章，这有利于学时的安排和不同专业或学制的选用。

此外，第 4 章以向导性方式介绍，通过几个典型实用示例的设计介绍，使读者在只有数字电路基础知识的条件下即能迅速学会使用原理图或波形输入设计方法，完成较复杂的数字系统的设计实验。第 8 章和第 9 章对实用 VHDL 的语句与语法规则作了概括。

现代电子设计技术是发展的，相应的教学内容和教学方法也应不断改进，其中一定有许多问题值得深入探讨，也包括以上提出的有关 EDA 教学的一家之言。我们真诚地欢迎读者对书中的错误与有失偏颇之处给予批评指正（E-mail: span88@mail.hz.zj.cn）。

作 者

目 录

第 1 章 概述.....	1
1.1 EDA 技术及其发展.....	1
1.2 EDA 技术实现目标.....	3
1.3 硬件描述语言 VHDL.....	4
1.4 VHDL 综合.....	5
1.5 基于 VHDL 的自顶向下设计方法.....	7
1.6 EDA 与传统电子设计方法的比较.....	10
1.7 EDA 的发展趋势.....	14
习题.....	15
第 2 章 EDA 设计流程及其工具.....	16
2.1 FPGA / CPLD 设计流程.....	16
2.1.1 设计输入(原理图 / HDL 文本编辑).....	16
2.1.2 综合.....	18
2.1.3 适配.....	18
2.1.4 时序仿真与功能仿真.....	18
2.1.5 编程下载.....	19
2.1.6 硬件测试.....	19
2.2 ASIC 及其设计流程.....	20
2.2.1 ASIC 设计方法.....	20
2.2.2 一般 ASIC 设计的流程.....	22
2.3 常用 EDA 工具.....	23
2.3.1 设计输入编辑器.....	24
2.3.2 HDL 综合器.....	24
2.3.3 仿真器.....	25
2.3.4 适配器(布局布线器).....	26
2.3.5 下载器(编程器).....	27
2.4 MAX+plusII 概述.....	27
2.5 IP 核.....	29
习题.....	31
第 3 章 FPGA / CPLD 结构与应用.....	32
3.1 概述.....	32
3.1.1 可编程逻辑器件的发展历程.....	33
3.1.2 可编程逻辑器件的分类.....	33

3.2	简单 PLD 原理	34
3.2.1	电路符号表示	35
3.2.2	PROM	36
3.2.3	PLA	38
3.2.4	PAL	39
3.2.5	GAL	40
3.3	CPLD 结构与工作原理	43
3.4	FPGA 结构与工作原理	47
3.4.1	查找表	48
3.4.2	FLEX10K 系列器件	48
3.5	FPGA/CPLD 测试技术	53
3.5.1	内部逻辑测试	53
3.5.2	JTAG 边界扫描测试	54
3.6	FPGA/CPLD 产品概述	58
3.6.1	Lattice 公司 CPLD 器件系列	58
3.6.2	Xilinx 公司的 FPGA 和 CPLD 器件系列	59
3.6.3	Altera 公司 FPGA 和 CPLD 器件系列	61
3.6.4	Altera 公司的 FPGA 配置方式与器件系列	63
3.7	CPLD 和 FPGA 的编程与配置	64
3.7.1	CPLD 的 ISP 方式编程	65
3.7.2	使用 PC 并行口配置 FPGA	66
3.7.3	用专用配置器件配置 FPGA	68
3.7.4	使用单片机配置 FPGA	70
	习题	72
	实验	72
第 4 章	原理图输入设计方法	73
4.1	1 位全加器设计向导	73
4.1.1	基本设计步骤	74
4.1.2	设计流程归纳	83
4.1.3	补充说明	83
4.2	2 位十进制数字频率计设计	84
4.2.1	设计有时钟使能的两位十进制计数器	84
4.2.2	频率计主结构电路设计	86
4.2.3	测频时序控制电路设计	87
4.2.4	频率计顶层电路设计	88
4.2.5	设计项目的其他信息和资源配置	89
4.3	参数可设置 LPM 兆功能块	92
4.3.1	基于 LPM_COUNTER 的数控分频器设计	92

4.3.2 基于 LPM_ROM 的 4 位乘法器设计	94
4.4 波形输入设计方法	96
习题	98
实验	99
第 5 章 VHDL 设计初步	101
5.1 多路选择器 VHDL 描述	101
5.1.1 2 选 1 多路选择器的 VHDL 描述	101
5.1.2 VHDL 相关语句说明	103
5.1.3 VHDL 设计的基本概念和语句小节	108
5.2 寄存器描述及其 VHDL 语言现象	108
5.2.1 D 触发器的 VHDL 描述	108
5.2.2 D 触发器 VHDL 描述的语言现象说明	109
5.2.3 实现时序电路的 VHDL 不同表达方式	113
5.2.4 异步时序电路设计	116
5.2.5 VHDL 设计基本概念和语言现象小节	117
5.3 1 位二进制全加器的 VHDL 设计	117
5.3.1 半加器描述和 CASE 语句	118
5.3.2 全加器描述和例化语句	122
5.4 VHDL 文本输入设计方法初步	123
5.4.1 编辑输入并保存 VHDL 源文件	123
5.4.2 将当前设计设定为工程	124
5.4.3 选择 VHDL 文本编译版本号和排错	125
5.4.4 时序仿真	126
5.4.5 硬件测试	127
习题	127
实验	128
第 6 章 VHDL 设计进阶	131
6.1 4 位加法计数器的 VHDL 描述	131
6.1.1 4 位加法计数器	131
6.1.2 整数、自然数和正整数数据类型	132
6.1.3 4 位加法计数器的另一种表达方式	133
6.2 不同工作方式的时序电路设计	135
6.2.1 相关语法	135
6.2.2 带有复位和时钟使能的 10 进制计数器	136
6.2.3 带有并行置位的移位寄存器	138
6.3 数据对象 DATA OBJECTS	139
6.3.1 常数(CONSTANT)	140
6.3.2 变量(VARIABLE)	140

6.3.3	信号(SIGNAL).....	141
6.3.4	进程中的信号与变量赋值语句	142
6.4	双向电路和三态控制电路设计	148
6.4.1	三态门设计	148
6.4.2	双向端口设计	149
6.4.3	三态总线电路设计	151
6.4.4	顺序条件语句 IF 语句.....	153
6.5	进程语句结构	156
6.5.1	进程语句格式	156
6.5.2	PROCESS 组成.....	157
6.5.3	进程要点	157
6.6	仿真延时.....	160
6.6.1	固有延时	160
6.6.2	传输延时	161
6.6.3	仿真 δ	161
	习题.....	162
	实验.....	163
第 7 章	有限状态机设计	170
7.1	一般有限状态机的设计	170
7.1.1	用户自定义数据类型定义语句	170
7.1.2	为什么要使用状态机	172
7.1.3	一般有限状态机的设计	173
7.2	Moore 型有限状态机的设计	176
7.2.1	三进程有限状态机	177
7.2.2	单进程 Moore 型有限状态机.....	181
7.3	Mealy 型有限状态机的设计	183
7.4	状态编码.....	186
7.4.1	状态位直接输出型编码	186
7.4.2	顺序编码	188
7.4.3	一位热码编码(One-hot encoding).....	189
7.5	状态机剩余状态处理	189
	习题.....	191
	实验.....	195
第 8 章	VHDL 结构与要素	198
8.1	实体	198
8.1.1	实体语句结构	198
8.1.2	GENERIC 类属说明语句	198
8.1.3	类属映射语句	200

8.1.4	PORT(端口)说明.....	201
8.2	结构体.....	201
8.3	子程序(SUBPROGRAM).....	202
8.3.1	函数(FUNCTION).....	203
8.3.2	重载函数(OVERLOADED FUNCTION).....	205
8.3.3	过程(PROCEDURE).....	208
8.3.4	重载过程(OVERLOADED PROCEDURE).....	209
8.4	VHDL 库.....	210
8.4.1	库的种类.....	210
8.4.2	库的用法.....	211
8.5	VHDL 程序包.....	212
8.6	配置.....	215
8.7	VHDL 文字规则.....	215
8.7.1	数字.....	216
8.7.2	字符串.....	216
8.7.3	标识符.....	217
8.7.4	下标名.....	217
8.8	数据类型.....	218
8.8.1	VHDL 的预定义数据类型.....	218
8.8.2	IEEE 预定义标准逻辑位与矢量.....	220
8.8.3	其他预定义标准数据类型.....	220
8.8.4	数组类型.....	221
8.9	VHDL 操作符.....	224
8.9.1	逻辑操作符.....	224
8.9.2	关系操作符.....	227
8.9.3	算术操作符.....	228
8.10	LPM 的 VHDL 文本方式调用.....	231
8.10.1	AD 采样系统顶层电路设计.....	231
8.10.2	编辑 LPM_FIFO 设计实体.....	232
8.10.3	LPM_FIFO 定制文件仿真测试.....	235
8.10.4	AD_FIFO 系统实现.....	236
8.10.5	双口 RAM 定制.....	237
	习题.....	238
	实验.....	239
第 9 章	VHDL 基本语句.....	246
9.1	顺序语句.....	246
9.1.1	赋值语句.....	246
9.1.2	IF 语句.....	247

9.1.3	CASE 语句.....	247
9.1.4	LOOP 语句.....	249
9.1.5	NEXT 语句.....	251
9.1.6	EXIT 语句.....	252
9.1.7	WAIT 语句.....	253
9.1.8	子程序调用语句.....	256
9.1.9	返回语句(RETURN).....	258
9.1.10	空操作语句(NULL).....	259
9.2	VHDL 并行语句.....	259
9.2.1	并行信号赋值语句.....	260
9.2.2	块语句结构(BLOCK).....	263
9.2.3	并行过程调用语句.....	265
9.2.4	元件例化语句.....	266
9.2.5	生成语句.....	267
9.3	属性描述与定义语句.....	271
	习题.....	274
	实验.....	276
第 10 章	设计优化和设计方法.....	283
10.1	面积优化.....	283
10.1.1	资源共享.....	283
10.1.2	逻辑优化.....	286
10.1.3	串行化.....	287
10.2	速度优化.....	289
10.2.1	流水线设计.....	290
10.2.2	寄存器配平.....	292
10.2.3	关键路径法.....	293
10.3	使用 MAX+plusII 优化设计.....	294
10.3.1	全局逻辑综合选项.....	294
10.3.2	时间需求选项.....	295
10.3.3	打包(Clique).....	298
10.3.4	局部逻辑综合选项.....	300
10.3.5	Probe 的使用.....	302
10.4	其他设置.....	304
10.4.1	Slow Slew Rate 设置.....	304
10.4.2	EPC 系列配置器件设置与编程.....	305
10.4.3	编程文件转换.....	307
10.4.4	MAX+plusII 在 Windows 2000 上的安装设置.....	308
	习题.....	308

实验	310
第 11 章 EDA 工具软件接口	313
11.1 EDA 软件接口流程	313
11.2 Synplify 与 MAX+plusII 的接口	314
11.3 Synplify 与 ispEXPERT Compiler 的接口	319
11.4 ModelSim 与 MAX+plusII 的接口	322
11.5 从 MAX+plusII 向 QuartusII 转换	329
习题	330
实验	330
第 12 章 电子系统设计实践	331
12.1 等精度频率计设计	331
12.1.1 主系统组成	331
12.1.2 测频原理	332
12.1.3 FPGA/CPLD 开发的 VHDL 设计	333
12.2 高速 A/D 采样控制设计	336
12.3 VGA 图像显示控制器设计	339
12.4 直接数字合成器(DDS)设计	341
12.5 使用 IP Core 设计 FIR 滤波器	346
12.6 通用异步收发器(UART)设计	351
习题	357
实验	357
附录 EDA 实验开发系统使用介绍	359
参考文献	372

第1章 概述

1.1 EDA 技术及其发展

20 世纪末,电子技术获得了飞速的发展,在其推动下,现代电子产品几乎渗透了社会的各个领域,有力地推动了社会生产力的发展和社会信息化程度的提高,同时也使现代电子产品性能进一步提高,产品更新换代的节奏也越来越快。

微电子技术的进步表现在大规模集成电路加工技术,即半导体工艺技术的发展上。表征半导体工艺水平的线宽已经达到 $0.13\mu\text{m}$,并还在不断地缩小;在硅片单位面积上,集成更多的晶体管。集成电路设计在不断地向超大规模、极低功耗和超高速的方向发展;专用集成电路 ASIC(Application Specific Integrated Circuit)的设计成本不断降低,在功能上,现代的集成电路已能实现单片电子系统 SoC(System on a Chip)的功能。

现代电子设计技术的核心是 EDA(Electronic Design Automation)技术。EDA 技术就是依赖功能强大的计算机,在 EDA 工具软件平台上,对以硬件描述语言 HDL (Hardware Description Language)为系统逻辑描述手段完成的设计文件,自动地完成逻辑编译、逻辑化简、逻辑分割、逻辑综合、结构综合(布局布线),以及逻辑优化和仿真测试,直至实现既定的电子线路系统功能。EDA 技术使得设计者的工作仅限于利用软件的方式,即利用硬件描述语言和 EDA 软件来完成对系统硬件功能的实现。

从另一方面看,在现代高新电子产品的设计和生产中,微电子技术和现代电子设计技术是相互促进、相互推动又相互制约的两个技术环节。前者代表了物理层在广度和深度上硬件电路实现的发展,后者则反映了现代先进的电子理论、电子技术、仿真技术、设计工艺和设计技术与最新的计算机软件技术有机的融合和升华。因此,严格地说,EDA 技术应该是这二者的结合,是这两个技术领域共同孕育的奇葩。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术,IC 版图设计技术、ASIC 测试和封装技术、FPGA/CPLD 编程下载技术、自动测试技术等;在计算机辅助工程方面融合了计算机辅助设计(CAD)、计算机辅助制造(CAM)、计算机辅助测试(CAT)、计算机辅助工程(CAE)技术以及多种计算机语言的设计概念;而在现代电子学方面则容纳了更多的内容,如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术及长线技术理论等等。因此 EDA 技术为现代电子理论和设计的表达与实现提供了可能性。在现代技术的所有领域中,纵观许多得以飞速发展的科学技术,多为计算机辅助设计,而非自动化设计。显然,最早进入设计自动化的技术领域之一是电子技术,这就是为什么电子技术始终处于所有科学技术发展最前列的原因之一。不难理解,EDA 技术已不是某一学科的分枝,或某种新的技能技术,应该是一门综合性学科。它融合多学科于一体,打破了软件和硬件间的

壁垒，使计算机的软件技术与硬件实现、设计效率和产品性能合二为一，它代表了电子设计技术和应用技术的发展方向。

正因为 EDA 技术丰富的内容以及与电子技术各学科领域的相关性，其发展的历程同大规模集成电路设计技术、计算机辅助工程、可编程逻辑器件，以及电子设计技术和工艺的发展是同步的。就过去近 30 年的电子技术的发展历程，可大致将 EDA 技术的发展分为三个阶段。

20 世纪 70 年代，集成电路制作方面，MOS 工艺已得到广泛的应用。可编程逻辑技术及其器件已经问世，计算机作为一种运算工具已在科研领域得到广泛应用。而在后期，CAD 的概念已见雏形。这一阶段人们开始利用计算机取代手工劳动，辅助进行集成电路版图编辑、PCB 布局布线等工作。

20 世纪 80 年代，集成电路设计进入了 CMOS(互补场效应管)时代。复杂可编程逻辑器件已进入商业应用，相应的辅助设计软件也已投入使用。而在 80 年代末，出现了 FPGA(Field Programmable Gate Array)，CAE 和 CAD 技术的应用更为广泛，它们在 PCB 设计方面的原理图输入、自动布局布线及 PCB 分析，以及逻辑设计、逻辑仿真、布尔方程综合和化简等方面担任了重要的角色，特别是各种硬件描述语言的出现、应用和标准化方面的重大进步，为电子设计自动化必须解决的电路建模、标准文档及仿真测试奠定了基础。

进入 20 世纪 90 年代，随着硬件描述语言的标准化得到进一步的确立，计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加广泛的应用，与此同时电子技术在通信、计算机及家电产品生产中的市场需求和技术需求，极大地推动了全新的电子设计自动化技术的应用和发展。特别是集成电路设计工艺步入了超深亚微米阶段，百万门以上的大规模可编程逻辑器件的陆续面世，以及基于计算机技术的面向用户的低成本大规模 ASIC 设计技术的应用，促进了 EDA 技术的形成。更为重要的是各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件的研究，都有效地将 EDA 技术推向成熟。

EDA 技术在进入 21 世纪后，得到了更大的发展，突出表现在以下几个方面：

- 使电子设计成果以自主知识产权的方式得以明确表达和确认成为可能。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- 电子技术全方位纳入 EDA 领域，除了日益成熟的数字技术外，传统的电路系统设计建模理念发生了重大的变化：软件无线电技术的崛起，模拟电路系统硬件描述语言的表达和设计的标准化，系统可编程模拟器件的出现，数字信号处理和图像处理的全硬件实现方案的普遍接受，软硬件技术的进一步融合等。
- EDA 使得电子领域各学科的界限更加模糊，更加互为包容：模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA、行为与结构等。
- 更大规模的 FPGA 和 CPLD 器件的不断推出。
- 基于 EDA 工具的 ASIC 设计标准单元已涵盖大规模电子系统及 IP 核模块。
- 软硬件 IP 核在电子产业的产业领域、技术领域和设计应用领域得到进一步确认(IP 即 Intellectual Property，即知识产权的简称，往往指一个公司出售给另一个公司的硬件设计包)。

- SoC 高效低成本设计技术的成熟。

1.2 EDA 技术实现目标

一般地，利用 EDA 技术进行电子系统设计，最后的目的是完成专用集成电路 ASIC 的设计和实现(图 1-1)，ASIC 作为最终的物理平台，集中容纳了用户通过 EDA 技术将电子应用系统的既定功能和技术指标具体实现的硬件实体。一般而言，专用集成电路就是具有专门用途和特定功能的独立集成电路器件，根据这个定义，作为 EDA 技术最终实现目标的 ASIC，可以通过三种途径来完成(如图 1-1 所示)。

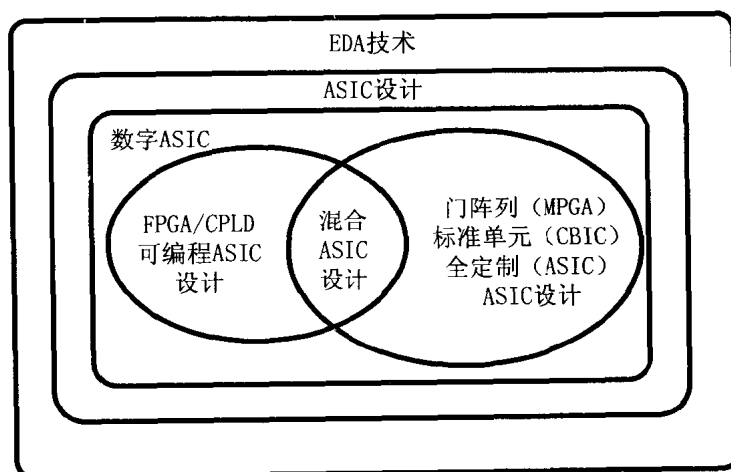


图 1-1 EDA 技术实现目标

1. 超大规模可编程逻辑器件

FPGA(Field Programmable Gate Array)和 CPLD(Complex Programmable Logic Device)是实现这一途径的主流器件，它们的特点是直接面向用户，具有极大的灵活性和通用性，使用方便，硬件测试和实现快捷，开发效率高，成本低，上市时间短，技术维护简单，工作可靠性好等。FPGA 和 CPLD 的应用是 EDA 技术有机融合软硬件电子设计技术、SoC 和 ASIC 设计，以及对自动设计与自动实现最典型的诠释。由于 FPGA 和 CPLD 的开发工具、开发流程和使用方法与 ASIC 有类似之处，因此这类器件通常也被称为可编程专用 IC，或可编程 ASIC。

2. 半定制或全定制 ASIC

基于 EDA 设计技术的半定制或全定制 ASIC，根据它们的实现工艺，可统称为掩模 (MASK)ASIC，或直接称 ASIC。可编程 ASIC 与掩模 ASIC 相比，不同之处在于前者具有面向用户的灵活多样的可编程性。

掩模 ASIC 大致分为门阵列 ASIC，标准单元 ASIC 和全定制 ASIC。

- 门阵列 ASIC。门阵列芯片包括预定制的相连的 PMOS 和 NMOS 晶体管行。设计中,用户可以借助 EDA 工具将原理图或硬件描述语言模型映射为相应门阵列晶体管配置,创建一个指定金属互连路径文件,从而完成门阵列 ASIC 开发。由于有掩模的创建过程,门阵列有时也称掩模可编程门阵列(MPGA)。但是 MPGA 与 FPGA 完全不同,它不是用户可编程的,也不属于可编程逻辑范畴,而是实际的 ASIC。MPGA 出现在 FPGA 之前,而 FPGA 技术源自 MPGA。
- 标准单元 ASIC。目前大部分 ASIC 是使用库中的不同大小的标准单元设计的,这类芯片一般称作基于单元的集成电路(Cell-based Integrated Circuits, CBIC)。在设计者一级,库包括不同复杂性的逻辑元件:SSI 逻辑块、MSI 逻辑块、数据通道模块、存储器、IP、乃至系统级模块。库包含每个逻辑单元在硅片级的完整布局,使用者只需利用 EDA 软件工具与逻辑块描述打交道即可,完全不必关心电路布局的细节。标准单元布局中,所有扩散、接触点、过孔、多晶通道及金属通道都已完全确定。当该单元用于设计时,通过 EDA 软件产生的网表文件将单元布局块“粘贴”到芯片布局之上的单元行上。标准单元 ASIC 设计与 FPGA 设计开发的流程相近。
- 全定制芯片。全定制芯片中,在针对特定工艺建立的设计规则下,设计者对于电路的设计有完全的控制权,如线的间隔和晶体管大小的确定。该领域的一个例外是混合信号设计,使用通信电路的 ASIC 可以定制设计其模拟部分。

3. 混合 ASIC

混合 ASIC(不是指数模混合 ASIC)主要指既具有面向用户的 FPGA 可编程功能和逻辑资源,同时也含有可方便调用和配置的硬件标准单元模块,如 CPU、RAM、ROM、硬件加法器、乘法器、锁相环等。Xilinx 和 Altera 公司已经推出了这方面的器件,如 Virtex-II Pro 系列和 Stratix 系列等。混合 ASIC 为 SoC 和 SoPC(System on a Programmable Chip)的设计实现成为便捷的途径。

1.3 硬件描述语言 VHDL

硬件描述语言是 EDA 技术的重要组成部分,VHDL 是作为电子设计主流硬件的描述语言,本书将重点介绍它的编程方法和使用技术。

VHDL 的英文全名是 VHSIC(Very High Speed Integrated Circuit)Hardware Description Language,于 1983 年由美国国防部(DOD)发起创建,由 IEEE(The Institute of Electrical and Electronics Engineers)进一步发展并在 1987 年作为“IEEE 标准 1076”发布。从此,VHDL 成为硬件描述语言的业界标准之一。自 IEEE 公布了 VHDL 的标准版本(IEEE Std 1076)之后,各 EDA 公司相继推出了自己的 VHDL 设计环境,或宣布自己的设计工具支持 VHDL。此后 VHDL 在电子设计领域得到了广泛应用,并逐步取代了原有的非标准硬件描述语言。

VHDL 作为一个规范语言和建模语言,随着 VHDL 的标准化,出现了一些支持该语言

的行为仿真器。由于创建 VHDL 的最初目标是用于标准文档的建立和电路功能模拟,其基本想法是在高层次上描述系统和元件的行为。但到了 20 世纪 90 年代初,人们发现, VHDL 不仅可以作为系统模拟的建模工具,而且可以作为电路系统的设计工具;可以利用软件工具将 VHDL 源码自动地转化为文本方式表达的基本逻辑元件连接图,即网表文件。这种方法显然对于电路自动设计是一个极大的推进。很快,电子设计领域出现了第一个软件设计工具,即 VHDL 逻辑综合器,它把标准 VHDL 的部分语句描述转化为具体电路实现的网表文件。

1993 年,IEEE 对 VHDL 进行了修订,从更高的抽象层次和系统描述能力上扩展了 VHDL 的内容,公布了新版本的 VHDL,即 IEEE 标准的 1076-1993 版本。现在, VHDL 和 Verilog 作为 IEEE 的工业标准硬件描述语言,得到众多 EDA 公司的支持,在电子工程领域,已成为事实上的通用硬件描述语言。

VHDL 语言具有很强的电路描述和建模能力,能从多个层次对数字系统进行建模和描述,从而大大简化了硬件设计任务,提高了设计效率和可靠性。

VHDL 具有与具体硬件电路无关和与设计平台无关的特性,并且具有良好的电路行为描述和系统描述的能力,并在语言易读性和层次化结构化设计方面,表现了强大的生命力和应用潜力。因此, VHDL 在支持各种模式的设计方法、自顶向下与自底向上或混合方法方面,在面对当今许多电子产品生命周期的缩短,需要多次重新设计以融入最新技术,改变工艺等方面都表现了良好的适应性。用 VHDL 进行电子系统设计的一个很大的优点是设计者可以专心致力于其功能的实现,而不需要对不影响功能的与工艺有关的因素花费过多的时间和精力。

1.4 VHDL 综合

综合(Synthesis),就其字面含义应该为:把抽象的实体结合成单个或统一的实体。因此,综合就是把某些东西结合到一起,把设计抽象层次中的一种表示转化成另一种表示的过程。对于电子设计领域的综合概念可以表示为:将用行为和功能层次表达的电子系统转换为低层次的便于具体实现的模块组合装配而成的过程。

事实上,设计过程中的每一步都可称为一个综合环节。设计过程通常从高层次的行为描述开始,以最低层的结构描述结束,每个综合步骤都是上一层级的转换。

(1) 从自然语言转换到 VHDL 语言算法表示,即自然语言综合。

(2) 从算法表示转换到寄存器传输级(Register Transport Level, RTL),即从行为域到结构域的综合,即行为综合。

(3) RTL 级表示转换到逻辑门(包括触发器)的表示,即逻辑综合。

(4) 从逻辑门表示转换到版图表示(ASIC 设计),或转换到 FPGA 的配置网表文件,可称为版图综合或结构综合。有了版图信息就可以把芯片生产出来了。有了对应的配置文件,就可以使对应的 FPGA 变成具有专门功能的电路器件。