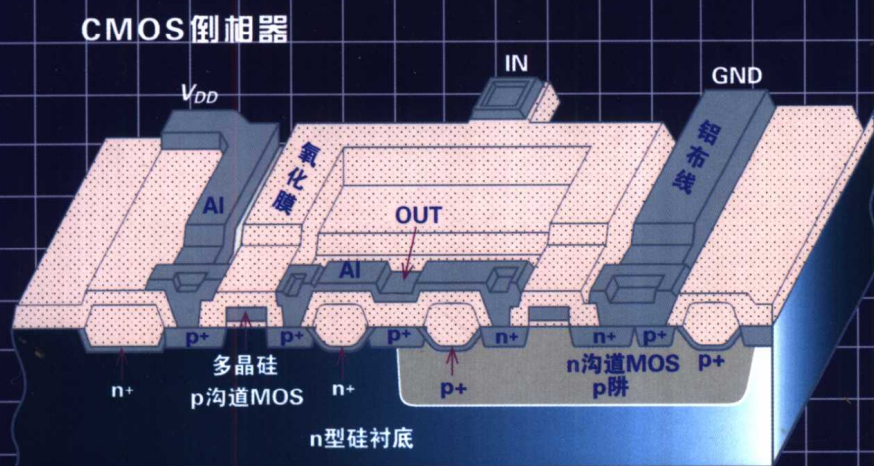


OHM 大学理工系列

集成电路

〔日〕广濑全孝 编著



科学出版社
www.sciencepress.com

西安电子科技大学图书馆



11022592



集成电路

〔日〕 广濑全孝 编著
彭 军 译
贾新章 校



科学出版社

北 京

图字:01-2002-2261

Original Japanese language edition

Shinsedai Kougaku Series; Shuseki Kairo Kougaku

By Masataka Hirose

Written by Yasuhisa Omura, Hiroshi Shibata, Mikio Takai, Keikichi Tamaru and Akira Masaki

Copyright © 2001 by Masataka Hirose

Published by Ohmsha, Ltd.

This Chinese version published by Science Press, Beijing

Under license from Ohmsha, Ltd.

Copyright © 2002

All rights reserved

新世代工学シリーズ

集積回路工学

廣瀬全孝 オーム社 2001

图书在版编目(CIP)数据

集成电路工程/(日)广瀬全孝编著;彭一军译,贾新章校. —北京:科学出版社,2003

(OHM 大学理工系列)

ISBN 7-03-010889-2

I. 集… II. ①广… ②彭… ③贾… III. 集成电路 IV. TN4

中国版本图书馆 CIP 数据核字(2002)第 072009 号

责任编辑: 崔炳哲 樊友民 **责任制作:** 魏 谨

责任印制: 刘士平 **封面设计:** 李 力

科学出版社 出版

北京东黄城根北街16号 邮政编码:100717

<http://www.sciencep.com>

中国科学院印刷厂 印刷

北京东方科龙图书有限公司 制作

<http://www.okbook.com.cn>

科学出版社发行 各地新华书店经售

2003年2月第 一 版 开本: B5(720×1000)

2003年2月第一次印刷 印张: 11

印数: 1—5 000 字数: 158 000

定 价: 22.00 元

(如有印装质量问题,我社负责调换(新欣))

丛 书 序

主编 樱井良文

现在,很多大学正在进行院系调整以及学科、专业的重组,以研究生培养为重点,引入学期制,采用新的课程体系授课,特别是由于学期制教学计划的引入,使得原来分册编写的教材很难在一个学期的教学中消化。因此,各学校对“易教”、“易学”教材的需求越来越迫切。

本系列是面向通信、信息,电子、材料,电力、能源,以及系统、控制等多学科领域的新型教学参考系列。系列中的各册均由活跃在相应学科领域第一线的教授任主编,由年轻有为的学者执笔,内容丰富、精炼,有利于对学科基础的理解。设计版面时着意为学生留出了写笔记的空间,是一种可以兼作笔记,风格别致的教学参考书。

希望肩负新世纪工程技术领域发展重任的青年读者们,通过本教程系列的学习,建立扎实的学科基础,在实践中充分发挥自己的应用能力。

OHM 大学理工系列编辑委员会

主 编

樱井良文 大阪大学名誉教授

副主编

西川祐一 大阪工业大学校长
京都大学名誉教授

编委(按姓氏笔画顺序)

广濑全孝	产业技术综合研究所 下一代半导体研究中心主任	井口征士	大阪大学教授
木村磐根	大阪工业大学教授 京都大学名誉教授	仁田旦三	东京大学教授
白井良明	大阪大学教授	西原 浩	福井工业大学教授 大阪大学名誉教授
池田克夫	大阪工业大学教授 京都大学名誉教授	滨川圭弘	立命馆大学教授 大阪大学名誉教授

前言

从因特网到通信网络、PC 机、计算机工作站,以及带有移动电话的移动式信息终端,从数字电视到信息家电,大规模集成电路(LSI)技术已经在信息社会中起着各种电子系统中枢的作用。

在今后的 10~20 年间,信息设备的功能将会变得更加强大,信息技术服务的质量将进一步提高,通信与广播的融合也将使信息流通领域进一步扩展,所有这些都得益于 LSI 技术的飞速发展。

在硅片上制作的半导体集成电路,具有 DRAM 或者快闪存储器等大容量存储器的功能,以及微处理器(MPU)等各种各样特征的功能。最近,相继推出了单片化的高速存储器与中央处理器,以及单片化的图像传感器与图像处理中央处理器,从而迎来了在一个芯片上搭载起庞大的电子系统的单片系统(SoC: System-on-a-Chip)时代。

SoC 技术不仅是将晶体管等搭载元件(器件)通过布线形成电路的技术,值得注意的是作为电子系统,它也是设计具有高性能大规模电路、系统的技术。所以充分理解作为 SoC 大脑的中央处理器的基本工作也是很重要的。

因此,对于 LSI 技术来说,必须理解器件的工作原理、基本电路的设计、LSI 的制造技术,以及为了实现 LSI 的计算机辅助设计(CAD)技术和计算机系统与中央处理器的结构与功能等。

LSI 是辅助人类认知活动的高性能电子系统。通过将硬件 LSI 与软件技术有机结合与协调,能够出色地实现信息处理功能。将具体的物理器件集成化的 LSI 最终实现了所谓信息处理功能这种比较抽象的概念。LSI 技术是建立在高技术体系基础之上的高度综合的新技术。

基于这样的观点,本书的读者对象是针对系统学习集成电路工程的大学本科生以及在本科基础上想深入学习,综合整理集成电路技术相关知识的研究者。

本书的结构以及各章的内容是经编者与承担编写任务的各位先生共同讨论确定后分别执笔形成的,各执笔者都是在相关研究

DJ5-3116

领域造诣很深的知名学者。

集成电路技术已经成为支撑未来信息社会的基础。我相信,系统地学习集成电路技术并确立自己的技术观,作为培养工程技术人员或研究者所必备的基本素养,对于即将在未来信息社会中大显身手的理工科大学生来说,是大有裨益的。

最后,对于大力协助本书出版的欧姆社出版部的各位先生表示深深的谢意。

广瀨全孝

目 录

第 1 章 集成电路基础	1
1.1 半导体集成电路与信息处理	1
1.2 半导体与能量间隙	2
1.3 n 型、p 型半导体与费米能级	3
1.4 pn 结与能带	5
1.5 MOS 结构中耗尽层的形成	7
1.6 MOS 存储器	9
1.7 MOS 逻辑电路	9
练习题	10
第 2 章 MOS 器件的工作与微细化	11
2.1 MOS 晶体管的工作特性	11
2.1.1 硅氧化膜与硅界面系统中的可动 电荷与固定电荷	11
2.1.2 MOS 晶体管的结构与工作特性	16
2.1.3 MOS 晶体管的结构及其引起的各 种现象与面临的课题	20
2.2 MOS 晶体管的工作模型与器件模拟	27
2.2.1 MOS 晶体管工作的基本模型	27
2.2.2 MOS 晶体管的结构设计与器件 模拟	33
2.2.3 器件模拟的课题	36
2.3 微细化的目的与设计指导思想,等比例缩 小规则的出发点与现实	37
2.3.1 MOS 晶体管微细化的目的与设计 指导思想	37
2.3.2 等比例缩小规则的出发点与发展 过程	37

2.3.3 等比例缩小的限度与现代器件设计	39
2.4 半导体存储器结构的历史与未来	40
2.4.1 存储器的结构与历史	40
2.4.2 信息积蓄电容与高介电常数薄膜, 强电介质薄膜	42
练习题	42

第3章 基本电路与版图设计

3.1 CMOS反相电路	45
3.1.1 CMOS反相器的结构	45
3.1.2 直流传输特性	47
3.1.3 CMOS的特性	50
3.2 传输门(TG)	53
3.3 CMOS逻辑电路举例	54
3.3.1 双输入与非门 NAND	54
3.3.2 双输入与或门 NOR	55
3.3.3 复合门	55
3.3.4 双输入 XOR(EXOR)门(异或逻辑)	56
3.3.5 触发器与锁存器	57
3.4 存储器集成电路	60
3.4.1 存储器的结构及种类	60
3.4.2 动态存储器(DRAM)	61
3.4.3 静态存储器(SRAM)	63
3.4.4 掩模 ROM	64
3.4.5 EPROM(Electrically Programmable ROM)	64
3.4.6 EEPROM(Electrically Erasable and Programmable ROM)	65
3.4.7 快闪只读存储器	66
3.5 版图设计	67
3.5.1 设计规则	67
3.5.2 LSI版图设计方法	69
练习题	71

第 4 章 LSI 制造技术	73
4.1 基本工艺与工艺流程	73
4.1.1 基本工艺	73
4.1.2 工艺流程	76
4.1.3 工艺一体化	76
4.2 器件隔离	77
4.2.1 LOCOS 隔离与开槽隔离	77
4.2.2 其他隔离技术	78
4.3 衬底与阱技术	79
4.3.1 CMOS 工艺与阱的形成	79
4.3.2 可靠性与阱技术	80
4.3.3 外延衬底与 SOI 衬底	81
4.4 栅与源、漏结的形成	83
4.4.1 栅工艺	83
4.4.2 源、漏结的形成	84
4.4.3 漏极技术	85
4.5 接触的形成与多层布线	86
4.5.1 接触的形成	86
4.5.2 金属化系统	86
4.5.3 多层布线工艺与平坦化技术	88
4.6 双极工艺与 BiCMOS 工艺	90
4.6.1 双极工艺	90
4.6.2 BiCMOS 工艺	91
练习题	92
第 5 章 LSI 设计与 CAD	93
5.1 LSI 开发与 CAD	93
5.1.1 LSI 设计流程	93
5.1.2 ASIC 设计的方法	95
5.1.3 模拟器	96
5.2 功能设计、逻辑设计	97
5.2.1 系统设计与功能设计	97
5.2.2 逻辑设计	98
5.2.3 逻辑模拟器	99
5.2.4 逻辑综合	102

5.3 电路设计	102
5.3.1 CMOS 反相器的输入输出特性	102
5.3.2 CMOS 反相器的开关特性	105
5.3.3 CMOS 反相器的功耗	107
5.3.4 LSI 的信号传输延迟时间	107
5.3.5 电路模拟器	110
5.4 设计验证	111
5.4.1 LSI 的故障与检验	111
5.4.2 测试简化设计	113
练习题	115
 第 6 章 中央处理器的基本结构与工作原理	117
6.1 计算机系统概要	117
6.2 中央处理器的结构与功能	124
6.2.1 数值数据的表示	124
6.2.2 指令系统	126
6.2.3 中央处理器的结构	129
6.2.4 中央处理器的工作	144
6.3 中央处理器的性能	148
6.3.1 性能的评价	148
6.3.2 改善性能的手段	149
练习题	150
 练习题简答	153
参考文献	163

第 1 章

集成电路基础

半导体集成电路作为信息通信系统的基础技术应用于现代社会的几乎所有的领域。学习集成电路的工作原理、电路设计、顶层系统设计、集成电路的制作以及计算机系统的整体概貌,是电气、电子与信息学科领域基本素质培养的重要内容。

第 1 章将介绍半导体器件技术的基本知识,它是学习以下各章内容的预备知识。

1.1 半导体集成电路与信息处理

1949 年美国 AT&T 公司贝尔实验室肖克莱等人发明了半导体结型晶体管,揭开了电子学时代的序幕。50 多年来半导体器件技术取得了巨大的进步,开发出器件的大规模集成化技术。其结果使得高性能计算机、个人计算机、通信网络、便携式终端、信息家电等普及化,信息化社会得到迅速的发展。信息社会的基础技术基本上就是计算机和通信网络。在各自的系统中,半导体集成电路(IC 或 LSI)是最重要的硬件。只有依靠 LSI 才能实现数据(信息)的输入输出、记忆、运算处理以及传送。而且,在长距离高速数据传送的光通信技术领域,半导体激光器和超高速 IC 也是最主要的要素。

构成 LSI 的基本器件是晶体管。晶体管通过控制半导体中电子的流动实现 ON 或者 OFF。现在主流的器件是适于集成化的 MOS 场效应晶体管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET 或 MOS 晶体管),其结构如图 1.1 所示。图中,栅极是控制输入电极,如果其上加正电压,那么在栅极下面的电流通道将积聚电子。这是由于在栅电极、栅绝缘膜以及硅衬底之间形成电容,静电感应使得硅衬底一侧感应出负电荷(电子)。源极和漏极本来就是具有大量电子的 n 型硅,当漏极上加正电压

V_D 时,就会有电子从源极流过电流通道(ON 状态)。
当栅极上不加电压($V_G=0$)时栅极下面不形成电流通道。这时,即使漏极上加正电压 V_D 也不会出现电子流(OFF 状态)。这样,MOS 晶体管就成为一个超小型电子控制开关(参见图 1.2(a)和(b))。人们广泛利用这种开关实现记忆和逻辑运算。
在第 2 章将详细说明 MOS 晶体管的工作原理。

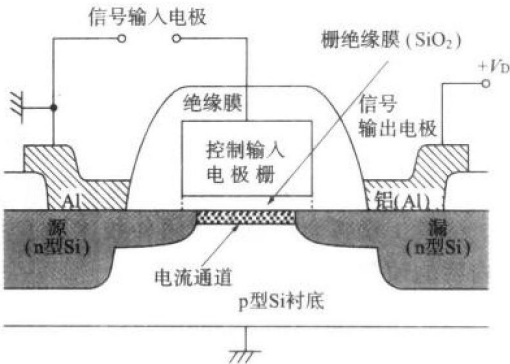


图 1.1 MOS 晶体管的剖面结构

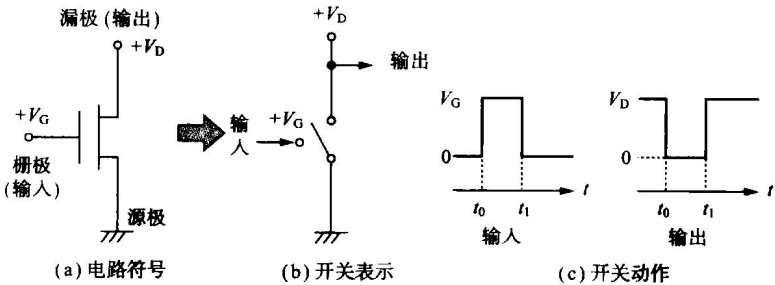


图 1.2 MOS 晶体管电子开关的动作

1.2 半导体与能量间隙

原子的规则排列构成晶体。共价键结合形成的IV族元素半导体的结构如图 1.3 所示。IV族原子的 s 轨道与 p 轨道混杂形成 sp^3 杂化轨道,这样形成分子键。与成键态及反键态相对应,其能级发生分裂。由于分子键的规则排列形成晶体,根据泡利不相容

原理(同一能级上考虑自旋时只能容纳一个电子),能级将分裂为具有一定宽度的能带。就是说,如图 1.4 那样,半导体由导带(反键态)和价带(成键态)构成,导带是能够容纳电子的空能级,而价带则填满价电子,导带与价带之间是不存在能级的能量间隙。这个能量间隙约有 $1\sim 2\text{eV}$,价带中的电子受到热或光激发时能够跃迁到导带,同时在价带中产生电子的空位(空穴)。空穴可以看作是具有正电荷能够运动的粒子。

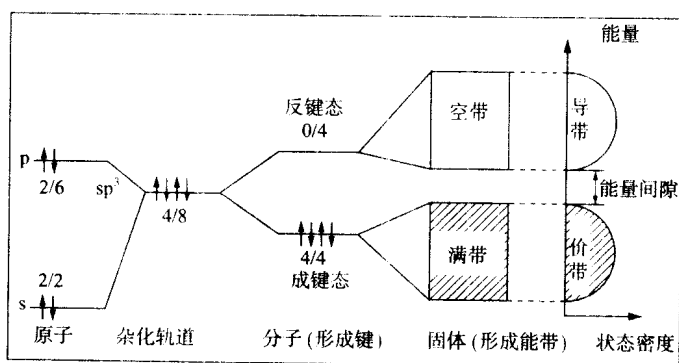


图 1.3 原子的规则排列形成能带的模式图

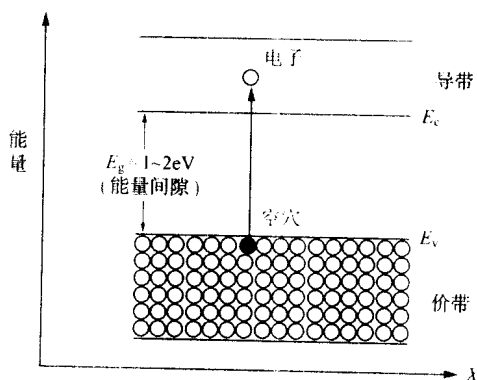


图 1.4 半导体的能带图

1.3 n 型、p 型半导体与费米能级

由图 1.4 和图 1.5(a)可以看出,纯净的半导体中导带的电子

浓度与价带的空穴浓度是相等的。这时,表示电子的存在概率 f 为 $1/2$ 的能级,即费米能级 E_F 处于能带间隙的正中央。电子存在概率 f 是电子能量 E 的函数,由下式给出:

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad (1.1)$$

式中, k 是玻尔兹曼常数, T 是绝对温度。

$$\text{当 } E = E_F \text{ 时, } f(E_F) = \frac{1}{2}$$

如果在IV族半导体硅中添加微量的V族元素(磷等),那么,V族原子将置换晶体中的硅原子,在导带下方形成杂质能级(施主能级)。结果V族原子将向导带提供一个自身带来的剩余价电子,而自身带正电荷。于是,形成了 $n \gg p$,这样的半导体称为n型半导体(参见图1.5(b))。在这种情况下,费米能级靠近导带。如果在IV族半导体中添加III族元素(硼等),那么将在价带上方形成杂质能级(受主能级),由于只有3个价电子,为了补足,需要从价带取得一个电子,从而自身带负电荷。这时,变为 $n \ll p$,称为p型半导体(参见图1.5(c))。由于价电子少,所以费米能级靠近价带。

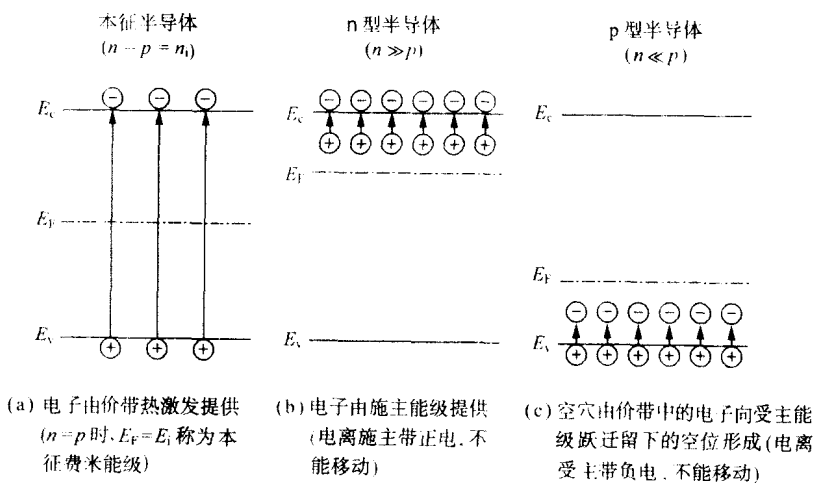


图 1.5 半导体电导类型的区别及费米能级

1.4 pn 结与能带

p 型半导体与 n 型半导体接触将形成 pn 结,像图 1.6(a)、(b)所示的那样在 pn 结的交界处将出现厚度为 W 的空间电荷区。这是因为在热平衡状态下,p 型和 n 型区域的费米能级(可以认为是粒子的平均能量)是一致的,pn 结的能带图如图 1.6(b)所示。把外加电压 $V=0$ 时电位势垒高度 V_B 称为扩散电势。图中 q 是电荷电量, qV_B 是能量。图 1.6(c)是空间电荷区的电离施主(浓度为 N_D)和电离受主(浓度 N_A)沿 x 轴的分布取最简单的突变分布时的示意图。把费米能级 E_F 与本征费米能级 E_i 的交叉点取为 $x=0$,那么在右侧($0 \sim x_n$)为电离施主,左侧($0 \sim -x_p$)为电离受主。在 $-x_p \leq x \leq x_n$ 区域,存在有内建电场,它是由空间电荷区中的电荷偶极层产生,这样就形成电位势垒。因此,在这个区域内没有电子或空穴(称为载流子)。在 $x < -x_p$ 和 $x > x_n$ 的平直能带区域,分别满足空穴浓度等于电离受主浓度($p=N_A$)或者电子浓度等于电离施主浓度($n=N_D$),即可动载流子与固定电荷(电离施主或受主)相平衡,满足电中性条件。

可以用下面的泊松方程求解空间电荷区(亦称耗尽层)中的电势分布 $V(x)$,式中 ϵ_s 是半导体的介电常数。

$$\frac{d^2 V(x)}{dx^2} = -\frac{\rho(x)}{\epsilon_s} \quad (1.2)$$

由图 1.6 看出,在 $-x_p \leq x \leq 0$ (p 型区)中 $\rho(x) = -qN_A$,在 $0 \leq x \leq x_n$ (n 型区)中 $\rho(x) = qN_D$ 。

边界条件为

$$\begin{aligned} x = -x_p: \quad \frac{dV(x)}{dx} &= 0, \quad V(x) = 0 \\ x = 0: \quad \frac{dV(x)}{dx} \Big|_{x=0} &= \frac{dV(x)}{dx} \Big|_{x=0}, \quad V(x) \Big|_{x=0} = V(x) \Big|_{x=0} \\ x = x_n: \quad \frac{dV(x)}{dx} &= 0, \quad V(x) = V_B - V \end{aligned}$$

在 p 型区,用上面边界条件对式(1.2)一次积分可以得到

$$\frac{dV(x)}{dx} = \frac{qN_A}{\epsilon_s}(x+x_p) \quad (1.3)$$

再次积分,得到

$$V(x) = \frac{qN_A}{2\epsilon_s}(x+x_p)^2 \quad (1.4)$$

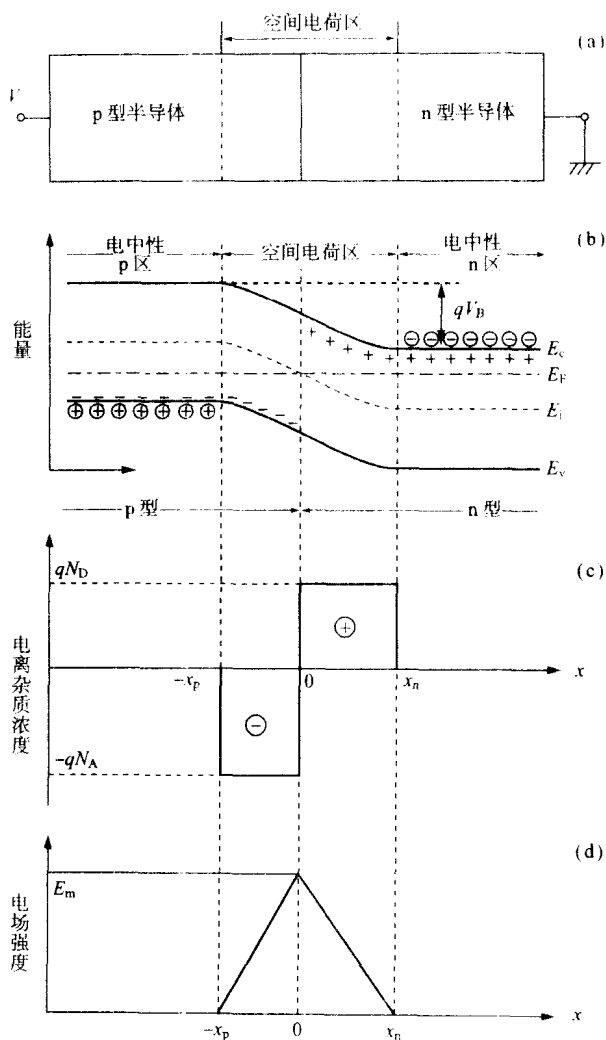


图 1.6 实际空间中的 pn 结(a),能带图(b),电离杂质浓度分布(c)以及电场强度分布(d)

对 n 型区作同样的处理,可以得到

$$\frac{dV(x)}{dx} = -\frac{qN_D}{\epsilon_s}(x - x_n) \quad (1.5)$$

$$V(x) = -\frac{qN_D}{2\epsilon_s}(x - x_n)^2 + V_B - V \quad (1.6)$$

然后求 x_n 、 x_p 。

在 $x=0$ 处,根据电场连续性条件得到

$$qN_A x_p = -qN_D x_n \quad (1.7)$$

该式表示空间电荷区中的正、负固定电荷是平衡的。

由 $x=0$ 处电势连续条件性得到

$$\frac{qN_A}{2\epsilon_s} x_p^2 = -\frac{qN_D}{2\epsilon_s} x_n^2 + V_B - V \quad (1.8)$$

将式(1.7)和式(1.8)联立,可以求得 x_n, x_p , 即

$$x_n = \left[\frac{2\epsilon_s (V_B - V)}{qN_D} \cdot \frac{1}{1 + N_D/N_A} \right]^{\frac{1}{2}} \quad (1.9)$$

$$x_p = \left[\frac{2\epsilon_s (V_B - V)}{qN_A} \cdot \frac{1}{1 + N_A/N_D} \right]^{\frac{1}{2}} \quad (1.10)$$

因此,空间电荷区(由于不存在载流子,所以也称为耗尽层)的宽度 W 为

$$W = x_n + x_p = \left[\frac{2\epsilon_s (N_D + N_A) (V_B - V)}{qN_D N_A} \right]^{\frac{1}{2}} \quad (1.11)$$

由于空间电荷区中不存在载流子,所以可以看作是绝缘层。因此,单位面积上所构成的电容 C 由下式给出:

$$C = \frac{\epsilon_s}{W} = \left[\frac{q\epsilon_s N_D N_A}{2(N_D + N_A) (V_B - V)} \right]^{\frac{1}{2}} \quad (1.12)$$

当 $N_D \gg N_A$ 时,式(1.11)可以简化为

$$W = \left[\frac{2\epsilon_s (V_B - V)}{qN_A} \right]^{\frac{1}{2}} \quad (1.13)$$

这就是说,如果 $N_D \gg N_A$, 那么耗尽层宽度 W 仅由受主杂质浓度 N_A 所决定。这时,在图 1.6 中, $x_n < x_p$, 空间电荷区不是向 n 型区延伸,而是向 p 型区扩展。如果 n 型一侧接地, pn 结的 p 型一侧加负电压 ($V < 0$), 按照式(1.13), W 将增大。

再返回到图 1.1, 来看 MOS 晶体管。在源、漏区存在有 pn 结, 而且 $N_D \gg N_A$, 那么可以看到在源极外加电压 $V = 0$ (接地), 漏极 $V = V_D$ 条件下, 耗尽层总是向 p 型硅区域扩展。

1.5 MOS 结构中耗尽层的形成

现在讨论图 1.7(a) 所示的 MOS 结构在栅极加正偏压时的情况。由于 p 型硅接地, 在正的栅偏压作用下, 栅氧化膜下面区域中的空穴被驱赶走, 这时, 如图 1.7(b) 所示, 硅的能带将向下弯曲, 硅中的耗尽层将扩展。