

DJS-040

微型计算机系统硬件用户手册

清华大学计算机工程与科学系 张公忠 等编译
陈在勤



清华大学出版社

13028
690
06
1

DJS—040

微型计算机系统硬件用户手册

张公忠 陈在勤 等译

清华大学出版社

1981

内 容 简 介

本书共分十章：一章概述，二章中央处理器 ZPU 部件，三章存储器 16KZ RAM 部件，四章 64KZ RAM 部件，五章 I/O 接口 TU—ART 部件，六章软磁盘控制 4FDC 部件，七章 D+7A I/O 部件，八章 ADM—3A 显示终端操作员手册，九章 DFD 型双片盘系统，十章 779 型打印机操作员手册，并另附对开图六幅。

本书可供 Z80 系统微型机用户、工程技术人员、操作员使用。

DJS—040 微型计算机系统硬件用户手册

张公忠 陈在勤 等译

☆

清华大学出版社出版
北京 海淀 清华园
清华大学印刷厂印刷
清华大学出版社发行
(随机资料 内部发行)

☆

开本：787×1092 1/16 印张：9.5 插图一幅 字数：210 千字

1981 年 6 月第一版 1981 年 6 月第一次印刷

印数 1~10000

统一书号：15235·14 定价：1.50 元

说 明

DJS—040 微型计算机系统是购买国外有关公司的零部件和部分国内零件组装、加工，调试而成。现将各有关部件的使用说明翻译出来，作为本系统（硬件）的用户手册。

本手册的第一，二，三，五，六章是根据张公忠等编译的《微型计算机系统——CROMEMCO 系统Ⅲ》翻印，第四，七，八，九，十章分别由陈在勤、王家庥、冯一兵、汤弘寿、唐龙同志编译，林定基等同志协助校对。

近年来，该系统发展迅速，尚有部分说明今后将陆续编译出版。

由于时间仓促，业务水平有限，文中还有不少欠妥之处，敬请读者指正。

编 译 者

1980.10

目 录

第一章 概述	1
1.1 引言	1
1.2 系统框图	1
1.3 S—100 总线简述	2
第二章 中央处理器 ZPU 部件	5
2.1 Z80—CPU 与 S—100 总线连接	5
2.2 时钟频率的选择	6
2.3 等待态状的选择	6
2.4 电源合上后起始地址的自动跳转	6
2.5 地址影像选择	7
2.6 8080 允许中断信号的产生	7
第三章 存贮器 16KZ RAM 部件	8
3.1 引言	8
3.2 开关和跨接线的初始安排	8
3.2—1 逻辑地址块选择	8
3.2—2 存贮体自动寻址选择	8
3.2—3 直接存贮器存取控制	8
3.3 工作原理	9
3.3—1 体选逻辑	9
3.3—2 DMA 控制	9
3.3—3 存贮板启动译码	10
3.3—4 芯片启动	10
3.3—5 芯片起动控制逻辑	10
3.3—6 RAM 阵列	11
3.3—7 刷新周期发生器	11
3.3—8 复位线路	12
第四章 64KZ RAM 部件	13
4.1 引言	13
4.1—1	13
4.2 操作说明	13
4.2—1 开关操作——概述	14
4.2—2 64KZ 板寻址	23

4.2—3	BLOCK 和 BANK 选择	24
4.2—4	直接存贮器存取	31
4.2—5	多用户 BASIC 的使用	33
4.2—6	64KZ 跨接线选择	34
4.3	工作原理	35
第五章	I/O 接口 TU—ART 部件	38
5.1	引言	38
5.2	开关的任意选择性	39
5.2—1	部件 A 的地址	39
5.2—2	部件 B 的地址	39
5.2—3	中断方式	39
5.2—4	正向/反向地址	39
5.3	中断优先链	41
5.4	状态位选择	41
5.5	接口选择	42
5.6	寄存器描述	42
5.7	Z80 中断操作	46
5.8	8080 方式中断操作	48
5.9	TU—ART 到 I/O 设备的连接	49
5.10	软件举例: 1 秒节拍器	53
5.11	TU—ART 操作原理	55
5.11—1	引言	55
5.11—2	电源	55
5.11—3	晶控时钟	56
5.11—4	地址选择	56
5.11—5	功能译码器	57
5.11—6	状态序列发生器	58
5.11—7	状态选通	58
5.11—8	总线多路开关	58
5.11—9	串行接口	59
5.11—10	并行接口	59
5.11—11	优先链	59
第六章	软磁盘控制 4FDC 部件	60
6.1	引言	60
6.2	磁盘驱动器简述	60
6.3	盘片记录	62
6.4	FD1771 电路	66

6.4—1	电路中有六个寄存器	67
6.4—2	运算器	67
6.4—3	CRC 逻辑	67
6.4—4	地址标记检测器	68
6.4—5	与 CPU 的接口控制	68
6.4—6	与磁盘驱动器的接口控制	68
6.5	RDOS 简述	68
6.6	4FDC 寄存器的编址和内容	69
6.6—1	地址 00—09H 寄存器	69
6.6—2	地址 30—34H 寄存器	71
6.7	4FDC 的接口特性	78
6.7—1	4FDC 与 S—100 总线的接口	78
6.7—2	4FDC 的串行通道	79
6.7—3	4FDC 与磁盘驱动器的接口	79
6.8	操作原理	81
6.8—1	起始位置	81
6.8—2	地址译码	81
6.8—3	数据总线	81
6.8—4	等待状态发生器	82
6.8—5	时钟	83
6.8—6	存储器体选	83
6.8—7	TMS5501 接口	83
6.8—8	电源	83
第七章	D+7A I/O 部件	84
7.1	引言	84
7.2	装配介绍	85
7.3	校准过程	86
7.4	使用说明	88
7.5	工作原理	89
7.5—1	引言	89
7.5—2	模拟输出	89
7.5—3	模拟输入	91
7.5—4	数字输出	92
7.5—5	数字输入	92
7.6	技术规范	92
7.6—1	计算机	92
7.6—2	数字通道	92

7.6—3	模拟通道	93
7.6—4	信号源阻抗效应	93
7.6—5	输入精度	93
7.6—6	输出精度	94
7.6—7	输出漂移	94
7.6—8	双极性/单极性工作	94
7.7	应用资料	95
7.7—1	调整模拟电压范围	95
7.7—2	输入比例尺标定	95
7.7—3	输出比例尺标定	96
7.7—4	D+7A 与 Cromemco 显示器连用	96
7.7—5	D+7A 与 Cromemco 操纵杆控制台连用	97
第八章	ADM—3A 显示终端操作员手册	99
	引言	99
8.1	ADM—3A 规范	99
8.1—1	显示器	99
8.1—2	键盘	99
8.1—3	通讯	100
8.1—4	物理和电气特性	100
8.2	ADM—3A 对话式显示终端 (快速入门)	100
8.3	设备安装与使用准备	103
8.4	键盘操作	108
8.5	计算机编程	111
8.6	ADM—3A 接口	112
8.7	ADM—3A 的维护	114
附录: (一)	ADM—3A 接口信息	115
(二)	202 调制解调器操作	116
(三)	ADM—3A 二进制码	117
(四)	ADM—3A 控制码	118
(五)	操作员快速参考码	119
第九章	PFD 型双片盘系统	120
9.1	引言	120
9.2	装配说明	120
9.3	电源检查过程	121
9.4	最后总装	124
9.5	最后的检查过程	125
9.6	PFD 成套部件清单	127

第十章 779 型打印机操作员手册.....	128
10.1 引言.....	128
10.2 场地考虑.....	129
10.3 开箱/重装箱细则	131
10.4 准备过程.....	132
10.5 操作.....	133
10.6 控制和指示器.....	133
10.7 纸的规格.....	134
10.8 装纸.....	135
10.9 换色带.....	139
10.10 操作员维护.....	141
10.11 操作检查.....	141
10.12 选操特性.....	141
10.13 附件.....	142
10.14 USASCII 编码.....	143

另附图册

- ① ZPU 逻辑图
- ② 16KZ RAM 逻辑图
- ③ 64KZ RAM 逻辑图
- ④ TU—ART 逻辑图
- ⑤ 4FDC 逻辑图
- ⑥ D+7A I/O 逻辑图

第一章 概 述

1.1 引 言

这篇文章主要讨论 CROMEMCO—Ⅲ 型微计算机系统。在目前的微计算机领域中该微计算机系统在技术上和使用上均比较先进。它能用在工程技术、科学研究、商业、教育、文字处理，以及数据库管理等各个方面。本系统的核心——CPU 是用速度快、功能强的 Z80—CPU 组成。在 I/O 方面，使用了点阵行式打印机以及键盘显示终端作为本系统基本的外围设备，并配以先进的可扩展的大容量半导体存贮器以及 4 个 8" 磁盘驱动器，组成一个完整的微型计算机系统。

本系统的印刷电路板插座共 21 个，以 S—100 总线（有关 S—100 总线的内容见本章第 3 节）方式连接。若要扩展存贮器或其他附加的功能以致 21 个插座不够用时，则可以在系统外面连接附加的插座。本系统无控制面板，完全依靠键盘来进行人机信息交换。只要电源开关一合上，计算机就能自动进行监控程序，等待键盘的控制。

本系统的软件支持也很丰富。

磁盘软件包括磁盘操作系统 CDOS，Z—80 宏汇编器，标准 FORTRAN Ⅳ 编译器，16K 扩展 BASIC 解释程序以及跟踪系统模拟器。

应用软件包括字处理系统以及数据库管理系统。

驻留软件包括 16K 扩展 BASIC，3K 控制 BASIC，监控器以及驻留操作系统/汇编器等。

此外，本系统的软件中还包括多用户 BASIC 及 COBOL。

对于这些软件的应用情况可参看有关的软件使用手册。这里着重于分析本系统硬件结构。

1.2 系统框图

微计算机系统框图见图 1—1。

图中表示了由 S—100 总线连接的所有功能部件（插件）。ZPU 部件为中央处理器部件，在此部件中主要的器件为一块大规模集成电路 Z—80CPU。16KZ RAM 部件为随机存贮器部件，每个存贮部件的容量为 16 K 字节（每字节为 8 位），在本系统中存贮容量为 32K（两块 16KZ 插件）。若在多用户情况下，最大容量可扩展到 512K。在此部件上所用的大规模集成电路半导体存贮器其型号为 4050—2RAM，每片为 4096 位动态存贮器。TU—ART 为通用双通道异步接口部件，在此部件中主要的大规模集成电路为两块多功能 I/O 控制器 TMS—5501，在本系统中 TU—ART 部件只用于连

接点阵式打印机。4FDC 为磁盘控制部件,可控制 4 个磁盘驱动器。该部件的主要大规模集成电路为一块磁盘控制器/格式形成器电路 FD1771 以及一块多功能 I/O 控制器电路 TMS—5501。4FDC 部件上还有一块具有 1K 容量的 PROM2708 电路,在 PROM 中存放了磁盘操作系统的引导程序及键盘监控程序 (RDOS)。本系统的键盘显示终端设备连接到 4FDC 部件的串行通道上。

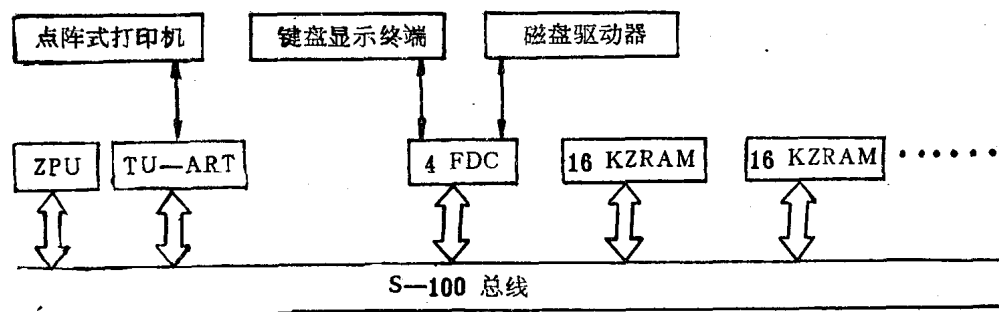


图 1-1 系统框图

对于整个计算机系统来说,在 S—100 总线上还可连接其他更多的部件,例如可连接 PROM 存储器部件,多通道并行接口部件以及多通道模拟接口部件等。相应于这些部件,使得本计算机系统具有更多的功能。但在本系统中并没有连接这些部件。因此关于这类部件在下面就不再叙述。

关于本系统所具有的 ZPU, 16KZ RAM, TU—ART 以及 4FDC 各部件将由第二、三、四、五各章分别叙述。关于 RDOS 的内容参看软件资料。最后的附录中表示了各部件的逻辑原理图。

1.3 S—100 总线简述

S—100 总线是美国 MITS 公司于 1975 年所生产的微计算机 ALTAIR8080 时使用的总线,此总线是连接中央处理器,存储器以及 I/O 装置的系统总线,共 100 根,其中包括输入输出数据线 16 根,地址线 16 根,控制用 39 根,其他为电源和地线。由于 8080 微型计算机广泛地使用,美国部份厂家与用户在 1976 年 8 月召开会议研究以 8080 为基础的微型计算机系统内部总线标准。结果,MIT 的 100 总线被定为标准,即称为 S—100 总线。

目前美国已有 100 多个工厂生产了 600 多种可为 S—100 总线相配的部件。INTEL8080, Z—80, M6502 等系统都已采用 S—100 总线。

S—100 总线的插件板共有 100 个插脚,每面 50 个脚。图 1—1 中本系统所有的部件均采用这种插件板。

本系统中的 S—100 总线基本上与 ALTAIR8080 所使用的总线相同。列表如下:

1 不稳压 +8V	
3 XRDY	外部送至 CPU 准备信号
12 NMI	非屏蔽中断请求
18 STATUS DISABLE	选通状态信号
19 C/C DISABLE	选通命令信号
21 SS	由控制面板所产生的信号, 指出 Z-80 在单步操作时应处于 RUN 方式。
22 ADDR DISABLE	选通地址
23 DO DISABLE	选通输出数据总线 DO
26 PHLDA	Z-80 响应“保持请求”(PHOLD)信号后发出的“保持回答”信号。表示可以悬挂 Z-80 正在执行的程序, 此时开始 DMA 工作方式。
27 PWAIT	此信号是被 PRDY 或 XRDY 产生, 即表示 Z-80 处在等待状态。
28 PINTE	允许中断
29 A ₅	地址总线 A ₅
30 A ₄	地址总线 A ₄
31 A ₃	地址总线 A ₃
32 A ₁₅	地址总线 A ₁₅
33 A ₁₂	地址总线 A ₁₂
34 A ₉	地址总线 A ₉
35 DO ₁	输出数据总线 DO ₁
36 DO ₀	输出数据总线 DO ₀
37 A ₁₀	地址总线 A ₁₀
38 DO ₄	输出数据总线 DO ₄
39 DO ₅	输出数据总线 DO ₅
40 DO ₆	输出数据总线 DO ₆
41 DI ₂	输入数据总线 DI ₂
42 DI ₃	输入数据总线 DI ₃
43 DI ₇	输入数据总线 DI ₇
44 SM ₁	表示 Z-80 每条指令处在取指过程中。若操作码占 2 个字节, 此信号在时间上延长一倍。
45 SOUT	处在输出操作时的状态信号。
46 SINP	处在输入操作时的状态信号。
47 SMEMR	处在存储器读操作时的状态信号。
48 SHLTA	Z80 正在执行“暂停”指令的状态信号。
51 不稳压 +8V	
53 SSW DISABLE	选通从控制板上来的开关数据进入 Z-80。

65 $\overline{\text{MREQ}}$	由 Z—80 中送出的存贮器周期请求信号。
66 $\overline{\text{RFSH}}$	由 Z—80 中送出的动态存贮器刷新信号。
67 MEMR DISABLE	使存贮器不能读写。
68 MWRITE	表示 Z—80 正在执行写操作
71 RUN	控制板上产生的信号指出处理器处在 RUN 方式上。
72 PRDY	此信号使 Z—80 产生等待周期。一般由存贮器产生。
73 PINT	送给 Z—80 的中断请求信号。
74 PHOLD	请求 Z—80 悬挂正在执行的程序, 转入到 DMA 工作方式。
75 $\overline{\text{PRESET}}$	联到“总清”开关的信号
76 PSYNC	处在存贮器周期或/和 I/O 周期时, 就会出现此信号。此信号总是处在这些周期的开始时间上。
77 $\overline{\text{PWR}}$	处在存贮器写和输出操作时的定时信号, 此信号指出 DO 总线上的数据为有效。
78 PDBIN	表示 Z—80 正在读 DI 总线上数据, 处在存贮器读, 输入或中断回答周期中均会出现此信号。
79 A_0	地址总线 A_0
80 A_1	地址总线 A_1
81 A_2	地址总线 A_2
82 A_6	地址总线 A_6
83 A_7	地址总线 A_7
84 A_8	地址总线 A_8
85 A_{13}	地址总线 A_{13}
86 A_{14}	地址总线 A_{14}
87 A_{11}	地址总线 A_{11}
88 DO_2	输出数据总线 DO_2
89 DO_3	输出数据总线 DO_3
90 DO_7	输出数据总线 DO_7
91 DI_4	输入数据总线 DI_4
92 DI_5	输入数据总线 DI_5
93 DI_6	输入数据总线 DI_6
94 DI_1	输入数据总线 DI_1
95 DI_0	输入数据总线 DI_0
96 SINTA	表示中断响应
97 $\overline{\text{SWO}}$	当 Z—80 送数据至 DO 上时, 此信号出现。
98 SSTACK	在 8080 系统中表示工作处在与堆栈有关的周期中。
99 $\overline{\text{POC}}$	与 Z—80 时钟同步的系统总清信号。
100 GND	接地

第二章 中央处理器 ZPU 部件

ZPU 为本系统的中央处理器部件。其逻辑原理图由附录图 1 所示。部件中核心的电路为一块 Z80—CPU 大规模集成电路（有关 Z80—CPU 的详细内容可参考 Z80—CPU 技术手册）。再附加一定数量必要的中小规模集成电路使本部件具有以下几种功能：

- 能与 S—100 总线相连。
- 时钟频率的选择。
- 等待状态的选择。
- 电源合上后起始地址的自动跳转。
- 地址影像选择。
- 8080 系统允许中断信号的产生。

以下各节分别讨论上述的各种功能。

2.1 Z80—CPU 与 S—100 总线连接

1.3 节已经叙述了 S—100 总线各端的信号。总线上信号 PRESET, PHOLD, PINT, PINTE, PDBIN, $\overline{PWR}$, PSYNC, PWAIT, PREADY, PHLDA, ϕ_1 以及 ϕ_2 各信号即是 INTEL8080 引出端的控制信号。总线上另外的信号 SM_1 , $\overline{SWO}$, SHLTA, SMEMR, SINTA, SSTACK, SINP 及 SOUT 实际上是 8080 的周期状态信号。其他一些信号如 $\overline{RFSH}$, $\overline{NMI}$ 以及 $\overline{MREQ}$ 等为本系统专有。S—100 总线上地址总线 $A_0—A_{15}$ 共 16 条。输入数据总线 $DI_0—DI_7$ 共 8 条。输出数据总线 $DO_0—DO_7$ 共 8 条。

由于 Z80—CPU 各引线端信号（除地址和数据总线外）与 S—100 总线上的控制命令在功能和时序上并不完全一致。因此必需附加另外的逻辑电路把 Z80—CPU 引线端的信号转换成 S—100 总线上有关的信号（实际上是 8080 的控制命令和状态信号）。由附录上 ZPU 逻辑原理图所示，例如对于总线上信号 SOUT 是由 Z80—CPU 的 WR, IORQ 两信号相与而成。总线上的 PHLDA 信号实际上就是 Z80—CPU 的 BUSAK 信号。

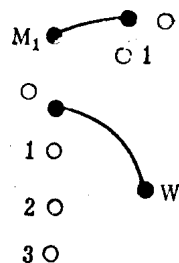
关于 S—100 总线上信号的功能和时序可参考 8080 微型计算机用户手册。而 Z80—CPU 信号的功能和时序已由 Z80—CPU 技术手册上叙述。这样就能比较容易了解 ZPU 部件上转换逻辑的原理。

2.2 时钟频率的选择

本部件上具有时钟频率选择逻辑。由 IC10 组成 8MHz 晶振线路, 经由 IC9 分频后成 4MHz。利用频率选择开关使 IC21 的两个输出端分别选通 IC22 两个门电路, 一路选通 8MHz 频率通过; 一路选通 4MHz 频率通过。再经过 IC9 分频后就能使 ϕ_2 , ϕ_1 的工作频率为 4MHz 或者是 2MHz。

2.3 等待状态的选择

Z-80 CPU 的每个机器周期 T_2 和 T_3 之间可以插入等待状态。这对于在 4MHz ZPU 与 2MHz RAM (或者更慢一些的 RAM 或 I/O) 连接时是必不可缺少的。速度慢的 RAM 必需对 ZPU 请求等待。当然如果 RAM 的读写速度足够快就可以不要 ZPU 等待。所以对于 ZPU 来说, 其等待状态必需可以有所选择。见图 2-1, 其连接方式所选择的等待状态为 0。相应于 W 的位置连接到 0, 1, 2, 或 3 就可在每个机器周期 T_2 和 T_3 之间选择 0, 1, 2 或 3 个等待状态。一个等待状态的时间宽度为 ZPU 时钟 ϕ 的周期。



如果 M_1 连接到 1 端, 则可以在 M_1 周期的 T_2 与 T_3 之间插入等待状态。

图 2-1 等待状态为 0 的连接

逻辑原理图上 IC3, 4 与 34 等器件组成了具有等待选择逻辑功能的逻辑电路。请求等待的信号由输入端 72 PRDY 或输入端 3 XRDY 接收, 其有效的信号为低电平。

2.4 电源合上后起始地址的自动跳转

机器的电源合上并全机清 0 后, 可以允许以 4K 为界的存储器起始地址的自动跳转, 即 16 位起始地址的最高 4 位可由部件上 4 个双向开关来控制 (图上 4 个开关处在 IC16 右侧)。逻辑图上所示的 POWER ON JUMP 两端必需连上。

起始地址自动跳转是很有用的一种功能, 它可以在无控制面板情况下实行开机自动跳转。在本系统的 4FDC 部件上具有存放 RDOS 程序的 PROM 电路。该程序的起始地址为 C000H, 为了一开机能自动执行 RDOS 程序就必需要转到起始地址 C000H 上, 这里就采用了上述的自动跳转电路。

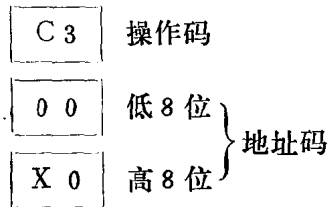
ZPU 上 4 个开关位置如下:

A_{15} , A_{14} 为 1

A_{13} , A_{12} 为 0

当电源一加上并全机清 0 后就能自动跳转到 C000H 执行 RDOS 程序。

自动跳转逻辑电路主要由 A_{15} , A_{14} , A_{13} 与 A_{12} 4 个选择开关与中规模集成电路 IC16 与 IC29 等来实现。当电源加上并全机清 0 后机器执行一条跳转指令,其操作码为 C3H, 低 8 位地址码为 00H, 高 8 位地址码中低 4 位为全 0 而高 4 位就是 A_{15} — A_{12} 4 个开关所组成的代码 $X=0$ —FH。



表示执行一条无条件转移指令 (操作码为 C 3 H), 转移地址为 X000H。

2.5 地址影像选择

有些系统中,例如 8080 系统中要求 I/O 的地址既能出现在地址总线的低 8 位上或者出现在地址总线的高 8 位上。这种功能称为地址影像选择。要获得此功能在逻辑图上只要把开关 AM 打在 ON 位置上即可。但在本计算机系统中并不需要地址影像选择的功能。

某些动态存储器其刷新地址要求处在高 8 位地址上,那么也可以利用地址影像选择逻辑,但必需把 RFSH ENABLE 两端 (见逻辑图) 用线连上。在本系统中亦无此要求。

2.6 8080 允许中断信号的产生

本部件的 IC28, 19 及 17 等组成了允许中断逻辑。此功能只适合于 8080 微计算机系统。由 IC28 输入端可知,当 DI 输入总线上从外部存储器取来指令的操作码为 11111011 时 (即为开中断 EI 指令) 即能置中断允许触发器 IC19 为 1 状态。当然必须处在取指周期 M_1 , 此时 PDBIN 为有效状态,且又不能处在等待周期中,这些限制条件由 IC28 的输入端 2 与 7 来表示。IC28 输入端 1 为时钟 ϕ_2 。

中断允许触发器呈 1 状态后经由 IC36 输出至 S—100 总线的 PINT_E。

中断允许触发器的清 0 有三路。除了用关中断指令 DI (其操作码为 11110011) 外,其余两路均通过 IC17。一是由 PRESET 产生的清 0 信号,一是由中断响应 INTA 产生的清 0 信号。

注意: 本系统不使用此允许中断逻辑。本系统的允许中断状态由 Z80—CPU 内部产生。

第三章 存贮器 16KZ RAM 部件

3.1 引言

Cromemco 16KZ 是为 S—100 微型计算机总线设计的高速 16K RAM 插件板。16KZ 可以在 2MHZ 或 4MHZ 的系统时钟频率下工作,而且不需要任何等待状态。16KZ 上所具有专门的存贮器体选性能使得存贮空间可以扩充到 8 个体,每个体为 64K。16KZ 中的存贮体是由每个 16KZ 插件板上的开关来选择的,(由附录 16KZ RAM 逻辑图所示。)这些存贮体在软件的控制下被选择。16KZ 还包含直接存贮器存取(DMA)控制电路,在 DMA 操作期间,允许任何 DMA 设备访问不同的存贮体。

由于具备了高速度以及存贮体可扩充的能力,因而使 Cromemco 16KZ 成为一种有广泛意义的插件板。它特别适合于采用 S—100 总线的 Cromemco 微型机系列。它也能用于其他采用 S—100 总线的微型计算机系统。

3.2 开关和跨接线的初始安排

3.2—1 逻辑地址块选择

16KZ RAM 板可以作为 4 个 16K 存贮器位置中任何一个。标号为 A_{14} 和 A_{15} 的选择开关分别控制地址位 A_{14} 和 A_{15} 。若将开关置于接通位置,则相应于该地址位为高电平时,此存贮块就处于工作状态。下面列表说明了每一块的开关置位情况

起始地址	结束地址	A_{14}	A_{15}
0	3FFF	0	0
4000	7FFF	1	0
8000	BFFF	0	1
C000	FFFF	1	1

3.2—2 存贮体自动寻址选择

利用软件控制的 Cromemco 存贮体选择特性,16KZ 的插件板可以自动编址到 8 个 64K 存贮体的任何一个中去。逻辑图上标为 BANK SELECT 的开关用来控制存贮体选择。若 8 个开关其中一个开关合上,则规定该插件板属于某一个存贮体。

在电源接通时,工作的存贮体为 0 体。电源接通后,只有属于这个体的存贮板才工作。此后,任一个或几个体可以在软件的控制下被起动,可由 I/O 端口 40H 来寻址。