



万水电子技术丛书

8051 C语言实习

余文俊 编著



中国水利水电出版社
www.waterpub.com.cn

万水电子技术丛书

8051 C 语言实习

余文俊 编著

中国水利水电出版社

内 容 提 要

本书以 IAR-C51 来撰写所有范例。对 8051 CPU 内部各项功能——基本 I/O, Timer/Counter, 中断、中断优先权, 串行端口等物均有详尽的例题实践。除此以外, 还介绍了工业界常用的电子组件范例——文本型 LCD, 七段显示器, 键盘, A/D, D/A, 8255, 使读者能够设计出一件完整的产品。

本书前半部分详细介绍 C51 的使用, 并详加说明 ANSI C 的程序编写及实习, 即使读者从未学过 C 语言, 也可轻松入门。

本书适用于初学者及非本专业的读者。

本书中文简体字版由台湾长科技股份有限公司独家授权出版。

北京市版权局著作权合同登记号: 图字 01-2002-5354

图书在版编目 (CIP) 数据

8051 C 语言实习 / 余文俊编著. —北京: 中国水利水电出版社, 2003

(万水电子技术丛书)

ISBN 7-5084-1414-4

I. 8… II. 余… III. C 语言—程序设计 IV. TP312

中国版本图书馆 CIP 数据核字 (2003) 第 011189 号

书 名	8051 C 语言实习
作 者	余文俊 编著
出版、发行	中国水利水电出版社 (北京市三里河路 6 号 100044) 网址: www.waterpub.com.cn E-mail: mchannel@public3.bta.net.cn (万水) sale@waterpub.com.cn 电话: (010) 63202266 (总机) 68331835 (发行部) 68359286 (万水)
经 售	全国各地新华书店
排 版	北京万水电子信息有限公司
印 刷	北京市蓝空印刷厂
规 格	787×1092 毫米 16 开本 26.5 印张 392 千字
版 次	2003 年 3 月第一版 2003 年 3 月北京第一次印刷
印 数	0001—5000 册
定 价	38.00 元

凡购买我社图书, 如有缺页、倒页、脱页的, 本社发行部负责调换

版权所有·侵权必究

序

笔者于业界训练当中，发现本专业及非本专业的读者在学习 8x51 CPU 中有一定的困难。为了使学员能够顺利、快速学会 8x51 CPU，以及在工作中获得较佳的设计方法，笔者编写此书，希望能对所有读者有所帮助。

本书以 IAR-C51 来撰写所有范例。由于本书是适用于初学者及非本专业的读者，所以，本书对 8x51 CPU 内部各项功能均有详尽的例题实践——基本 I/O，Timer / Counter，中断、中断优先权，串行端口等。除此而外，辅以工业界常用的电子组件范例——文本型 LCD，七段显示器，键盘，A/D，D/A，8255，使读者能够设计出一件完整的产品。

本书前半部详细介绍 C51 的使用，并详加说明 ANSI C 的程序编写及实习，即使读者从未学过 C 语言，亦可轻松入门。

随着时代的进步，业者所开发的程序愈来愈复杂。汇编程序已不符合开发成本，C 语言才是设计者的最爱。因此，各类的小、中、大型 CPU 均有 C 语言编译器来支持。希望读者能够明了此一时代的潮流。笔者将与您共同努力，希望能对台湾工业界有所贡献。

余文俊 于台中

目 录

序

第0章 8051 CPU 简介	1
0-1 8051 CPU 的功能	1
0-2 CPU 的引脚功能	2
0-3 MCS-51/52 系列的存储器结构	9
0-4 8051 存储器扩充	12
0-5 8×51/52 CPU 主要寄存器功能	15
0-6 特殊功能寄存器 (SFR)	16
第1章 PICE 51/52 的简易使用	23
第2章 IAR-C 基本指令	32
2-0 C 语言程序结构	32
2-1 C 语言的常数	34
2-2 C 语言的变量	36
2-3 算术运算	49
2-4 关系运算符	50
2-5 逻辑运算	52
2-6 各种运算符的运算优先次序	55
2-7 条件控制指令	56
2-8 指针与数组	74
2-9 指针 (pointer)	76
2-10 结构 (structure), 等位 (union) 与列举 (enum)	80
2-11 函数(function)	86
第3章 IAR-C 的编译与链接	91
3-0 总 结	91

3-1 IAR-C 编译程序 ICC8051.EXE.....	100
第 4 章 51C 程序编写、编辑、链接、PICE 加载与执行	110
4-0 程序的安装	110
4-1 C51 程序编辑.....	111
4-2 程序的编译、链接.....	112
第 5 章 IAR-C 基本指令练习.....	119
5-0 概 论.....	119
5-1 基本指令实习	127
第 6 章 8051 中断与 IAR-C51 的关系	152
6-1 C51 的中断函数	152
6-2 与 8051 中断有关的寄存器	153
6-3 如何设定中断寄存器.....	155
6-4 中断信号的状态设定.....	158
第 7 章 内存对应式 I/O 与 IAR-C.....	169
第 8 章 C 语言函数（子程序）	179
第 9 章 计时/计数器	192
9-1 8051 CPU 内部计时/计数器	192
9-2 与计时/计数有关的特殊功能寄存器.....	193
9-3 计时/计数器的工作模式	195
9-4 计时/计数模式	199
9-5 模式 1 定时器的激活与设定	200
9-6 计时/计数模式 2.....	204
9-7 定时器模式 2 的使用.....	205
9-8 计时/计数模式工作模式 3	208
9-9 定时器模式 3 的使用.....	208
9-10 计时模式 0 的中断.....	209
9-11 计时模式 1 的中断.....	211
9-12 计时模式 2 的中断.....	214
第 10 章 文本型液晶显示器	233

第 11 章 并行式 I/O 接口 (8255)	266
11-1 8255 引脚及模块图	266
11-2 8255A 功能设置	268
11-3 8255A 的三种操作模式	272
第 12 章 DAC 与 ADC	292
12-1 数字/模拟转换器—使用 DAC0800	292
12-2 DAC0800 实习电路图	297
12-3 模拟/数字转换器 ADC0804	306
第 13 章 串行通讯	315
串行通讯	316
13-1 通讯概论	316
13-2 串行传输的传输速率	317
13-3 传输设备 (Device)	317
13-4 RS232-C 接口	317
13-5 RS232C 常用的接线方式	319
13-6 RS232-C 数据格式	320
13-7 RS-485 串行通讯	321
13-8 8031 内部的串行接口	322
13-9 与串行端口有关的控制寄存器	326
13-10 波特率的设定方法	326
13-11 UART 与 RS-232C 的信号准位转换	329
13-12 UART 的驱动程序	331
第 14 章 键盘与七段显示器	342
第 15 章 绘图式 LCD	374
附录 A I051.H 内容	395
附录 B xlib 的命令	399
附录 C IAR-C51 的函数库	404
附录 D 通讯测试软件 BREAKOUT 的使用	411



8051 CPU 简介



8051 CPU 的功能

MCS-51 系列始于 1980 年，由 Intel 公司所开发。由于 MCS-51 CPU 功能强大，在工商业界广受欢迎，历久不衰。其所衍生的变种 CPU，更是不计其数。在各行各业的应用，已臻完美。归纳其特性如下：

1. 专为控制应用所设计的八位 CPU。
2. 具有布尔代数的运算能力。
3. 32 条双向可被独立寻址的 I/O。
4. 芯片内有 128 字节，可供存储数据的存储器（RAM）（8052 有 256 bytes）。
5. 内部有两组 16 位计时/计数器（8052 有 3 个）。
6. 具有全双工（Full Duplex）传输信号的 UART。
7. 5 个中断源，且具有两层（高/低）优先权顺序的中断结构。
8. 芯片内有 4K（8K/8052）字节的程序存储器（ROM）。
9. 芯片内有时钟（CLOCK）振荡器线路。
10. 具有电源下降模式（Power Down）及闲置模式（Idle）。
（80C51，80C52，87C51，87C52，AT89C51……）
11. 外部程序存储器（EPROM）可扩充至 64K bytes。

12. 外部数据存储器（SRAM）可扩充至 64K bytes。

MCS-51 系列的芯片根据型号不同，其内部存储器如表 0-1。

表 0-1

型号	8031	8051	8751	8032	8052	8752	89C51	89C52
ROM	0	4K	0	0	8K	0	0	0
RAM	128	128	128	256	256	256	128	256
EPROM	0	0	4K	0	0	8K	0	0
EEPROM	0	0	0	0	0	0	4K	8K

8051/52: 工厂烧录型，内含 ROM，适合大量生产。

P8751: 烧录一次型，内含 PROM，适合中小量生产。

8751/8752: 可重复烧录及烧录密码，内含 EPROM，经紫外线照射窗口约 15 分钟清洗后，可再烧录。适合小量生产及开发用。

87C51/87C52: 省电型（低消耗功率 CHMOS），可重复烧录及烧录密码，清洗过程与 8751 相同。

AT89C51: FLASH MEMORY 省电型（低消耗功率），可重复烧录及烧录密码。其特性与 87C51 完全兼容，清洗时，数秒钟即可清洗完毕，其寿命可达 1000 次。



CPU 的引脚功能

MCS-51/52 CPU 的引脚图如图 0-1。

1. P0: 具有三种功能

- (1) 有外部扩展存储器时（EPROM 或 SRAM），作为数据总线（D0~D7）。
- (2) 具外部扩展存储器时（EPROM 或 SRAM），作为地址总线（A0~A7）。

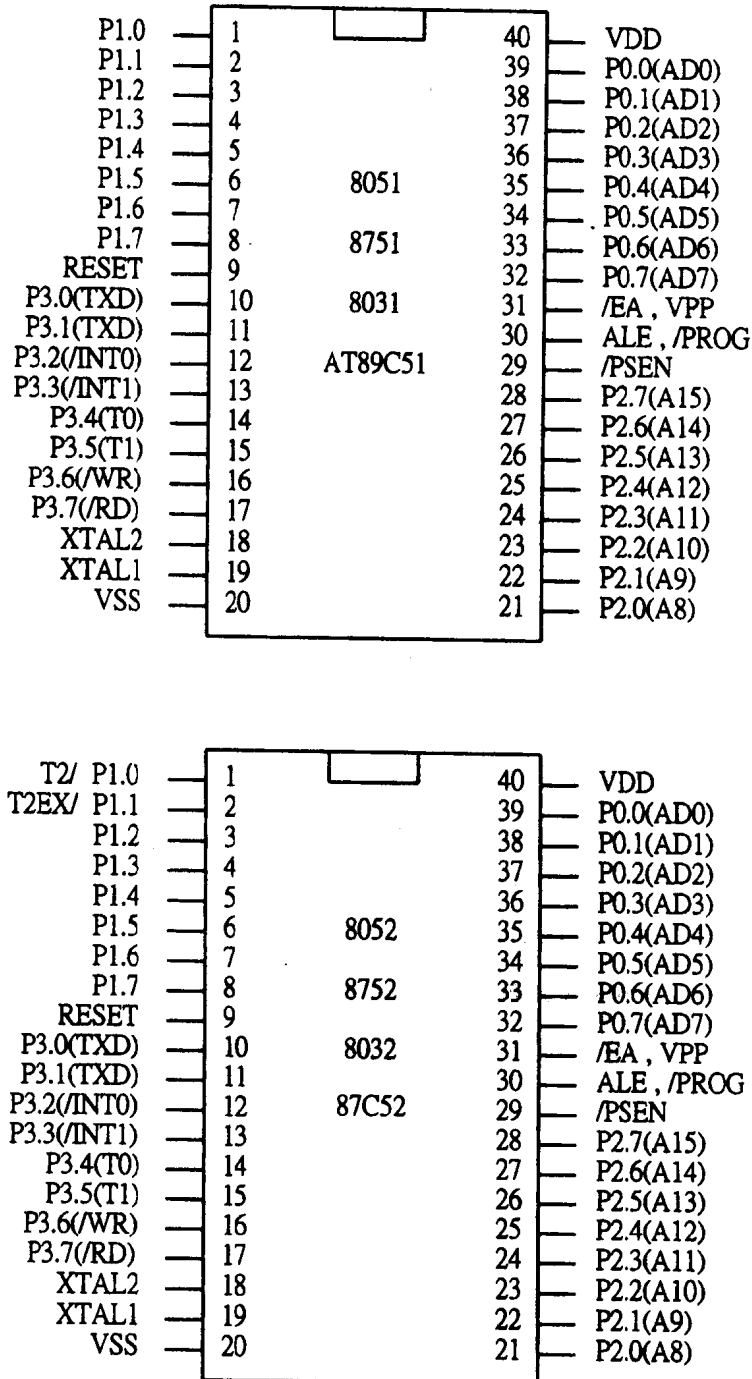


图 0-1

(3) 不扩展存储器及 I/O 时, 可做一般 I/O 使用, 但内部无提升电阻, 故作为输入或输出时, 应在外部接上提升电阻。

(4) 由 (1) (2) 得知 P0 作为外部扩展存储器时为双工总线。亦即, 在某一时段为地址总线, 某一时段则为数据总线, 由 CPU 自动设定。

2. **P1:** 只能当作 I/O 端口使用, 其内部具有提升电阻。在 8052 CPU, P1.0 与 P1.1 具有特殊功能, 如表 0-2。

表 0-2

端口的引脚	特殊功能
P1.0 (8052)	T2 (TIMER2 之外部输入脚)
P1.1 (8052)	/ T2EX (TIMER2 的捕捉 (Capture) / 重新加载 (Reload) 的触发输入脚)
P3.0 (RXD)	RXD (串行输入脚)
P3.1 (TXD)	TXD (串行输出脚)
P3.2 (INT0)	/ INT0 (外部中断脚)
P3.3 (INT1)	/INT1 (外部中断脚)
P3.4 (T0)	T0 (TIMER0 的外部输入脚)
P3.5 (T1)	T1 (TIMER1 的外部输入脚)
P3.6 (WR)	/WR (外部数据存储器的写入触发信号, SRAM)
P3.7 (RD)	/RD (外部存储器的读取响应信号, EPROM 及 SRAM)

3. **P2:** 有两个功能

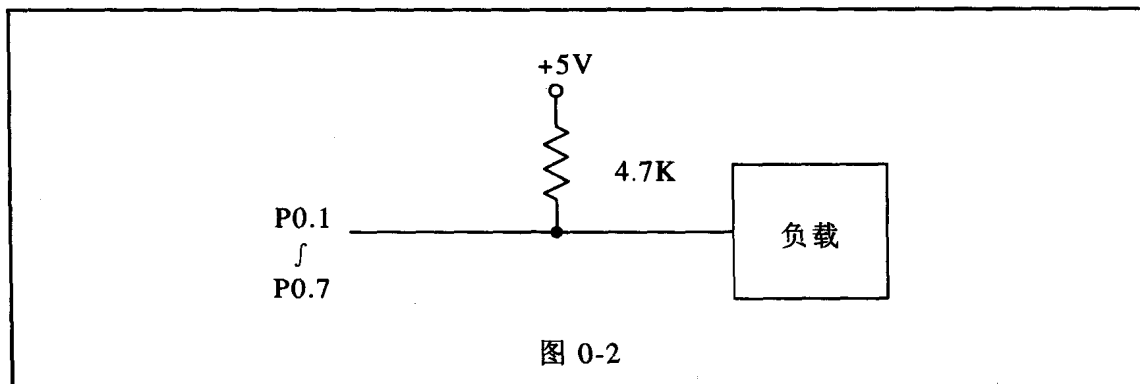
(1) 扩展外部存储器 (EPROM 或 SRAM) 时, 作为地址总线 (A8~A15) 使用。

(2) 作为一般 I/O 使用时, 其内部有提升电阻。

4. **P3:** 有两种功能

除了作为一般 I/O 使用外 (内部有提升电阻), 也可用作一些特殊用途。如表 0-2。其特殊功能的设定由特殊寄存器来设定。

- ※ P1, P2, P3 具有内部提升电路, 当输入引脚使用时, 可驱动 4 个 LS TTL 闸。
- ※ P0 需要外部提升电路 (电阻), 当输入引脚使用时, 可驱动 8 个 LS TTL 闸。如图 0-2。



5. **VDD**: 电源+5V

VSS: GND 接地

6. **RESET**: 将此脚接至高态时 (约 2 个机械周期), 可将 CPU 复位。典型的复位电路如图 0-3。CPU 复位后其累积器及寄存器的内容如表 0-3。

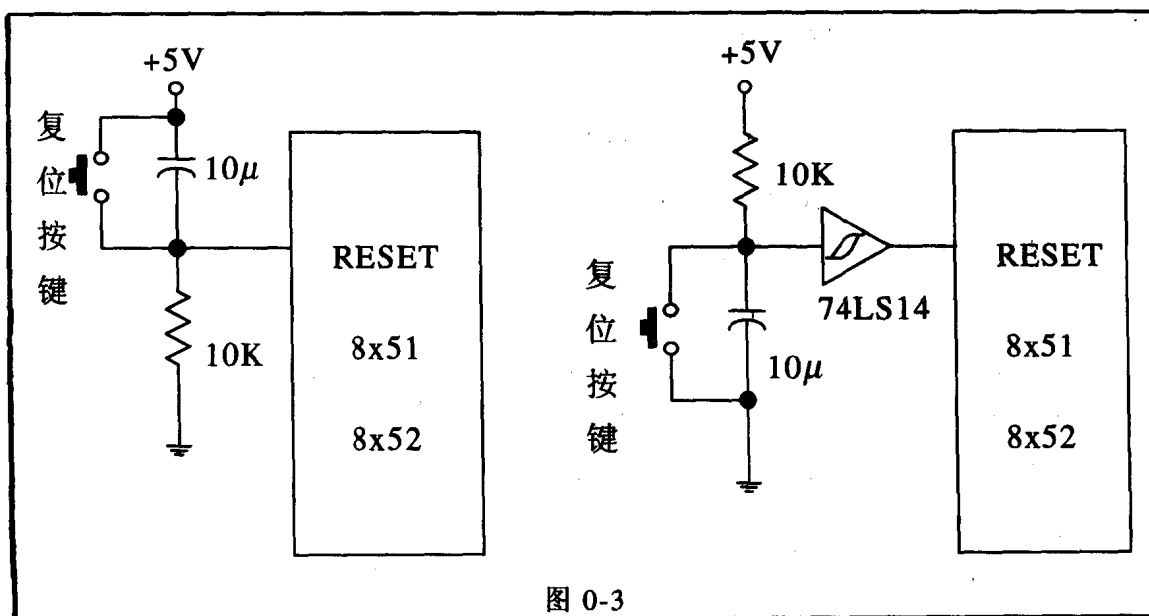


表 0-3

寄存器	二进制值	16 进制值
ACC	00000000	00H
B	00000000	00H
PSW	00000000	00H
SP	00000111	07H
P0 / P1 / P2 / P3	11111111	FFH
IP	XXX00000	X0H
IE	0XX00000	X0H
TMOD	00000000	00H
TCON	00000000	00H

7. **ALE/ $\overline{\text{PROG}}$** : (ADDRESS LATCH ENABLE) 地址门锁触发具有三种功能:

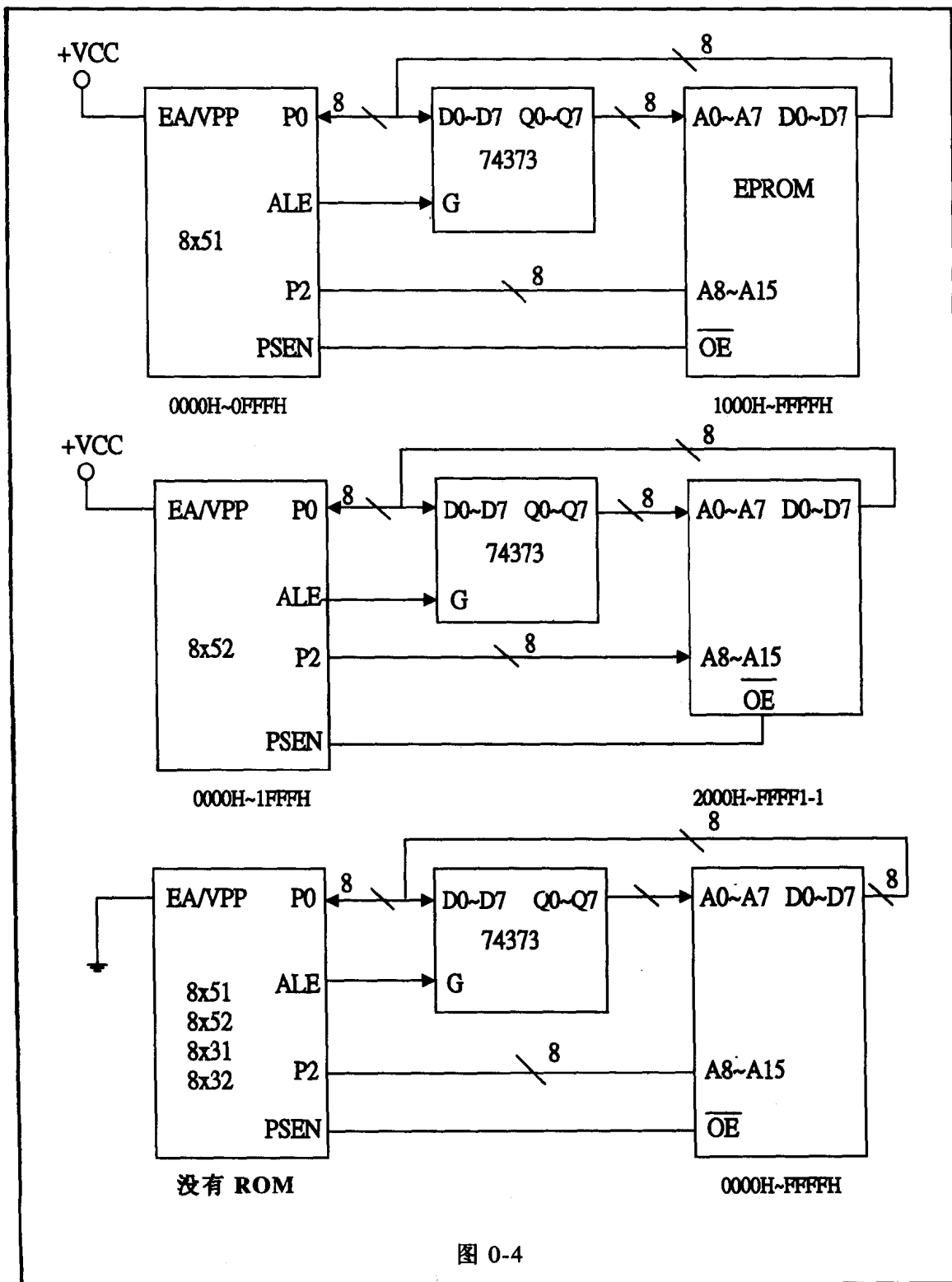
- (1) 8051 外接 SRAM/EPROM 时: ALE 接到 74373 的 EN 脚。当 CPU 对外部存储器进行存取时, 用以锁住地址总线的低地址组。(因为 P0 为双工总线)
- (2) 8051 未外接 SRAM/EPROM 时: 即系统未使用外部存储器时, ALE 脚也输出 1/6 石英晶体的振荡频率, 可作为外部时钟或闲置不用。
- (3) 在烧录 875x CPU 时: ALE 作为烧录时钟的输入端。

8. **$\overline{\text{PSEN}}$ (PROGRAM ENABLE)**: 程序存储触发。

- (1) 读取内部程序存储器时: 不工作。
- (2) 读取外部程序存储器 (EPROM) 时: 在每个机械周期会工作两次。
- (3) 存取外部数据存储器 (SRAM) 时: 不工作。
- (4) 读取外接 EPROM, 与 EPROM 的/OE 脚连接。

9. **$\overline{\text{EA}}$ /VPP**: 如图 0-4。

- (1) 接高电平时:



(A) CPU 先读取内部程序存储器 (ROM, EPROM, EEPROM), 如 8051/8052。

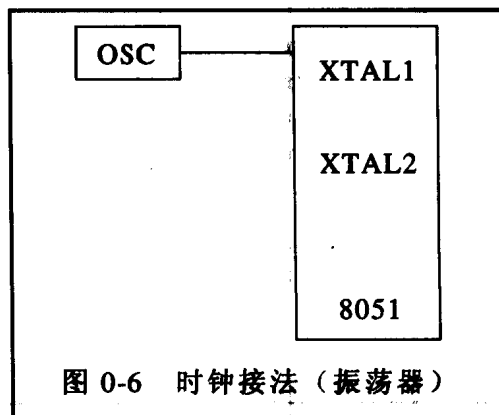
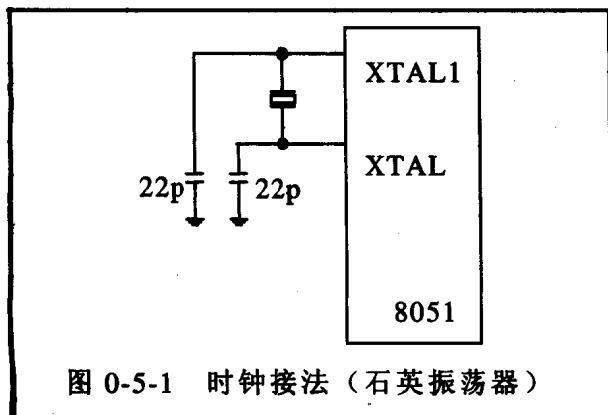
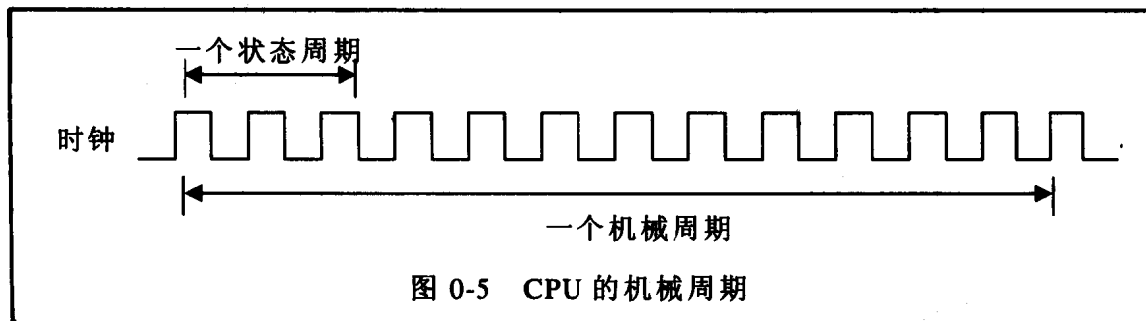
(B) 进行扩展外部 EPROM 时: 当读取内部程序存储器超过 0FFFH (8051), 1FFFH (8052) 时, 会自动读取外部 ROM (2000H~0FFFFH)。

(2) 接低电平时: CPU 仅读取外部程序存储器 (ROM), 如 8031/8032。

(3) 8751 烧录内部 EPROM 时, 需利用此脚输入 21V 的烧录电压。

10. XTAL 1, XTAL 2: 接石英芯片振荡器或振荡器。

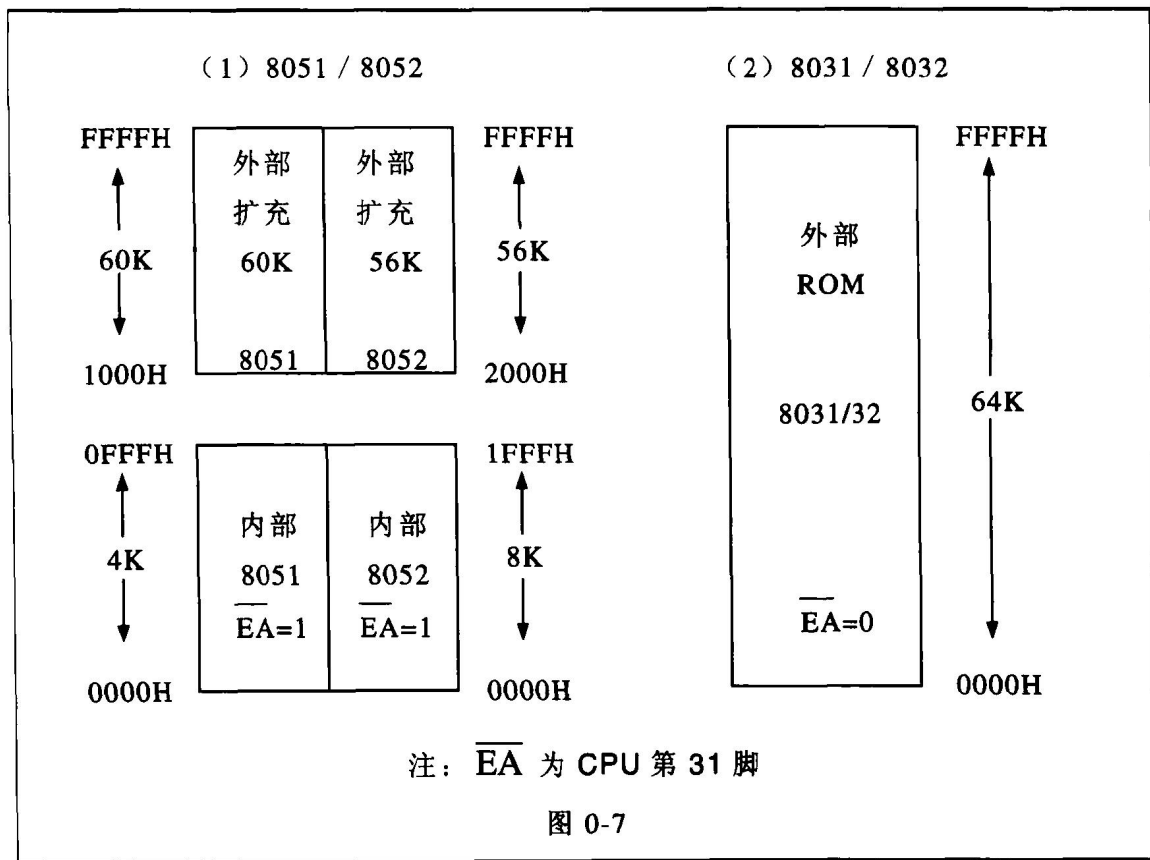
MCS-51 的一个机械周期包含 6 个状态周期, 而每个状态周期为 2 个振荡器周期。因此, 一个机械周期有 12 个振荡器周期。如振荡器的频率为 12MHz, 一个振荡器周期为 1/12 微秒, 而一个机械周期为 1 微秒。





MCS-51/52 系列的存储器结构

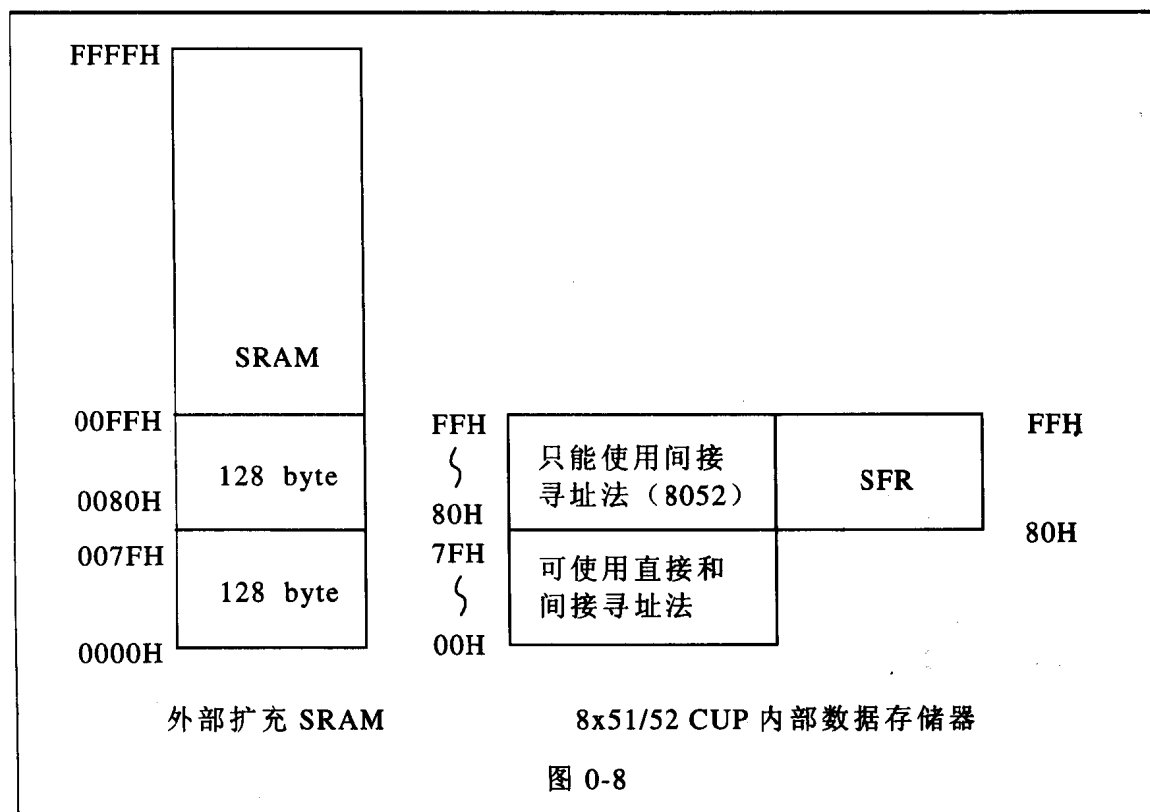
1. MCS-51/52 程序存储器配置图



MCS-51/52 系列的程序存储器，只区分为 31 及 51 模式。

(1) 当 $\overline{EA}=1$ 即为 51 模式，CPU 会先读取 CPU 内部的程序存储器 [4K (8051)，8K (8052)] 后，再读取外部程序存储器 (8×51：1000H ~ 0FFFFH，8×52：2000H ~ 0FFFFH)。

(2) 当 $\overline{EA}=0$ ，则为 31 模式，CPU 只读取外部程序存储器 (8×51，8×52：0000H ~ 0FFFFH)。



2. 数据存储器 (图 0-8)

(1) MCS-51 的数据存储器

(A) 内部数据存储器 8031/51: 128 BYTES, 8032/52: 256 BYTES。

(B) 外部扩展 SRAM 最大至 64K。

(2) 内部数据存储器分成三大部份:

(A) 较低地址 128 字节 (00H~7FH) 的数据存储器。

(B) 较高 128 字节 (80H~FFH) 的数据存储器 (8052 才有)。

(C) 特殊功能寄存器 (Special Function Register 简称 SFR), (80H~FFH)。

(3) 使用者可使用的 CPU 内部存储器

(A) 8051: 00H~7FH (直接、间接寻址法)