

TI 公司 DSP 器件系列丛书

TMS320F206 DSP

结构、原理及应用

李 刚 林 凌 叶文字 编著

北京航空航天大学出版社

<http://www.buaapress.com.cn>

内 容 简 介

TMS320F206 是美国 TI 公司出品的 TMS320C2xx 系列数字信号微处理器 (DSP) 中的一个品种。本书详细地介绍了 TMS320F206 的原理、开发手段及应用。本书共分 11 章, 分别概述了 TMS320 系列, 介绍了 TMS320F206 的原理、主要功能、硬件结构和指令集; 此外, 还介绍了 F206 的调试环境及开发应用实例。

本书可作为学生和工程技术人员学习 DSP 的教材或参考书。

图书在版编目 (CIP) 数据

TMS320F206 DSP 结构、原理及应用/李刚等编著.

—北京:北京航空航天大学出版社,2002.5

ISBN 7-81077-181-7

I. T … II. 李 … III. 数字信号 信号处理 数字通信系统, TMS320F206 DSP IV. TN914.3

中国版本图书馆 CIP 数据核字 (2002) 第 028488 号

TMS320F206 DSP 结构、原理及应用

李 刚 林 凌 叶文宇 编著

责任编辑 王 实

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号 (邮编 100083) 发行部电话: (010) 82317024 传真: (010) 82328026

<http://www.buaapress.com.cn>

E-mail: pressell@publica.bj.cninfo.net

北京密云华都印刷厂印装 各地书店经销

*

开本: 787×1 092 1/16 印张: 15.5 字数: 397 千字

2002 年 5 月第 1 版 2002 年 5 月第 1 次印刷 印数: 5 000 册

ISBN 7-81077-181-7/TP·102 定价: 24.00 元

前 言

20世纪80年代初期,数字信号微处理器和单片微处理器相继引进到我国,极大地促进了信号处理和测控各个领域的学术研究、产品开发及应用。但在当时,由于数字信号微处理器价格昂贵、缺乏必要的技术支援和供货渠道,数字信号微处理器的应用仅限于实验室里进行学术研究和某些特殊领域的应用。与此相反,单片微处理器自引进我国后,其开发和应用得到了蓬勃的发展,取得了大批成果。然而,随着微电子技术的飞速发展和单片微处理器的普遍应用,上述情况已发生了明显的变化。一方面,由于单片微处理器的处理能力有限和应用的深入,单片微处理器的应用受到越来越大的限制;另一方面,数字信号微处理器的发展取得了长足的进步,器件价格大幅度下降,开发手段越来越丰富、也越来越容易,而数字信号微处理器又具有比普通的单片微处理器强几个数量级的运算处理能力,这些都为数字信号微处理器的普及和应用提供了良好的条件。因而,数字信号微处理器取代普通单片微处理器的主导地位已是必然的趋势。

美国TI公司的TMS320系列是产量最高、品种最多、性能最强的数字信号微处理器。TI公司的数字信号微处理器正朝着两个方向发展:一是运算速度更快、芯片功能更强;二是在保持数字信号微处理器的高速运算和强大功能的情况下,使之开发和应用更方便,更容易大规模普及和进入普通单片微处理器的传统应用领域。

从普及、推广的角度来看,TI公司的TMS320C2xx系列具有较好的应用基础和较高的性能价格比:TMS320C2xx系列的指令系统与TMS320C2x系列兼容,而TMS320C2x系列数字信号微处理器在我国应用已有十余年的历史,有较多的用户,又有相应的软件和技术支持;TMS320C2xx系列的器件与TMS320C2x相比,价格只有后者的一半,速度却提高了2~4倍。因此,TMS320C2xx在我国有着广泛的应用前景。

TMS320F206是TMS320C2xx中的一个品种。它是TMS320C2xx系列中惟一具有片内FLASH存储器的器件,也是其中具有最多资源的器件之一。因此,TMS320F206不仅是取代普通单片微处理器的最佳选择,也是学习TMS320C2xx系列和其他数字信号微处理器的一条捷径。

本书详细地介绍了TMS320F206的原理、开发手段和应用。学习的目的在于应用,而实验是学习的一个重要手段。因此,与其他教材、专著不同的是,本书加强了在开发手段、实验及应用方面的叙述。

林凌博士编写了第1~4章,叶文字博士编写了第9~11章,其余部分由李刚博士编写并统稿。吕丽娜、于学敏、谌雅琴、王朔、李秋霞、李奕等同志为本书付出了辛勤的劳动和有价值的贡献。此外,北京航空航天大学出版社的马广云博士和何立民教授在本书出版的过程中给予了指导和帮助。在此,作者向他们致以诚挚的谢意。

由于作者水平有限和编写时间仓促,本书肯定会有不少的错误与不足之处,敬请读者批评指正。

作 者

2002年春于天津大学北洋园

目 录

第 1 章 概 述

1.1 TMS320 系列	1
1.2 TMS320F206 简介	2
1.3 'F206 的主要性能	3

第 2 章 硬件结构

2.1 总线结构	6
2.2 中央处理单元	7
2.2.1 输入比例部分	7
2.2.2 乘法部分	8
2.2.3 中央算术逻辑部分	10
2.2.4 辅助寄存器算术单元(ARAU)	12
2.2.5 状态寄存器 ST0 和 ST1	13
2.3 存储器和 I/O 空间	15
2.4 程序控制	16
2.5 片内外设	16
2.6 扫描逻辑电路	18

第 3 章 存储器和 I/O 空间

3.1 概 述	19
3.2 程序存储器	20
3.3 局部数据存储器	21
3.3.1 数据页 0 的地址映射	22
3.3.2 与外部局部数据存储器接口	23
3.4 全局数据存储器	23
3.5 引导加载程序	25
3.6 I/O 空间	30
3.7 利用 HOLD 操作实现直接存储器访问	31
3.8 器件专用信息	34

第 4 章 程序控制

4.1 程序地址的产生	35
4.2 流水线操作	38
4.3 分支、调用及返回	38
4.3.1 无条件的分支、调用及返回	39

4.3.2	有条件的分支、调用及返回	39
4.4	重复单条指令	41
4.5	中 断	41
4.5.1	中断操作	42
4.5.2	中断向量	42
4.5.3	可屏蔽中断	43
4.5.4	中断标志寄存器(IFR)	44
4.5.5	中断屏蔽寄存器(IMR)	45
4.5.6	中断控制寄存器(ICR)	46
4.5.7	不可屏蔽中断	48
4.5.8	中断服务程序(ISR)	49
4.5.9	中断延时	50
4.6	复位操作	51
4.7	降低功耗模式	52
4.7.1	降低功耗模式的正常终止	53
4.7.2	在 HOLD 操作时终止降低功耗模式	53
第 5 章 寻址方式		
5.1	立即寻址方式	54
5.2	直接寻址方式	55
5.3	间接寻址方式	58
第 6 章 指令集		
6.1	指令集概述	62
6.2	指令描述中的符号、缩写及说明	67
6.3	指令描述	71
第 7 章 片内外设		
7.1	片内外设的控制	183
7.2	时钟发生器	184
7.3	CLKOUT1 引脚控制 CLK 寄存器	185
7.4	定时器	186
7.4.1	定时器的操作	187
7.4.2	定时器控制寄存器(TCR)	187
7.4.3	定时器计数器寄存器(TIM)与定时器周期寄存器(PRD)	188
7.4.4	设置定时器中断速率	189
7.4.5	定时器的硬件复位	189
7.5	等待状态产生器	189
7.5.1	利用 READY 信号产生等待状态	190

7.5.2 利用 'F206 等待状态产生器产生等待状态	190
7.6 通用 I/O 引脚	191
7.6.1 输入引脚 BIO	191
7.6.2 输出引脚 XF	192
7.6.3 输入/输出引脚 IO0,IO1,IO2,IO3	192
第 8 章 同步串行口	
8.1 同步串行口概述	193
8.2 部件与基本操作	193
8.2.1 信号	193
8.2.2 FIFO 缓存器与寄存器	195
8.2.3 中断	195
8.2.4 基本操作	196
8.3 端口的控制与复位	196
8.4 FIFO 缓存器内容的管理	199
8.5 发送部分的操作	200
8.6 接收部分的操作	203
8.7 查 错	205
第 9 章 异步串行口	
9.1 异步串行口概述	208
9.2 部件与基本操作	208
9.2.1 信号	209
9.2.2 波特率发生器	209
9.2.3 寄存器	209
9.2.4 中断	210
9.2.5 基本操作	210
9.3 端口的控制与复位	211
9.3.1 异步串行口控制寄存器(ASPCR)	211
9.3.2 I/O 状态寄存器(IOSR)	212
9.3.3 波特率除数寄存器(BRD)	213
9.3.4 利用自动波特率检测	214
9.3.5 IO3,IO2,IO1,IO0 引脚的使用	214
9.3.6 中断的使用	215
9.4 发送部分的操作	216
9.5 接收部分的操作	216
第 10 章 'F206 的调试环境	
10.1 概 述	218

10.2	仿真电路设计	219
10.3	代码的生成	220
10.3.1	代码生成工具简介	221
10.3.2	代码生成及管理工具的使用	221
10.4	调试软件的使用	224
10.4.1	调试器简介	224
10.4.2	调试器各窗口功能说明	224
10.4.3	常用调试器命令	225
10.5	程序下载	228
第 11 章 'F206 开发应用实例		
11.1	系统简介	230
11.2	系统硬件设计	231
11.2.1	系统硬件结构	231
11.2.2	通用 I/O 口扩展	231
11.2.3	数据采集部分	232
11.2.4	打印驱动	234
11.2.5	时钟电路	234
11.2.6	液晶显示器	235
11.2.7	其他电路	237
11.3	系统软件设计与调试	237

第 1 章 概 述

TMS320C2xx('C2xx)是美国 TI 公司出品的 TMS320 系列数字信号微处理器(DSP, Digital Signal Processor)中的一种定点 DSP。'C2xx 的源代码与 'C2x 兼容。很多为 'C2x 编写的代码经重新编译后,可在 'C2xx 系列的器件上运行。此外,'C2xx 系列 DSP 与 'C5x 是向上兼容的。TMS320F206 是 'C2xx 系列中惟一具有片内 FLASH 存储器的 DSP,除了片内 ROM 以外,'C2xx 固有的片内其他资源它都具备。

1.1 TMS320 系列

TMS320 系列数字信号微处理器包括定点、浮点和多微处理器的 DSP。TMS320 系列的 DSP 的结构特点使其特别适合于信号处理。TMS320 系列 DSP 具有如下的特点:

- 灵活的指令集;
- 高速度;
- 先进的并行结构;
- 较高的性能价格比。

1982 年美国 TI 公司推出了 TMS320 系列的第一个产品 TMS32010。这是一种定点的 DSP,当年就被“电子产品”杂志评选为“年度最佳产品”。时至今日,TMS320 系列已有了几代产品:定点 DSP 有 'C2x,'C2xx,'C5x 和 'C54x,浮点 DSP 有 'C3x 和 'C4x,多微处理器 DSP 有 'C8x 系列等。最新还有超低功耗的 'C5xx 和超高速的 'C6xx 系列的定点 DSP。TMS320 系列产品如图 1-1 所示。

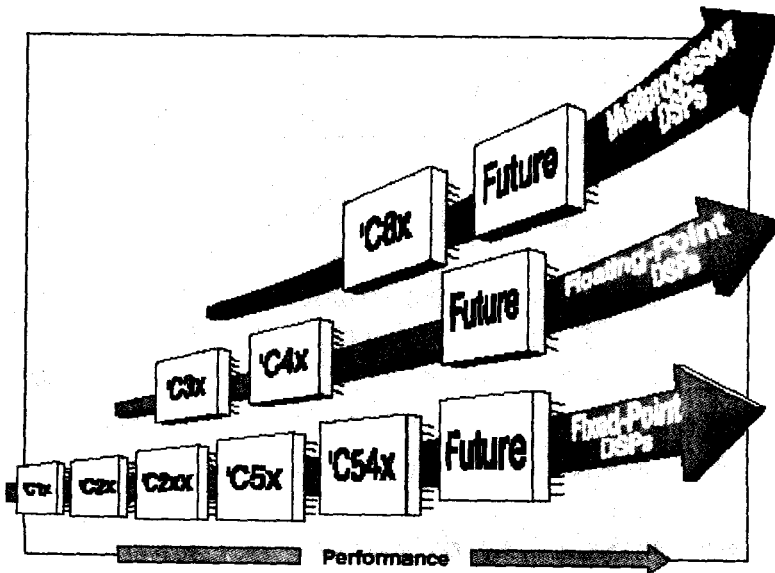


图 1-1 TMS320 系列 DSP

TMS320 系列的每一代产品的成员都具有相同 CPU 结构,但配置有不同的片内存储器 and 外设,因而可根据不同的用途选择合适的器件。把存储器和各种外设集成到一个芯片上,可大幅度降低系统的价格、节省电路板占用的空间和提高系统的性能和可靠性。

TMS320 系列 DSP 的典型应用如表 1-1 所列。

表 1-1 TMS320 系列 DSP 的典型应用

汽 车	消 费	控 制	通 用
防滑制动装置 自适应驾驶控制 蜂窝电话 数字收音机 引擎控制 全球定位系统 导航 振动分析 话音命令	数字收音机 教育类玩具 音乐合成器 寻呼机 动力工具 雷达探测器 固态应答机	磁盘驱动控制 引擎控制 激光打印机控制 马达控制 机器人控制 伺服控制	自适应滤波 卷积 相关 数字滤波 快速傅里叶变换 希尔伯特变换 波形产生 加窗
图 形/图 像	工 业	仪 器	医 学
3 维旋转 动画/数字地图 同态处理 图像压缩/传输 图像增强 模式识别 机器视觉 工作站	数字控制 电力线监控 机器人 安全防护	数字滤波 函数产生 模式匹配 锁相环 地震信号分析 谱分析 瞬态分析	诊断设备 胎儿监护 助听器 患者监护 整形术 超声设备
军 事		电 讯	话 音/语 音
图像处理 导弹控制 导航 雷达信号处理 射频调制解调器 (Modem) 安全通信 声纳信号处理	1 200~28 800 bps Modem 自适应均衡 ADPCM 码变换器 蜂窝电话 信道复用 数据加密 数字用户交换机(PBX) 数字语音插值(DSI) DTF 编/解码器 回音抵消	传真 线路中继器 个人通信系统(PCS) 个人数字助理(PDA) 电话 扩频通信 视频会议 x. 25 分组交换	说话人识别 语音增强 语音识别 语音合成 语音声码器技术 文本、语音转换 语音邮箱

1.2 TMS320F206 简介

'F206 是 'C2xx 系列 DSP 中的一个品种。TI 公司的 TMS320C2xx 系列 DSP 是采用静态 CMOS 集成电路工艺制造的,其结构以 'C5x 为基础。由于采用了先进的改进型哈佛结构(程序存储器和数据存储器具有各自的总线)、多级流水线、片内外设、片内存储器和专用的指令集,'C2xx 和 'C5x 操作灵活、速度高,'C2xx 的速度高达 40 MHz。'C2xx 产品具有以下优点:

- 改进 TMS320 的结构设计,使其性能和通用性得以提高;
- 采用模块化结构设计,可以更快地开发各种产品;
- 采用先进的集成电路工艺以提高性能;
- 其源码与 'C1x、'C2x 兼容,这就能更快、更容易地对 'C1x 和 'C2x 进行升级;

- 适用于快速算法和适合于优化高级语言操作的增强型指令集；
- 采用新的静态设计技术使其功耗最低。

表 1-2 所列为 'C2xx 系列 DSP 的概况。

表 1-2 TMS320C2xx 系列器件的主要资源

器 件	周 期/ns	工 作 电压/V	片内存储器字			串 口		定时器
			RAM	ROM	FLASH	同 步	异 步	
TMS320C203	25/35/50	5	544 字	—	—	1	1	1
TMS320LC203	50	3.3	544 字	—	—	1	1	1
TMS320F206	50	5	4.5 K 字	—	32 K 字	1	1	1
TMS320C209	35/50	5	4.5 K 字	4 K 字	—	—	—	1
TMS320C206	25	3.3	4.5 K 字	32 K 字	—	1	1	1
TMS320LC206	25	3.3	4.5 K 字	32 K 字	—	1	1	1

1.3 'F206 的主要性能

'F206 的主要特性是：

1. 速 度

- 单周期指令执行时间为 50 ns、35 ns 或 25 ns；
- 20 MIPS、28.5 MIPS 或 40 MIPS。

2. 与 TMS320 系列其他定点 DSP 的代码兼容性

- 源代码与 'C1x 和 'C2x 系列所有品种兼容；
- 与 'C5x 产品向上兼容。

3. 存储器

● 可寻址的存储器空间为 224 K 字(程序空间 64 K 字,数据空间 64 K 字,I/O 空间 64 K 字,还有 32 K 字的全局存储空间)；

- 片内双访问 RAM 为 544 字(288 字用于数据,另 256 字可用于程序/数据)；
- 片内有闪速存储器 32 K 字；
- 片内有单访问 RAM 为 4.5 K 字。

4. CPU

- 32 位算术逻辑单元(CALU)；
- 32 位累加器；
- 16 位×16 位并行乘法器,乘积为 32 位；
- 3 个比例移位器；
- 用于间接寻址数据存储器的 8 个辅助寄存器,并有专用的算术单元。

5. 程序控制

- 4 级流水线操作；
- 8 级硬件堆栈；
- 用户可屏蔽的中断线。

6. 指令集

- 单指令重复操作；
- 单周期相乘/累加指令；
- 存储器块移动指令,可更有效地管理程序/数据；
- 变址寻址能力；
- 适于基 2 的 FFT 倒位序变址寻址能力。

7. 片内外设

- 软件可编程的定时器；
- 适用于程序、数据和 I/O 存储空间的软件可编程等待状态产生器；
- 振荡器与锁相环,可实现时钟的选择: $\times 1, \times 2, \times 4$ 和 $\div 2$ ；
- CLK 寄存器,可控制 CLKOUT1 引脚的开启与关闭；
- 同步串行口；
- 异步串行口。

8. 用于仿真和测试的片内扫描逻辑电路(IEEE 标准 1149.1)

9. 电 源

- 5 V 或 3.3 V 静态 CMOS 工艺；
- 低功耗模式以减少功率消耗。

10. 封 装

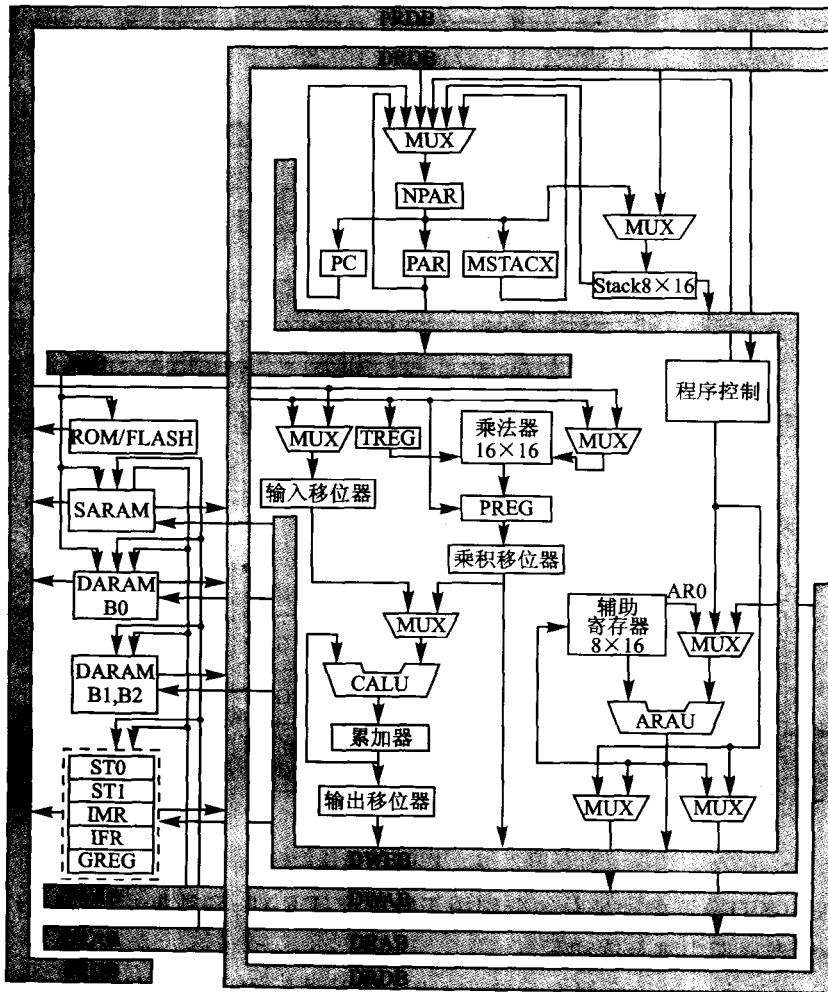
- 100 线薄型四边有引线扁平封装。

第 2 章 硬件结构

本章阐述了 'F206 的总体硬件结构,包括 CPU、总线、存储器及片内外设。

'F206 采用了改进的哈佛结构,该结构有 6 条总线,使数据处理能力达到了最大限度。通过程序、数据空间的分离,可同时进行程序指令和数据的存取,提供了高度的并行性。带有并行存储的指令及其他特殊的指令充分地利用了这一结构的特性。此外,数据还可以在数据空间与程序空间之间进行传送。这种并行性还支持一系列功能强劲的算术逻辑及位操作运算,所有这些运算都可在单个机器周期内完成。同时,'F206 还有包括中断管理、重复操作及功能调用等在内的控制机制。

图 2-1 所示为 'F206 的内部功能框图,其中包括外设模块及总线结构。



注: I/O 映射的(外设)寄存器不是核心部件,对它们的访问如图 2-2 所示。

图 2-1 'F206 的内部功能框图

2.1 总线结构

'F206 结构的建立主要围绕着 6 条 16 位的总线展开的,如图 2-2 所示。这 6 条总线包括 3 条程序/数据总线和 3 条地址总线。它们分别是:

- ① PAB:程序地址总线,提供读、写程序存储器的地址。
- ② DRAB:数据读地址总线,提供读数据存储器的地址。
- ③ DWAB:数据写地址总线,提供写数据存储器的地址。
- ④ PRDB:程序读总线,承载指令代码和立即操作数以及表信息,从程序存储器传送到 CPU。
- ⑤ DRDB:数据读总线,承载数据从数据存储器传送到中央算术逻辑单元(CALU)和辅助寄存器算术单元(ARAU)。
- ⑥ DWEB:数据写总线,承载数据传送到程序存储器和数据存储器。

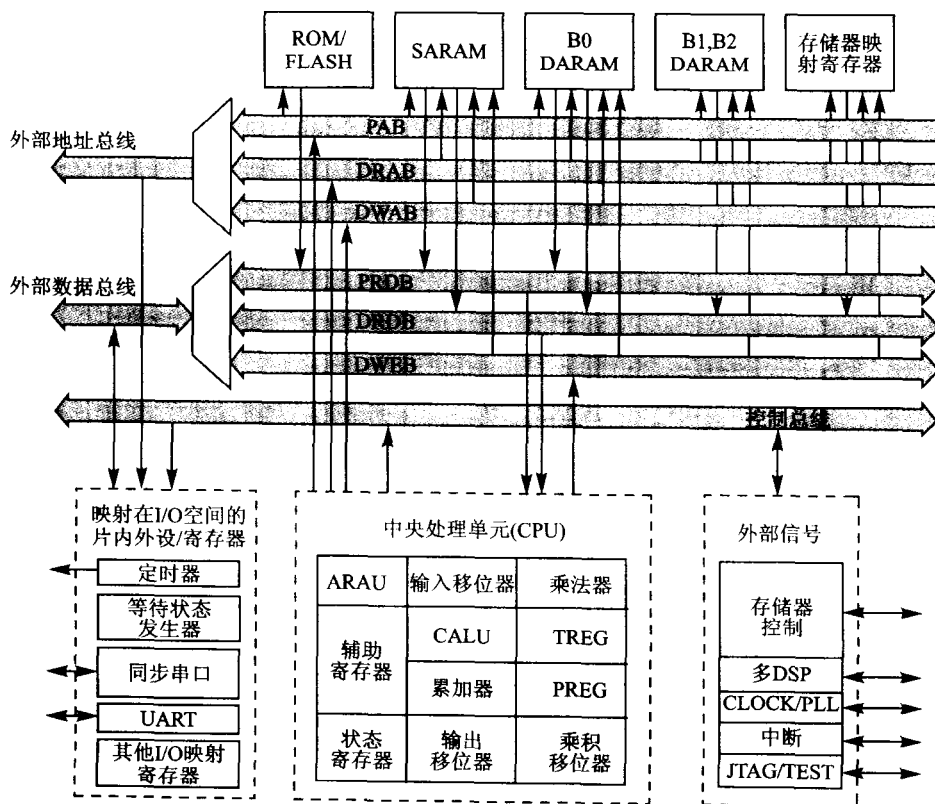


图 2-2 'F206 的总线结构

'F206 采用各自分开的地址总线分别用于数据读(DRAB)和数据写(DWAB)。因此,允许 CPU 在同一机器周期内进行读和写。

各自独立的程序空间和数据空间允许 CPU 同时访问程序指令和数据。例如,在数据相乘时,先前的乘积可以与累加器相加,与此同时可以产生出新的地址。这种并行机制使算术、

逻辑和位控制的一组操作得以在一个机器周期内完成。此外,'F206 还包括管理中断、重复操作与函数/子程序调用的控制机制。

'F206 与其他'C2xx 器件一样,具有同样的 CPU 和总线结构,但不同的器件,片内存储器的配置和片内外设备不相同。

2.2 中央处理单元

如图 2-3 所示,'F206 的中央处理单元(CPU)主要有 3 个基本部分:输入比例部分、乘法部分及中央算术逻辑部分。

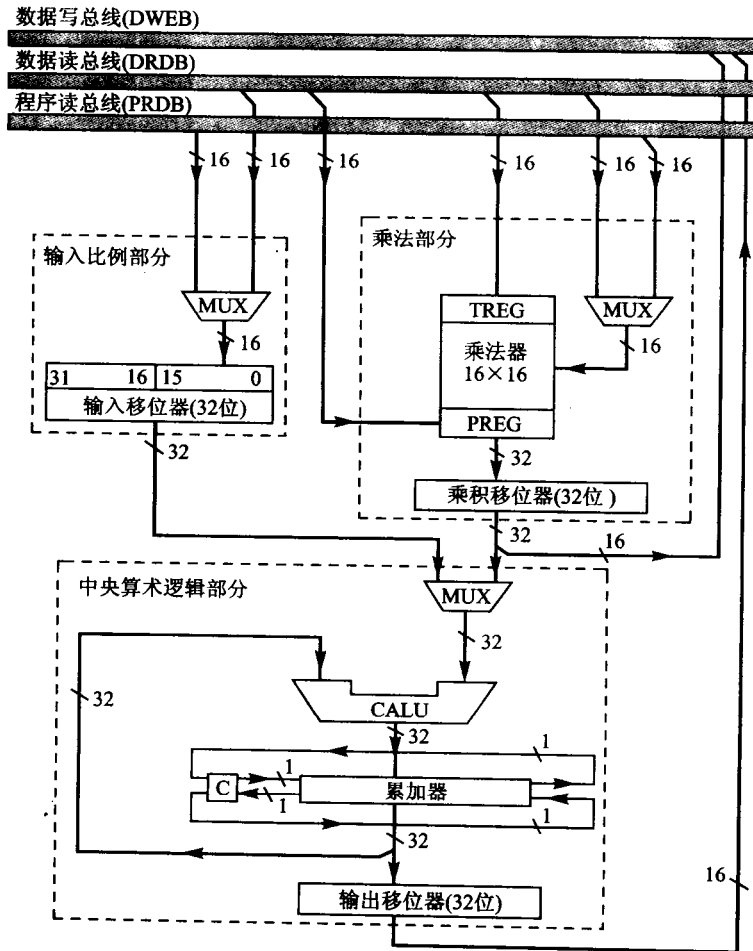


图 2-3 CPU 的输入比例、中央算术逻辑和乘法部分框图

2.2.1 输入比例部分

32 位的输入数据比例移位器(输入移位器)(如图 2-3 所示)把来自存储器的 16 位值与 32 位 CALU 对齐。为进行数据比例运算和逻辑操作,这种对齐是必要的。作为程序或数据空间与 CALU 之间数据通路的一部分,输入移位器的操作不需额外的周期开销。

输入移位器的位 15~0 接收 16 位输入,其来源有两种:

- 数据读总线(DRDB),该输入值来自指令操作数据所引用的数据存储单元。
- 程序读总线(PRDB),该输入是指令操作数给出的常数值。

接收到位 15~0 之后,输入移位器将它与 CALU 的 32 位总线对齐,如图 2-4 所示。移位器将该值左移 0~16 位后,再将此 32 位的结果送到 CALU。

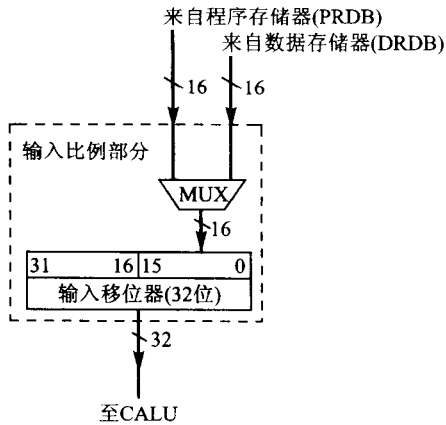


图 2-4 输入比例部分框图

则抑制符号扩展;若 $SXM=1$,输入移位器的输出要进行符号扩展。图 2-5 中的例子是 $SXM=0$ 时将输入值左移 8 位,送到 CALU 的数值的各 MSB 填 0。图 2-6 表示同样的移位,但 $SXM=1$,在这种情况下,移位时数值要进行符号扩展。

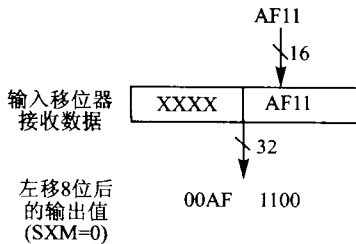


图 2-5 $SXM=0$ 时输入移位器的操作

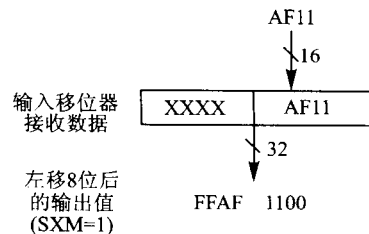


图 2-6 $SXM=1$ 时输入移位器的操作

2.2.2 乘法部分

$C2xx$ 利用 16 位 \times 16 位硬件乘法器,可在一个机器周期内完成有符号或无符号数乘法,乘积为 32 位。如图 2-7 所示,乘法部分包括:

- 16 位的临时寄存器(TREG),它含有一个乘数;
- 乘法器,它把 TREG 的值与来自数据存储或程序存储器的第二个数值相乘;
- 32 位的乘积寄存器(PREG),它接收相乘运算的结果;
- 乘积移位器,使 PREG 的值送到 CALU 之前进行移位。

1. 乘法器

16 位 \times 16 位的硬件乘法器可在一个机器周期内完成有符号或无符号数相乘运算,积为

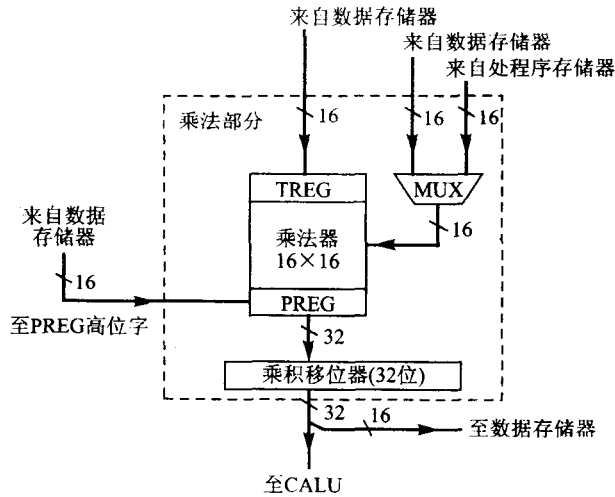


图 2-7 乘法部分框图

32 位。除进行无符号乘法(MPYU 指令)外,相乘的两个数均作为 2 的补码数。下面描述乘法器的输入与输出。

(1) 输入

乘法器接收两个 16 位输入:

① 一个输入总是来自临时寄存器(TREG)。在乘法之前把数据读总线(DRDB)的值加载到 TREG。

② 另一个输入是:

- 来自数据读总线(DRDB)的数据存储器值;
- 来自程序读总线(PRDB)的程序存储器值。

(2) 输出

两个 16 位输入相乘后的 32 位结果保存在乘积寄存器(PREG)中。PREG 的输出连到 32 位的乘积比例移位器。经过该移位器可把乘积从 PREG 传送到 CALU 或数据存储器(利用 SPH 和 SPL 指令)。

2. 乘积比例移位器

利用乘积比例移位器(乘积移位器)很容易使 PREG 的值定标。该移位器的 32 位输入与 PREG 的输出相连,32 位输出连到 CALU 的输入。

输入:该移位器的 32 位输入连到 PREG 的输出。

输出:完成移位后,全部 32 位送到 CALU,或将结果的 16 位存到数据存储器。

移位模式:该移位器可用 4 种移位模式,总结在表 2-1 中。这些模式由状态寄存器 ST1 中的乘积移位模式(PM)位确定。第一种移位模式(PM=00),乘积不移位即送到 CALU 或数据存储器。下面两种方式是左移(1 位或 4 位),这对实现分数算术运算或使乘积对齐都很有用。最后一种移位方式是右移模式,使乘积右移 6 位。这允许连续执行 128 次相乘、累加运算,而不引起累加器溢出。应注意,PREG 的内容保持不变,PREG 的值被拷贝到乘积移位器,并在那里移位。

注意:乘积寄存器中的右移总是用符号扩展的,不管状态寄存器 ST1 中符号扩展位

(SXA_t)的值如何。

表 2-1 乘积比例移位器中乘积移位模式

PM	移位	说明
00	不移位	乘积送到 CALU 或数据写总线(DWEB),不移位
01	左移 1 位	移去 2 的补码乘法产生的额外符号位,产生 Q31 格式的乘积*
10	左移 4 位	移去 16 位×13 位 2 的补码相乘产生的额外的 4 位符号位,产生 Q31 格式的乘积(当乘以 13 位常数时)
11	右移 6 位	把乘积定标,使最多作 128 次乘法、累加而不使累加器溢出。不论 ST 中 SXM 为何值,右移总是要进行符号扩展

* Q31 数是一种二进制小数,在二进制小数点右边有 31 位数字(二进制小数点相当于十进制小数点)。

2.2.3 中央算术逻辑部分

图 2-8 所示为中央算术逻辑部分的主要部件,它们是:

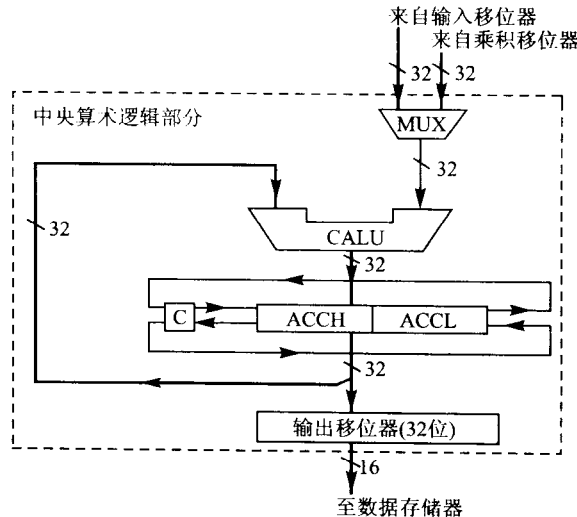


图 2-8 中央算术逻辑部分框图

- 中央算术逻辑单元(CALU),它实现各种算术、逻辑功能;
- 32 位累加器(ACC),它接收 CALU 的输出,借助进位位(C)可使其内容进行位移动,图 2-9 和 2-10 分别表示了累加器的高位字(ACCH)和低位字(ACCL);

- 输出移位器,它把累加器的高位字或低位字的拷贝移位,然后送到数据存储器保存。

1. 中央算术逻辑单元(CALU)

中央算术逻辑单元(CALU)完成各种算术和逻辑功能,其中大部分只需 1 个时钟周期。这些功能分为 4 类:

- 16 位加;
- 16 位减;
- 布尔逻辑操作;
- 位测试、移动和循环。

由于 CALU 能完成布尔操作,所以可实现位管理。CALU 使用累加器进行位移动与循