

CMOS VLSI設計原理

——系統上的透視——

顏寧 編譯



全華科技圖書股份有限公司 印行

5087

900049

013

5087
013

CMOS VLSI設計原理

——系統上的透視——

顏寧 編譯



全華科技圖書股份有限公司 印行

PRINCIPLES OF CMOS VLSI DESIGN

A Systems Perspective

Neil H. E. Weste

AT&T Bell Laboratories

Kamran Eshraghian

University of Adelaide



全華圖書

法律顧問：陳培豪律師

CMOS VLSI設計原理

——系統上的透視——

顏 寧 編譯

出版者 全華科技圖書股份有限公司

地址 / 台北市龍江路76巷20-2號2樓

電話 / 5 8 1 1 3 0 0 (總機)

郵撥帳號 / 0 1 0 0 8 3 6 - 1 號

發行人 陳 本 源

印刷者 華 一 彩 色 印 刷 廠

門市部 全友書局(黎明文化大樓七樓)

地址 / 台北市重慶南路一段49號7樓

電話 / 3 6 1 2 5 3 2 • 3 6 1 2 5 3 4

定 價 新臺幣 340 元

初版 / 76年12月

行政院新聞局核准登記證局版台業字第〇二二三號

版權所有 翻印必究

圖書編號 0111250

我們的宗旨：

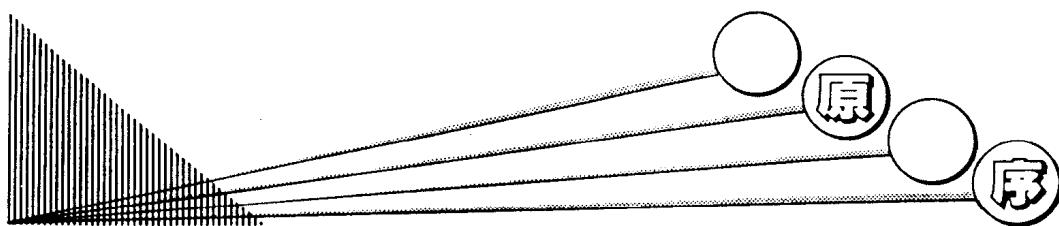
**推展科技新知
帶動工業升級**

**為學校教科書
推陳出新**

感謝您選購全華圖書
希望本書能滿足您求知的慾望

「圖書之可貴，在其量也在其質」，量指圖書內容充實，質指資料新穎夠水準，我們本著這個原則，竭心盡力地為國家科學中文文化努力，貢獻給您這一本全是精華的“全華圖書”

為保護您的眼睛，本公司特別
採用不反光的米色印書紙！！

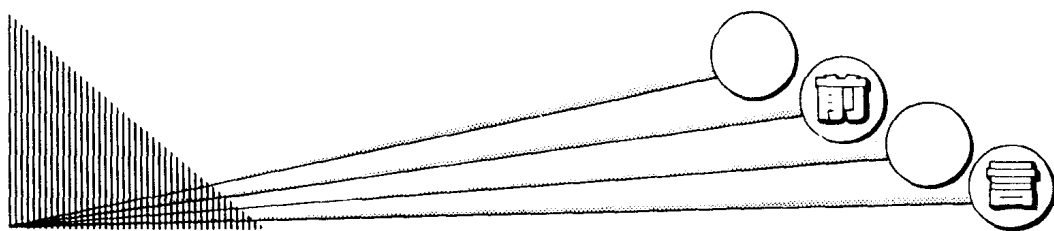


最近有興趣從事於設計與定 IC 規格的人大增。它是由於有兩個主要的衝擊。由Mead 與 Conway 的“Introduction to VLSI Systems”提倡所謂的“結構性的層次化設計”，它可以降低並簡化幾何上與電性上的規則；那本書是根據一個 nMOS 空乏式負載的技術，設計的職責往下延伸到佈局的細節。一個大都由工業界支持而逐漸改變的趨勢，是許多系統設計員把 IC 的設計能力放在邏輯階段上，這大部份是 CMOS 閘陣列的型式，最近却有更多的 CMOS 標準單元出現。

本書可幫助那些想要從事標準單元與閘陣列方法以外其他領域的人，並可實現全客用設計而充份利用矽平面技術的潛力。

本書的內容分成好幾個部份。第一部份是討論 CMOS 電路設計與 CMOS 製程技術。第二部份則討論設計的論題與副系統設計。最後的部份則專注於許多組關於客用設計 CMOS 電路的例子，讓讀者可擷取其它 VLSI 系統設計員的經驗。

本書的中心論題是把一種符號佈局的方法用在 CMOS 設計上面。對典型的 bulk CMOS 設計而言，大多數的佈局範例是以這種型式與某些面罩階段佈局而成的。然而，符號設計還可提供必要的佈局一段時間。

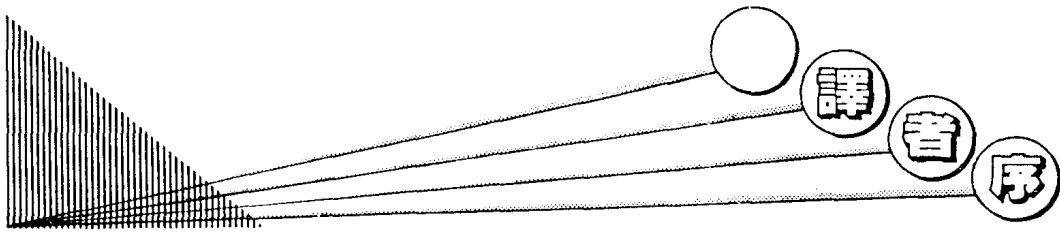


VLSI 系統的主題發展成一個寬廣範圍的科目，包括半導體元件與製程、積體電路、數位邏輯、設計項目與創造複雜系統的工具，與算術、演繹法，與完整的 VLSI 系統的應用。Addison-Wesley “VLSI 系統序列”被組織起來成為一組教科書與研究的參考資料，提出在這刺激性與各色各樣領域上目前最佳的工作，每一本書都對它的主題透視清楚並連接到其相關的科目。

Principle of CMOS VLSI Design: A Systems Perspective by Neil Weste and Kamran Eshraghian, 它提供在學學生與實際系統設計員在客用 VLSI 設計的 CMOS 技術中一個充實的簡介。在過去幾年中，在選擇高複雜性的數位微電子的技術上，已由 nMOS 迅速地轉移到 CMOS。這是因為 CMOS 在低功率下提供較佳的性能，而且其規模極為適合小形狀的尺寸。不管它的優點，與它如何廣泛使用在半客用的閘陣列上與客戶需要的部份上，CMOS 仍然要以 VLSI 系統設計的領域來開拓其全部的潛能。CMOS 設計與佈局顯示好幾個嚇人的複雜性，而 Weste 與 Eshraghian 已採用層次化、結構化的設計方法與 CMOS 技術的佈局摘要，使其有效地簡潔下來。

提出一個連貫的設計型樣連同許多實際的設計例子，使本書可當作教科書或是參考資料。那些對 nMOS 的 VLSI 設計很熟的讀者，將會發現本書提出關於 CMOS 設計上很容易吸收的知識與許多 CMOS

VLSI 系統設計的起始點。本書闡明了 CMOS 製程變體的相似性與相異性與其在系統設計上的影響。而本書發展的符號佈局方法更進一步幫助讀者由不同細節的製程變體跳回來。我們相信設計員、研究員、與設計工具建立員，在他們參加探討 CMOS VLSI 設計之待開發的領域中，將會發覺本書是很有價值的參考文獻。

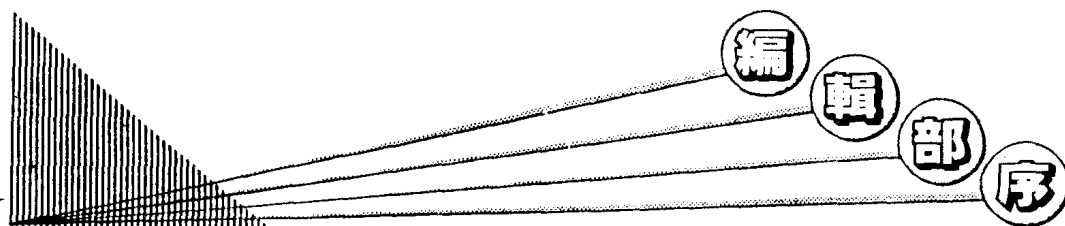


近年來，由於VLSI大行其道，已有席捲整個電子工業之勢。CMOS 却以極低的功率消耗，和技術成熟的優勢，在「輕、薄、短、小」的潮流下佔有重要的地位。VLSI 却使一切維修工作變得異常地簡單，「故障即更換、壞了就丟」，處今之勢，唯有學習「從系統著手」(system approach) 的方式才能適應今後的應用方向。

設計工作却一直往前邁進，現在又結合計算機之強大的能力，各種CAD 與套裝軟體帶給設計者非常有用工具，電子業勢將進步神速。坊間有關CMOS VLSI 的書極少，「全華」不計成本，本著推動科技的熱忱譯印本書，令人感動。因此，盼能拋磚引玉，使更多人才投入IC的行列中。

由於譯者才疏學淺，書中的錯誤可能很多，尚祈各界賢達不吝指正，不勝感激之至。

顏 寧 謹識

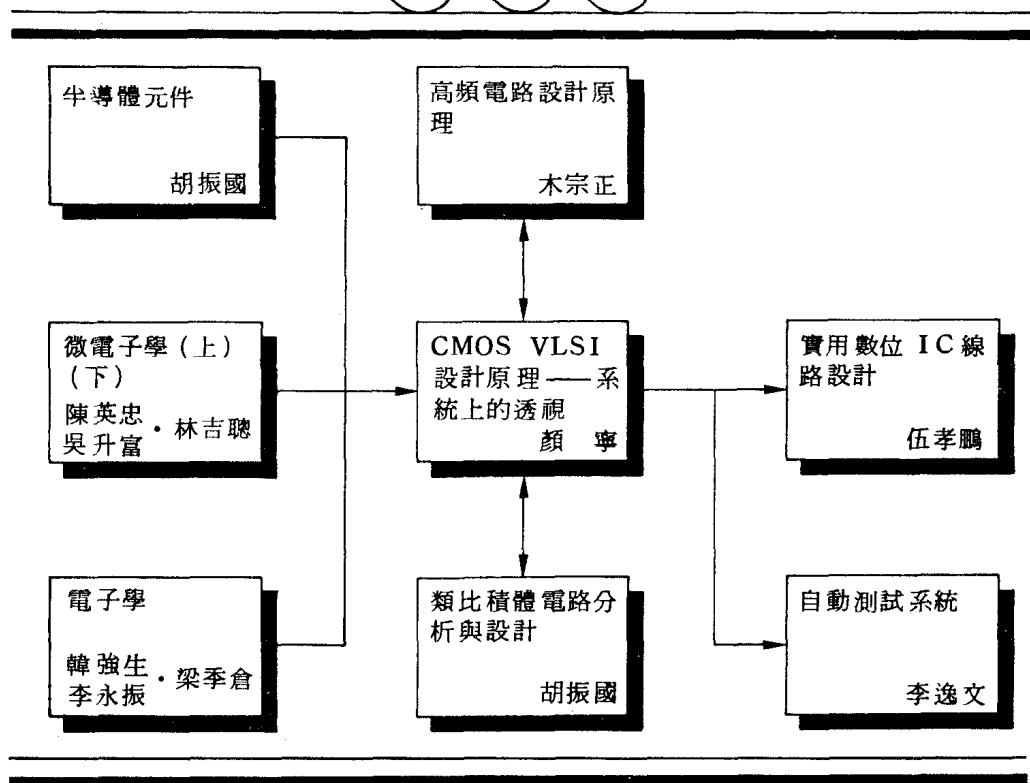


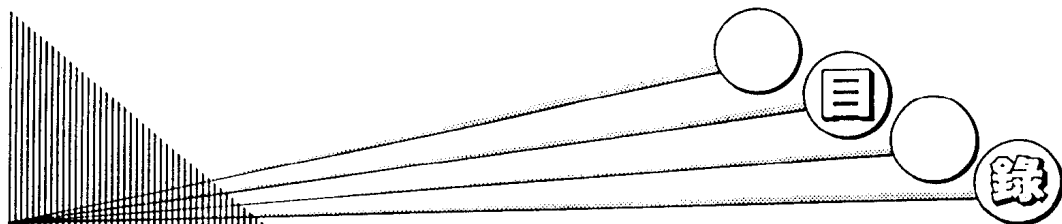
「系統編輯」是我們的編輯方針，我們所提供給您的，絕不只是一本書，而是關於這門學問的所有知識，它們由淺入深，循序漸進。

近年來，由於VLSI大行其道，已有席捲整個電子工業的態勢，更由於其帶來的「故障即更換、壞了就丟」的優點，已使得「從系統著手」的觀念嶄露頭角，書書中的內容有CMOS 電路設計與製程技術、設計的論題與副系統設計，及一個連貫的設計型樣連同許多實際的設計例子，是從事IC設計、製程、佈局的系統設計師的最佳參考用書。

同時，為了使您能有系統且循序漸進研習電子方面叢書，我們以流程圖方式，列出各有關圖書的閱讀順序，以減少您研習此門學問的摸索時間，並能對這門學問有完整的知識。若您在這方面有任何問題，歡迎來函連繫，我們將竭誠為您服務。

流 程 圖





CMOS技術的簡介

第 1 章 CMOS電路的簡介	3
1.1 緒 論	3
1.2 MOS 電晶體	4
1.3 MOS 電晶體開關	6
1.4 CMOS 邏輯	7
1.4-1 反相器	7
1.4-2 組合邏輯	8
1.4-3 NAND 閘	10
1.4-4 NOR 閘	11
1.4-5 複合閘	13
1.4-6 多工器	15
1.4-7 記憶體	16
1.5 不同的電路描述法	17
1.5-1 操作方式描述法	17
1.5-2 結構性描述法	18
1.5-3 實體性描述法	22
1.6 CMOS - nMOS 的比較	26
1.7 摘 要	27
1.8 習 題	27

第2章 MOS電晶體理論	29
2.1 緒論	29
2.1-1 nMOS 增強式電晶體	31
2.1-2 pMOS 電晶體	34
2.1-3 臨界電壓	35
2.1-4 臨界電壓的調整	35
2.1-5 體效應	35
2.2 MOS 元件的設計方程式	36
2.2-1 V-I 特性	39
2.3 互補式CMOS 反相器——DC 特性	41
2.3-1 β_n/β_p 比值對轉移特性曲線的影響	48
2.3-2 雜訊邊界	50
2.4 各種不同的CMOS 反相器	52
2.5 傳送閘——DC 特性	55
2.6 鎖定	58
2.7 習題	61
第3章 CMOS製程技術	62
3.1 矽半導體技術：概觀而言	62
3.1-1 晶片製程	63
3.1-2 氧化	64
3.1-3 選擇性的擴散	65
3.1-4 矽閘極製程	66
3.2 CMOS 技術	68
3.2-1 p-well 製程	69
3.2-2 n-well 製程	77
3.2-3 雙井製程	84
3.2-4 絕緣層上的矽 (SOI)	87

3.2-5	CMOS 製程的改進	92
3.3	佈局設計規範	96
3.3-1	各層面表示法	98
3.3-2	λ - 基底的 p-well 規範	100
3.3-3	λ - 基底的 SOI 規範	108
3.3-4	雙層金屬的設計規範	111
3.3-5	設計規範——摘要	111
3.4	製程參數化	112
3.4-1	抽象層	112
3.4-2	間隔規範	112
3.4-3	建立的規範	113
3.5	摘要	114
3.6	習題	116
第4章	電路特性與性能的預估	117
4.1	緒論	117
4.2	電阻的估計	118
4.2-1	非四方形的電阻	119
4.3	電容的估計	121
4.3-1	MOS 電容的特性	122
4.3-2	MOS 元件的電容值	124
4.3-3	擴散電容	128
4.3-4	途徑電容	130
4.3-5	分佈 RC 的效應	131
4.3-6	電容設計須知	134
4.3-7	接線長度的設計須知	135
4.4	交換的特性	137
4.4-1	下降時間的求值	138
4.4-2	上升時間	140

4.4-3	延遲時間	141
4.5	CMOS 閘電晶體的尺寸大小	141
4.5-1	相似級的負載	141
4.5-2	似 - nMOS 反相器的交換特性	143
4.5-3	串接級的負載	143
4.6	導體尺寸的決定	144
4.7	功率消耗	145
4.7-1	靜態散逸	145
4.7-2	動態散逸	147
4.8	電荷共享	149
4.9	MOS 電晶體尺寸的縮小化	150
4.9-1	縮小的原則	151
4.9-2	交互連接層的縮小化	154
4.10	產 能	156
4.11	摘 要	157
4.12	習 題	157
第 5 章	CMOS 電路與邏輯設計	159
5.1	緒 論	159
5.2	CMOS 邏輯結構	159
5.2-1	CMOS 互補式邏輯	160
5.2-2	似 - nMOS 邏輯	161
5.2-3	動態的 CMOS 邏輯	162
5.2-4	時序的 CMOS 邏輯 (C ² MOS)	167
5.2-5	CMOS domino 邏輯	168
5.2-6	串接電壓開關邏輯 (CVSL)	169
5.2-7	修正的 domino 邏輯	171
5.2-8	通行電晶體邏輯	172
5.3	邏輯閘在電性與實體上的設計	175

5.3-1	反相器	175
5.3-2	NAND 與 NOR 閘	179
5.3-3	串聯與並聯電晶體的連接	180
5.3-4	體效益	184
5.3-5	源極——汲極電容	185
5.3-6	電荷重新分佈（電荷共用）	186
5.3-7	邏輯型樣的比較	188
5.3-8	邏輯閘的實體佈局	190
5.3-9	CMOS 標準單元的設計	194
5.3-10	一般邏輯閘佈局的指引	195
5.3-11	閘的最佳化	196
5.3-12	傳送閘佈局的考慮	201
5.3-13	2 - 輸入的多工器	202
5.4	時序訊號的策略	203
5.4-1	似 2 - 相時序訊號	204
5.4-2	似 2 - 相記憶體結構	205
5.4-3	似 2 - 相邏輯結構	211
5.4-4	2 - 相的時序	212
5.4-5	2 - 相的記憶體結構	212
5.4-6	2 - 相的邏輯結構	218
5.4-7	4 - 相時序訊號	221
5.4-8	4 - 相記憶體結構	221
5.4-9	4 - 相邏輯結構	222
5.4-10	似 4 - 相時序訊號	223
5.4-11	推薦的方法	223
5.5	輸入／輸出（I/O）結構	224
5.5-1	整體的架構	224
5.5-2	V_{DD} 與 V_{SS} 基底	226
5.5-3	輸出基座	226

5.5-4	輸入基座	227
5.5-5	3-態基座	229
5.5-6	雙向性基座	230
5.6	摘要	230
5.7	習題	230

2

系統的設計與設計的方法

第6章	系統的設計與設計的方法	235
6.1	緒論	235
6.2	各種型別的設計	237
6.2-1	緒論	237
6.2-2	結構化設計的策略	238
6.2-3	手繪的面罩佈局	240
6.2-4	闡陣列設計	240
6.2-5	標準單元設計	245
6.2-6	符號佈局的方法	247
6.3	自動合成	247
6.3-1	程序化模組的定義	247
6.3-2	矽編譯器	248
6.4	客用設計的工具盒子	253
6.4-1	緒論	253
6.4-2	電容階段的模擬	254
6.4-3	時序的模擬器	254
6.4-4	邏輯階段的模擬	254
6.4-5	開關階段的模擬	255
6.4-6	時序驗證器	255
6.4-7	概圖編校器	256
6.4-8	網狀串列的比較	256