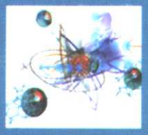
Kebiancheng Luoji Qijian Sheji Ji Yingyong

可编程逻辑器件设计及应用

张 原 编著



机械工业出版社
CHINA MACHINE PRESS

可编程逻辑器件设计及应用

张 原 编著

机 械 工 业 出 版 社

本书在介绍 Altera 公司 PLD 器件的基础上，介绍了开发 PLD 的完整流程；介绍了用于逻辑电路设计的硬件描述 Verilog HDL 语言；介绍了 Altera 公司的开发工具 MAX + PLUSII；通过一个设计实例介绍了常用的综合工具 Synplify 以及常用的仿真工具 Modelsim；详细讨论了 PLD 器件下载方法；通过 UART 的设计实例使读者对于使用硬件描述语言开发数字系统有初步的了解；简单介绍了 PLD 开发的未来趋势和技术。

本书介绍了 PLD 开发较为先进和实用的方法，由浅入深，可以使读者对于 PLD 领域有较为全面和深入的了解。本书是企业电子设计人员的参考书和培训教材，也可作为工科院校电子、计算机专业教材和参考书。

图书在版编目（CIP）数据

可编程逻辑器件设计及应用/张原编著 .—北京：机械工业出版社，2003.1

ISBN 7-111-11318-7

Ⅰ.可… Ⅱ.张… Ⅲ.可编程逻辑器件 Ⅳ.TP332.1

中国版本图书馆 CIP 数据核字（2002）第 099246 号

机械工业出版社（北京市百万庄大街 22 号 邮政编码 100037）
责任编辑：贾玉兰 版式设计：霍永明 责任校对：李汝庚
封面设计：陈 沛 责任印制：付方敏
北京市密云县印刷厂印刷·新华书店北京发行所发行
2003 年 2 月第 1 版·第 1 次印刷
787mm × 1092mm 1/16·12 印张·290 千字
0 001—4 000 册
定价：20.00 元

前　言

可编程逻辑器件（Pnogrammable Logic Device——PLD），以编程方便、集成度高、速度快、价格适宜等特点让广大电子设计人员青睐。随着数字集成电路的飞速发展和广泛应用，已使逻辑门集成到单个芯片上。

PLD 经历了从可编程只读存储器（Programmable Read Only Memory——PROM）、可编程逻辑阵列（Programmable Logic Array——PLA）、可编程阵列逻辑（Programmable Array Logic——PAL）、通用阵列逻辑（Generic Array Logic——GAL）等低密度的 PLD，发展到复杂可编程逻辑器件（Complex Programmable Logic Device——CPLD）和现场可编程门阵列（Field Programmable Gate Array——FPGA）两种。它们已广泛的应用于通信、电子、自动化等各个领域。它们在单一芯片上实现信号采集、转换、存储、处理和 I/O 等功能，或者说在单一芯片上集成了数字电路、模拟电路、信号采集和转换电路、存储器、MPU、MCU、DSP、MPEG 等，实现了过去一个需要多片集成电路才能完成的功能。SOC（片上系统）有很多优点，比如高速、高集成度和低功耗，降低了整机的成本、体积，加快产品更新换代的速度等等。这些优点正好顺应了通信、电脑、消费类电子产品轻、薄、短和耗电少的发展方向，因此市场对 SOC 产品有着强烈的需求，SOC 也是近几年微电子产业最热门的话题，人们普遍认为，SOC 技术会带来信息产业的革命。而 SOC 技术的出现要求 PLD 的设计人员能够使用更为先进、更有效率的设计方法和设计工具。

数字系统中会用到多种集成电路，有微处理器、DSP、存储器、半导体厂商提供的具有特定功能的专用集成电路、用户自己设计的专用集成电路（ASIC）和 PLD 等等。事实上，一个特定的功能往往可以用多种方法来实现，用户选择哪一种往往取决于成本、便利、实现难易度、速度、可靠性与偏好等多种因素。数字系统设计师应熟悉各种方法的优缺点，以便于实际工作中选取适合的方式。

本书恰恰结合上述特点，从基础到提高到应用，循序渐进，把可编程逻辑器件的发展、软件的开发、安装、使用作了详细的介绍。本书既可作电子设计人员的参考书和培训教材，也可作为工科院校电子、计算机专业课教材和参考书。

书中均为外国公司的产品，产品和开发工具均为外国公司生产，为便于读者阅读，部分图形符号未按我国标准作全书统一。

本人在 PLD 开发和应用方面从事多年的具体工作，有丰富的实践经验，希望把所学的知识与更多的电子设计爱好者分享。

编者深感科技在高速发展，知识需要不断更新。和读者一样，我们也在不断学习。由于水平有限，书中错误和不足之处在所难免，恳请读者批评指正。

目　录

第1章 PLD 概 述

1.1 PLD的历史和现状

几十年来，数字集成电路得到飞速发展和广泛应用。最早的数字电路诞生于20世纪20年代，是用电子管和晶体管搭接的，直到20世纪50年代将逻辑门集成到单个芯片上才出现了集成电路。它自小规模集成电路（几十～几百门）、中规模集成电路（MSIC，几百～几千门）、大规模集成电路（LSIC，几千～几万门）发展到超大规模集成电路（VLSIC，几万门以上）。这些集成电路可以分为通用的集成电路和专用集成电路。系统工程师利用半导体厂商提供的通用、专用集成电路在更高的层次上完成数字系统的搭接。但是，随着微电子技术和计算机辅助技术（CAD）的发展，设计与制造集成电路的任务已不完全由半导体厂商来独立承担。系统设计师为了自己系统的专用性和成本，他们自己设计专用集成电路，这就是所谓专用集成电路（Application Specific Integrated Circuits——ASIC）。但是ASIC通常设计周期比较长，而且一旦完成，不能改动，于是可编程逻辑器件PLD这种设计方便、使用灵活的产品应运而生，并获得了广泛的应用。

PLD经历了从可编程只读存储器（Programmable Read Only Memory——PROM）、可编程逻辑阵列（Programmable Logic Array——PLA）、可编程阵列逻辑（Programmable Array Logic——PAL）、通用阵列逻辑（Generic Array Logic——GAL）等低密度的PLD，发展到复杂可编程逻辑器件（Complex Programmable Logic Device——CPLD）和现场可编程门阵列（Field Programmable Gate Array——FPGA）两种。它们广泛的应用于通信、电子、自动化等各个领域。

早期的PLD的代表产品是Lattice公司推出的GAL，它由一个与门和一个或门阵列组成。由于任意一个组合逻辑都可以用“与－或”表达式来描述，所以GAL通过乘积和的形式可以完成大量的组合逻辑功能。它采用了E^2PROM和CMOS工艺，实现了电可擦除，电可改写等功能。因此GAL具有很强的灵活性，直到现在，某些系统还用GAL来完成非常简单的功能，如译码和74逻辑。

GAL和其它早期的PLD器件的主要缺点是结构简单，只能实现规模较小的电路。于是在20世纪80年代中期，出现了CPLD与FPGA等高密度PLD，它们的代表产品是Altera公司和Xilinx公司的产品。这些产品可以实现较大规模的逻辑电路，编程也很灵活。与中小规模通用型集成电路相比，具有集成度高、速度快、功耗小、可靠性高等优点；与ASIC相比，具有设计开发周期短、设计制造成本低、开发工具先进、测试简单、质量稳定和可实时在线升级和检验等优点，因此获得了巨大的成功和广泛的应用。

近年来，随着集成电路的深亚微米制造技术和设计技术的迅速发展，集成电路进入了片上系统，即所谓的系统级（System On a Chip——SOC）时代。它在单一芯片上实现信号采集、转换、存储、处理和I/O等功能，或者说在单一芯片上集成了数字电路、模拟电路、信号采集和转换电路、存储器、MPU、MCU、DSP、MPEG等，实现了过去一个需要多片集成电路

才能完成的功能。SOC 有很多优点，比如高速、高集成度和低功耗，降低了整机的成本、体积，加快产品更新换代的速度等等。这些优点正好顺应了通信、电脑、消费类电子产品轻、薄、短和耗电少的发展方向，因此市场对 SOC 产品有着强烈的需求，SOC 也是近几年微电子产业最热门的话题，人们普遍认为，SOC 技术会带来信息产业的革命。

随着 SOC 技术的发展，也出现了面向 SOC 的 PLD。Xilinx 公司推出的百万门 Virtex 系列 FPGA，为解决系统级设计问题提供了新的 FPGA 平台。Altera 公司于 1999 年第一季度推出的 APEX20K 系列，它成功的将乘积项、查找表以及与内嵌式存储器结合为一体，同时它是第一个密度在百万门，系统性能可支持 64 位/66MHz PCI 标准的产品系列，使整个复杂的系统集成在一片 PLD 上成为可能。Altera 公司推出的 APEXII 系列还集成了一个 60MIPS 的 CPU。目前，Xilinx 公司和 Altera 公司的 SOC PLD 芯片密度已达到千万门。

PLD 发展的另一个趋势是日益向低成本发展，以争夺 ASIC 的市场。例如 Altera 公司推出的 FLEX6000 系列、ACEX 1K 系列，具有类似于 FLEX 10K 的结构和密度，但成本很低。Altera 公司还推出了所谓 Hardcopy，可以直接将 CPLD 设计转到 Hardcopy，类似于 ASIC 的成本。

1.2 PLD 技术和其它技术的比较

数字系统中会用到多种集成电路，有微处理器、DSP、存储器、半导体厂商提供的具有特定功能的专用集成电路、用户自己设计的专用集成电路（ASIC）和 PLD 等等。事实上，一个特定的功能往往可以用多种方法来实现，用户选择哪一种往往取决于成本、便利、实现难易度、速度、可靠性与偏好等多种因素。数字系统设计师应熟悉各种方法的优缺点，以便于实际工作中选取适合的方式。

1.2.1 ASIC 和 PLD 的比较

ASIC 可以分为数字 ASIC 和模拟 ASIC，数字 ASIC 又分为全定制（Full Custom）和半定制（Semi Custom）两种。

ASIC 和 PLD 相比主要具有以下的优点：

（1）单片成本低。通常 ASIC 单片的成本只是相同密度的 PLD 的几十分之一。

（2）功耗低。由于 ASIC 内部电路尺寸很小、互连线短、分布电容小，驱动电路所需的功耗就比 PLD 小的多。

（3）速度快。由于 ASIC 内部连线很短，从而延时比较小。

（4）可以加入模拟电路。目前绝大部分 PLD 只能进行数字设计。

ASIC 和 PLD 相比主要具有以下的缺点：

（1）不可更改。一旦 ASIC 设计完成，就不能更改，所以 ASIC 不具有 PLD 的在线升级等功能。

（2）设计复杂、周期长。ASIC 的设计不仅要像 PLD 的设计进行逻辑验证、时序分析等工作，还要进行版图、位置和互连线设计。同时由于 ASIC 设计的不可更改，需要高可靠性、大量的验证。所以 ASIC 设计的时间周期要远远大于 PLD 设计。

（3）启动的成本大。作一个 ASIC 至少需要几万片的量级。而 PLD 没有这个问题。

由于 ASIC 具有单片成本低但启动成本大的特点，过去很多设计在实验室、样机或小批量阶段均使用 PLD，当产品大规模生产时才使用 ASIC。尽管 ASIC 具有设计周期长的缺点，它的地位和作用仍是不可替代的。但是近些年来，随着产品复杂度越来越高，上市时间要求却越来越短，产品的生命周期也越来越短，更新换代的速度加快，同时 PLD 的成本越来越低，PLD 已蚕食了 ASIC 很大的一部分市场。

1.2.2 微处理器、DSP 和 PLD 的比较

微处理器、数字信号处理芯片（Digital Signal Processing——DSP）和 PLD 都具有可以编程的能力，所以它们在数字系统中使用的都非常广泛。

尽管从本质上来说，微处理器、DSP 和 PLD 解决一个问题的方式是可以相互转换的。但是使用上，微处理器和 DSP 的编程是所谓“软件”的问题。它们将一个具体的问题分解很多“微操作”，即“指令”。通常使用的语言是汇编语言和 C/C++语言（与硬件相关的），工具是所谓“编译器”；而 PLD 通过对一个具体的问题进行特定的分析，将其分解为乘积项或查找表类似的硬件结构，通常使用的语言是硬件描述语言和图形输入工具，使用的工具是所谓“综合工具”和“布线”工具。PLD 的设计通常是硬件工程师的任务。

比如说处理一个矩阵运算的例子，如下式：

$$P = [B][A] = [B_1\ B_2\ B_3\ B_4]\begin{bmatrix} A_1 \\ A_2 \\ A_3 \\ A_4 \end{bmatrix}$$

使用微处理器先计算每个乘积项 A_kB_k（k = 1，2，3，4），然后把它们相加：

$$P = \sum_{k=1}^{4} A_kB_k$$

这将需要多个指令周期：每个乘法 1 个指令周期，乘积项累加要 3 个指令周期，总共 7 个指令周期。

使用 PLD 设计，我们可以使用如图 1-1 所示的矩阵运算硬件结构。

即使用 4 个 n 位乘法器，一个 2n 位全加器，只需要 2 个时钟周期就可完成。

通过这个简单的例子我们可以看出微处理器和 PLD 在设计上的几点不同之处：

（1）一般来说，通过 PLD 或 ASIC 实现的功能会比通过微处理器控制快的多。一个原因是一般微处理器是数字系统的核心，它通常要处理很多的任务，对于其中一个任务只能分给一定的时间片，而用 PLD 或 ASIC 实现一般是专门化的；还有一个原因就是上面分析的微处理器是通

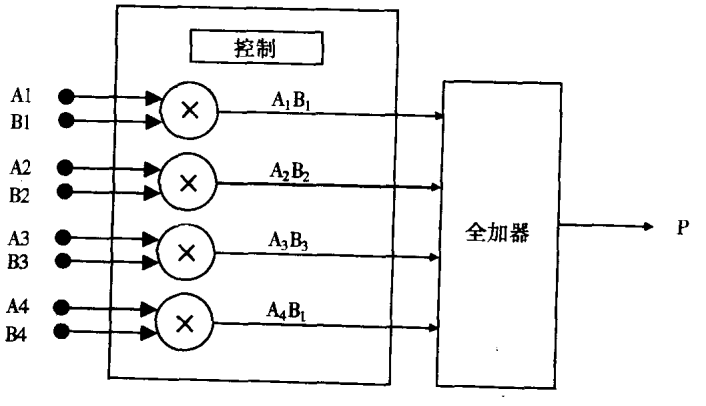


图 1-1 矩阵运算硬件结构

用的硬件结构通过指令来完成，而 PLD 或 ASIC 可以设计专门的硬件结构。

（2）一般来说，微处理器设计要比 PLD 设计简单。因为微处理器通过指令来完成逻辑功能的同时，时序的设计也同时满足了，或者说微处理器只需要考虑逻辑流程，而不需要考虑时序和布线等硬件结构。而 PLD 不仅要进行逻辑设计，还要花很大的精力来完成时序分析和布线分析，否则即使逻辑上没有问题，往往也不能正常完成所设计的功能。而 ASIC 如前所述，还需要版图等工作。

（3）设计方法和设计思路有很大的差别。

由于这些原因，“系统软件”和“系统硬件”一直是区分比较明显的，很多复杂的设计只能用软件来完成，比如说操作系统、网络三层路由协议、MPEG、图像处理等一般用软件来完成，而网络二层交换、PCI 接口和一些快速处理的特定功能用 PLD 或 ASIC 实现。

随着微电子技术的发展和 EDA 技术的进步，出现了 SOC 技术，有些 SOC 芯片上集成了微处理器。这样就可以充分利用微处理器的特点直接完成一些软件工作，这时的 PLD 设计师和软件工程师的合作就需要大大加强。另外，像 DSP 等功能也可以通过 IP 模块重用的方式嵌入 PLD。

另外，随着高级硬件描述语言的发展，现在已出现了用 C 语言或类似 C 语言的所谓“系统级”硬件描述语言的发展，也可以设计出比以前复杂得多的 PLD。例如有报导说 IBM 将著名的嵌入式操作系统 VxWorks 嵌入到一个 PLD 中。笔者见过 Celoxica 公司设计的一个演示程序，通过一个 PLD 完成图像处理、游戏、菜单管理等功能，界面上完全类似计算机来完成的功能。这方面有很多公司在致力于发展和研究，例如类似 C 语言的 System C、Handle C、Verilog 的超集 Superlog 等。

随着这些技术的发展，PLD 的应用会越来越广，“系统软件”和硬件的区别也会日益模糊，也许在不久的将来，软件工程师可以直接设计 PLD；也许会出现一个数字系统的核心用 PLD 来实现，而不是用微处理器。

1.3 PLD 的主要厂商

许多 IC 制造厂家涉足 PLD 领域。目前世界上有十几家生产 PLD 的公司，最大的三家是：Altera，Xilinx，Lattice-Vantis，其中 Altera 和 Xilinx 占有了 60%以上的市场份额。

1. Altera　20 世纪 90 年代以后发展很快，是最大 PLD 供应商之一。主要产品有：MAX3000A、MAX7000、FELX6K、FLEX10K、APEX20K 和 ACEX1K 等。普遍认为其开发工具——MAX + PLUSII 是较成功的 PLD 开发平台。为配合 1999 年推出的 APEX20K 系列，推出开发工具 Quartus，

2. Xilinx　FPGA 的发明者，老牌 PLD 公司，是最大 PLD 供应商之一。产品种类较全，主要有：XC9500/4000Coolrunner（XPLA3）、Spartan、Vertex。开发软件为 Foundition 和 ISE。

这两家公司是 PLD 的领导者，它们的产品也是主流的产品，品种齐全，开发简单，产品采购和技术支持都比较方便。通常来说，在欧洲用 Xilinx 公司产品的人多，在日本和亚太地区用 Altera 公司产品的人多，在美国则是平分秋色。全球 PLD 产品 60%以上是由 Altera 和 Xilinx 提供的。可以讲 Altera 和 Xilinx 共同决定了 PLD 技术的发展方向。

3. Lattice-Vantis　Lattice 是 GAL 的发明者，也是 ISP 技术的发明者。它所发明的 GAL 和

ISP 技术极大的促进了 PLD 产品的发展，与 Altera 和 Xilinx 相比，其开发工具略逊一筹。中小规模 PLD 比较有特色，不过其大规模 PLD 的竞争力还不够强（Lattice 没有基于查找表技术的大规模 FPGA）。1999 年推出可编程模拟器件。1999 年收购 Vantis（原 AMD 子公司），成为第三大 PLD 供应商。2001 年 12 月收购 Agere 公司（原 Lucent 微电子部）的 FPGA 部门。主要产品有 ispLSI2000/5000/8000、MACH4/5 等。

4. Actel 反熔丝（一次性烧写）PLD 的领导者，由于反熔丝 PLD 具有抗辐射、耐高低温、功耗低、速度快的特点，所以在军品和宇航级上有较大优势。Altera 和 Xilinx 则一般不涉足军品和宇航级市场。

其它还有 Cypress、QuickLogic、Lucent、Atmel、ClearLogic、WSI 等公司也有 PLD 产品，但是这些公司的产品在中国使用的用户比较少，所以就不作介绍了。

不同公司的 PLD 产品在结构上不尽相同，其中 Xilinx 公司的 FPGA 和 Altera 公司的 CPLD 产品结构最有特点。尽管使用硬件描述语言来开发 PLD 很多时候可以不关心底层硬件，不过了解一些硬件的结构对于掌握 PLD 尤其是高级技巧还是很有必要的，因此本书的第 2 章对两种的结构特点作简单的比较，并介绍 Altera 公司的典型器件。

不同的公司的开发工具也各有特点，不过其基本开发流程还是非常接近的，尤其是用硬件描述语言来开发时，可以很方便的将某一公司的设计移植到另一公司的产品上。因此本书对于这种基本的开发流程介绍比较多，而不局限于某一公司的开发工具如 MAX + PLUSII 或 FOUNDATION，本书的第 5 章简要介绍 MAX + PLUSII，通过第 6、7、8 章对第三方的工具的介绍，使读者可掌握 PLD 开发流程最灵活的方式，从而可以很容易地掌握其它公司的开发方法。

第 2 章　Altera 公司的 PLD 概述

2.1　概述

生产 PLD 的厂商很多，其中最具代表性和最有影响的是 Xilinx 公司和 Altera 公司。它们都有广泛全面的产品线，可以满足不同设计层次的要求；都有相当高的市场占有率和相当多的用户；开发工具的支持也非常完备。

一般来说，Altera 的 PLD 可以分为 CPLD 和 FPGA 两类。CPLD 是基于 E^2PROM 工艺的，它具有只需编程一次、掉电不丢失、密度比较小（由于工艺的限制，一般在 1 万门以下）、速度比较快、基于乘积项的结构等特点。典型的器件是 MAX7000、MAX3000A 系列；FPGA 是基于 SRAM 工艺的，它的程序在掉电以后会丢失，所以每次上电都需编程，FPGA 的速度较 CPLD 慢，但是密度可以非常高，内部的结构是基于查找表的，典型的器件是 FLEX10K、FLEX6000、ACEX1K 系列。

Altera 公司近几年推出的新器件结合了 CPLD 和 FPGA 的结构。如 APEX 器件内部结合了乘积项、查找表、内嵌式 RAM 等多种结构；为了满足 SOC 的需求，有些器件嵌入了 CPU 如 Excalibur；有些器件采用最新的工艺以提高性能，如 Mercury 采用铜布线，速度大大提高。这些器件同传统的 FPGA 比较，无论结构、性能都有了很大的提高，但是它们基本上仍是基于 SRAM 的，使用起来跟传统 FPGA 非常类似。了解 FPGA 的结构和使用之后，使用这些最新的器件也是非常容易的。

本章介绍最有代表性的三个产品：CPLD 的代表 MAX7000 系列、FPGA 的代表 FLEX10K 系列、SOC 器件的代表 APEX20K 系列。

2.2　MAX7000 系列

MAX7000 系列是 Altera 公司最为成功的产品之一，销量已经超过 5000 万片。MAX3000A 系列是 3.3V 的低成本的 CPLD，结构和 MAX7000 系列基本一样。MAX7000 系列器件密度见表 2-1。

表 2-1　MAX7000 系列器件密度

MAX7000S 5V	MAX7000AE 3.3V	MAX3000A 3.3V	MAX7000B 2.5V	宏单元数目	门数目
EPM7032S	EPM7032AE	EPM3032A	EPM7032B	32	600
EPM7064S	EPM7064AE	EPM3064A	EPM7064B	64	1 250
EPM7128S	EPM7128AE	EPM3128A	EPM7128B	128	2 500
EPM7160S	—	—	—	160	3 200
EPM7192S	—	—	—	192	3 750
EPM7256S	EPM7256AE	EPM3256A	EPM7256B	256	5 000
—	EPM7512AE	—	EPM7512B	512	10 000

不同的器件还有不同的速度级别、封装。这在器件的命名中可以看出。如EPM7128STC100-7：表示系列是MAX7000S系列；密度128宏单元；T表示封装是TQFP封装；C表示温度级别是商业级；管脚数是100；速度级别是-7（参见2.5节）。这些数据比较多，我们就不一一列出了。

2.2.1 特点

MAX7000系列的主要特点如下：

1）以第二代多矩阵（Multiple Array Matrix——MAX）结构为基础，基于E^2PROM的器件。

2）通过JTAG口在线编程的ISP技术。

3）内嵌JTAG BST电路。

4）逻辑门范围从600～10000可用门。

5）很短的引脚到引脚延时：MAX7000S最短延时是5ns，计数器工作频率可达175.4MHz；MAX7000AE最短延时是4.5ns，计数器工作频率可达192.3MHz；MAX7000B最短延时是3.5ns，计数器工作频率可达250MHz。

6）遵循PCI规范。

7）集电极开路选择功能。

8）宏单元的触发器具有专用的清除、置位、时钟和时钟使能控制。

9）可编程的省电模式，可降低功耗50%。

10）可配置的扩展乘积项分配，允许向每个宏单元提供最多32个乘积项。

11）44到208脚的各种封装：PLCC、PGA、QFP和TQFP等；密度和封装一样的系列管脚兼容。

12）I/O支持多电压（MultiVolt）工作。

13）6个输出使能，2个全局时钟。

14）可编程保密位。

15）支持多种编程方式：Altera公司的主编程器（Master Programming Unit——MPU），并口下载电缆ByteBlasterMV，串口/USB口下载电缆MasterBlaster等。

16）开发系统：MAX+PULSII软件。

2.2.2 功能描述

MAX 7000系列结构中包括逻辑阵列块（Logic Array Blocks——LAB）、宏单元（Macrocells）、共享和并联扩展乘积项（Shared and Parallel Expander Product Terms）、可编程连线阵列（Programmable Interconnect Array——PIA）和I/O控制块（I/O Control Blocks）五部分。另外，MAX7000结构中还包括4个专用输入，它能用作通用输入，或作为每个宏单元和I/O引脚的高速、全局的控制信号，即时钟、清除和输出使能。MAX7000器件的结构图如图2-1所示。

1. 逻辑阵列块（LAB）　LAB由16个宏单元组成。多个LAB之间通过可编程连线阵（PIA）和全局总线连接在一起。全局总线由专用引脚、管脚和宏单元馈给信号。

每个LAB的输入信号有：

1）来自PIA的36个信号，用于通用逻辑。

2）全局控制信号，用于寄存器辅助功能。

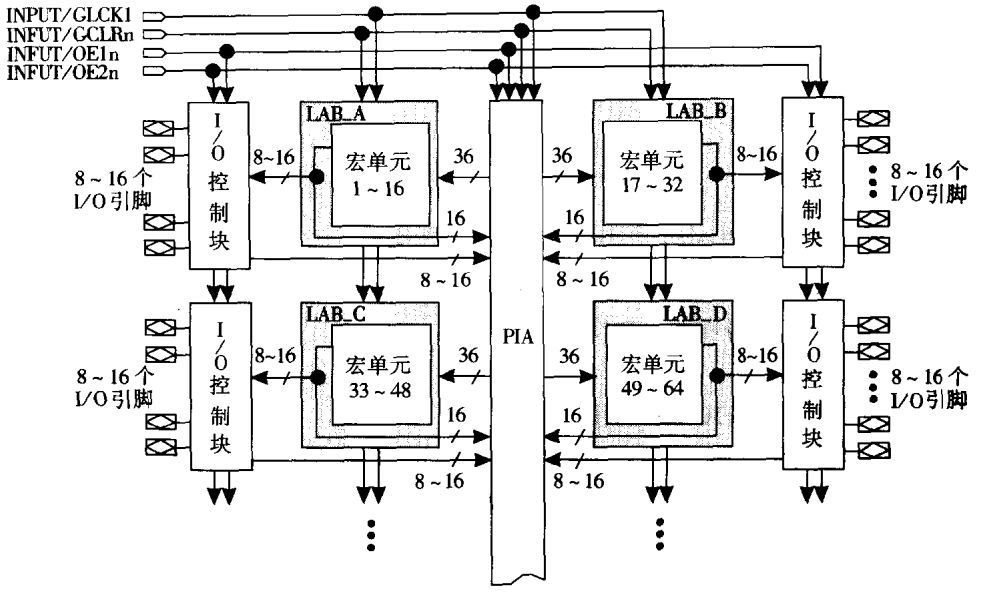


图 2-1　MAX7000 器件的结构图

3）从 I/O 引脚到寄存器的直接输入通道，用以实现快速建立时间。

2. 宏单元　每个宏单元能够独立的配置成时序逻辑或者组合逻辑方式。宏单元由三个功能块组成：逻辑阵列（Logic Array）、乘积项选择矩阵（Product Term Select Matrix）和可编程寄存器（Programmable Register）。MAX 7000 器件的宏单元如图 2-2 所示。

逻辑阵列用来实现组合逻辑，它给每个宏单元提供 5 个乘积项。乘积项选择矩阵分配这些乘积项作为到基本逻辑门（或门和异或门）的主要输入，以实现组合逻辑；或者把这些乘

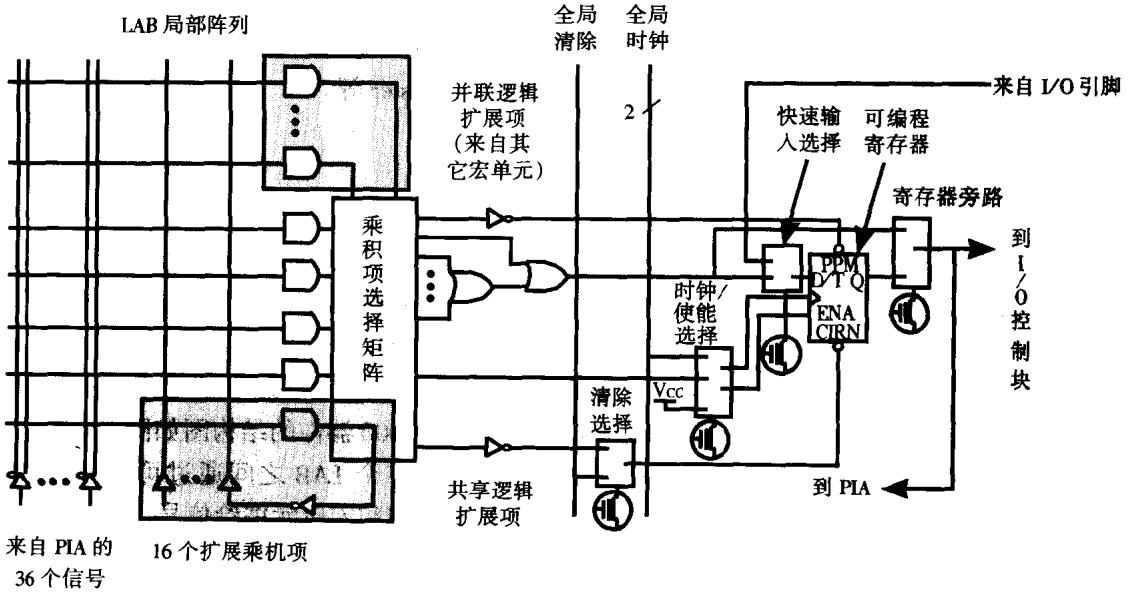


图 2-2　MAX 7000 器件的宏单元

积项作为宏单元中触发器的辅助输入：清除、置位、时钟和时钟使能控制。

有两种扩展乘积项提供宏单元的逻辑资源：共享扩展和并行扩展。共享扩展将宏单元的一个乘积项反相回送到逻辑阵列；并行扩展是从邻近的宏单元借来的。根据设计的逻辑需要，MAX + PLUSII 能自动地优化乘积项的分配。

作为寄存器功能，每个宏单元的触发器可以单独地编程具有可编程时钟控制的 D、T、JK 或 SR 触发器的工作方式。如果需要的话，可把寄存器旁路，以实现组合逻辑工作方式。在设计输入时，设计人员规定所希望的触发器类型，然后，MAX + PLUSII 对每一个寄存器功能选择最有效的触发器工作方式，以使设计所需器件资源最少。

每个可编程寄存器可以按 3 种不同的方式实现时钟控制。

1）全局时钟信号。这种方式能达到最快的时钟至输出的性能。

2）全局时钟信号由高电平有效的时钟信号所使能。这种方式为每个触发器提供使能信号，并仍能达到全局时钟的快速时钟至输出的性能。

3）用乘积项实现阵列的时钟。在这种模式下，触发器由来自隐含的宏单元或 I/O 引脚的信号进行时钟控制。

寄存器支持异步清除和异步置位功能。乘积项选择矩阵分配乘积项来控制这些操作。虽然乘积项驱动触发器的置位和复位信号是高电平有效的，但在逻辑阵列中将信号反相可得到低电平有效的控制；此外，每个寄存器的复位功能可用低电平有效的、专用的全局复位引脚 GCLRn 来驱动。在上电时，每一个寄存器会被设置成高电平或者低电平，这由设计文件决定。

所有的引脚都有一个到宏单元寄存器的快速输入通道。它能够旁路 PIA 和组合逻辑，也允许寄存器作为具有极快输入建立时间（对于 7000S 和 7000AE 是 2.5ns；对于 7000B 可以到 1ns）的 D 触发器。

3. 扩展乘积项　尽管大多数逻辑函数能够用每个宏单元中的 5 个乘积项实现，但在某些复杂逻辑函数中需要附加乘积项。为提供所需的逻辑资源，可以利用另一个宏单元，但是 MAX 7000A 结构也允许利用共享和并联扩展乘积项。这两种扩展项作为附加的乘积项直接送到本 LAB 的任意宏单元中。利用扩展项可保证在实现逻辑综合时，用尽可能少的逻辑资源实现尽可能快的工作速度。

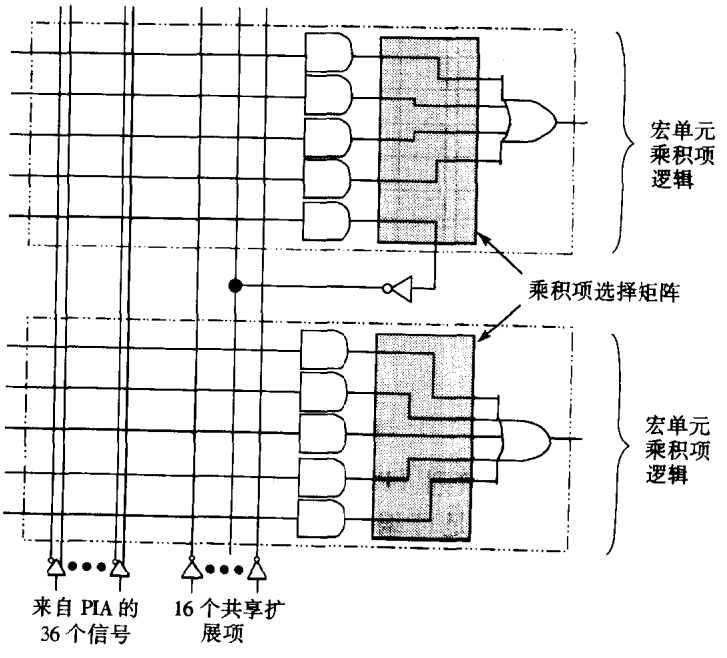


图 2-3　共享扩展项

注：共享扩展项可为同一 LAB 内的任意或全部宏单元所共享

1）共享扩展项。每个 LAB 有多达 16 个共享扩展项。共享扩展项就是由每个宏单元提供一个未投入使用的乘积项，并将它们反相后反馈到逻辑阵列，便于

集中使用。每个共享扩展乘积项可被 LAB 内任何（或全部）宏单元使用和共享，以实现复杂的逻辑函数。采用共享扩展项会增加一个短的延时 t_{SEXP}。共享扩展项如图 2-3 所示。

2）并联扩展项。并联扩展项是一些宏单元中没有使用的乘积项，并且这些乘积项可分配到邻近的宏单元上实现快速、复杂的逻辑功能。并联扩展项允许多达 20 个乘积项直接送到宏单元的“或”逻辑，其中 5 个乘积项是由宏单元本身提供的，15 个并联扩展项是由 LAB 中邻近宏单元提供的。

MAX + PLUSII 编译器能够自动地给并联扩展项布线，可最多把 3 组，每组最多 5 个并联扩展项连到所需的宏单元上。每组扩展项将增加一个短的延时 t_{PEXP}。例如：若一个宏单元需要 14 个乘积项，编译器采用本宏单元的 5 个专用的乘积项，并分配给它两组并联扩展项（第一组包含 5 个乘积项，第 2 组包含 4 个乘积项），于是，总延时增加了 $2 \times t_{PEXP}$。

每个 LAB 中有两组宏单元，每组含有 8 个宏单元（例如，一组为 1 到 8，另一组为 9 到 16）。在 LAB 中形成两个出借或借用并联扩展项的链。一个宏单元可以从较小编号的宏单元中借用并联扩展项。例如，宏单元 8 能够从宏单元 7，或从宏单元 7 和 6，或从宏单元 7、6 和 5 中借用并联扩展项。在有 8 个宏单元的每个组中，最小编号的宏单元仅能出借并联扩展项；而最大编号的宏单元仅能借用并联扩展项。并联扩展项如图 2-4 所示。

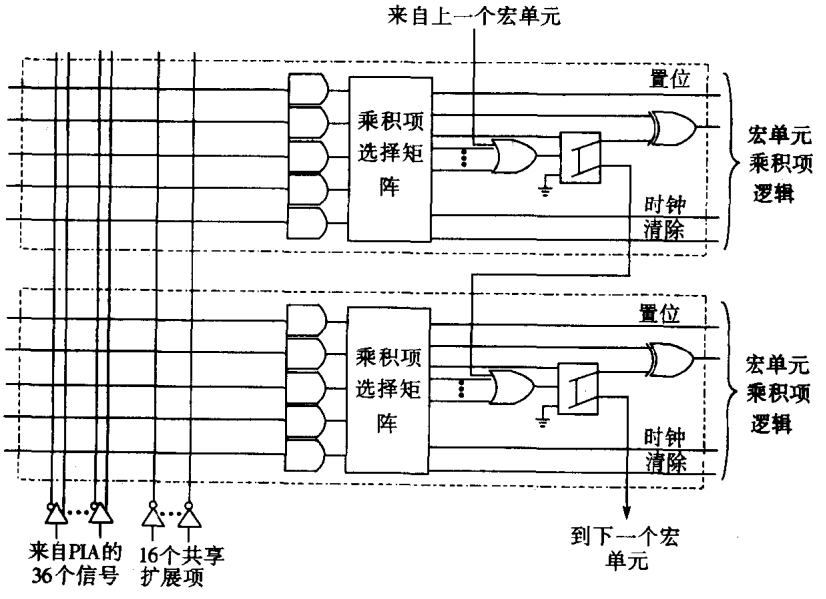


图 2-4　并联扩展项

注：宏单元中不用的乘积项可分配给邻近的宏单元

4. 可编程连线阵列（PIA）　通过可编程连线阵列可将各 LAB 相互连接构成所需的逻辑。这个全局总线是可编程的通道，它能把器件中任何信号源连到其目的地。所有 MAX7000 系列器件的专用输入、I/O 引脚和宏单元输出馈送到 PIA，PIA 可把这些信号送到整个器件内的各个地方。PIA 的信号布线如图 2-5 所示。E^2PROM 单元控制二输入与门的一个输入端，以选择驱动 LAB 的 PIA 信号。

在掩膜或现场可编程门阵列（FPGA）中，基于通道布线方案的布线延时是累加的、可变的、且是与路径有关的；而 MAX7000 的 PIA 是有固定延时的。因此，PIA 消除了信号之间

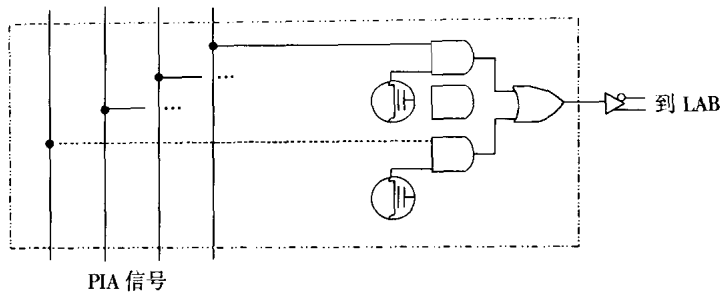


图 2-5　PIA 的信号布线

的时间偏移，使得定时性能容易预测。

5. I/O 控制块　I/O 控制块允许每个 I/O 引脚单独地配置成输入/输出和双向工作方式。所有 I/O 引脚都有一个三态缓冲器，它能由全局输出使能信号中的一个控制，或者把使能端直接连接到地（GND）或电源（Vcc）上。MAX7000 系列器件的 I/O 控制块如图 2-6 所示。

MAX7000 器件有 6 个全局输出使能信号，它们可由以下信号驱动：两个输出使能信号、一个 I/O 引脚的集合或一个 I/O 宏单元的集合，或者是它“反相”后的信号。

当三态缓冲器的控制端接到地（GND）时，其输出为三态（高阻态），而且 I/O 引脚可作为专用输入引脚。当三态缓冲器的控制端接到电源（Vcc）时，输出使能有效。

MAX7000 结构提供了双 I/O 反馈，且宏单元和引脚的反馈是相互独立的。当 I/O 引脚配置成为输入时，有关的宏单元可以用于隐含逻辑。

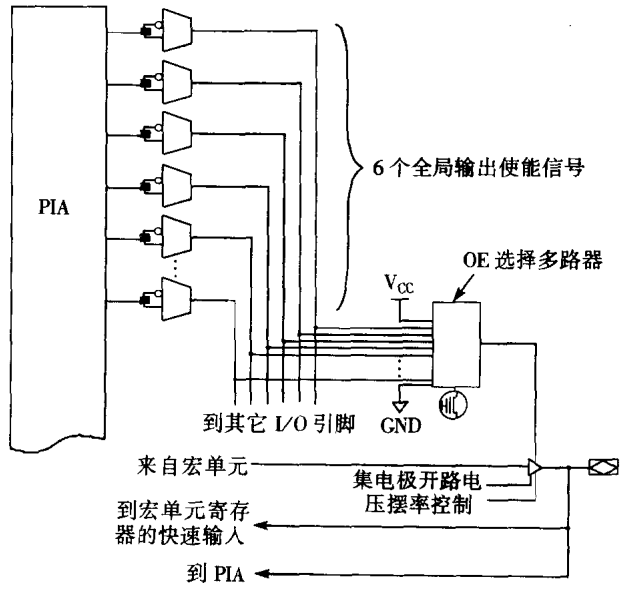


图 2-6　MAX7000 系列的 I/O 控制块

注：集电极开路输出仅在 MAX7000S 器件中有效

2.2.3　在线编程（ISP）

MAX7000 器件是通过 4 个引脚的 JTAG 接口进行在线编程（ISP）的。ISP 允许快速、有效地在设计开发过程中重复编程。MAX7000 结构使用内部产生的高电压来对 E^2PROM 单元进行编程，因此，在线编程中仅需要单一电源电压（对 MAX7000S 是 5V、对 MAX7000AE 是 3.3V、对 MAX7000B 是 2.5V）。在线编程过程中，I/O 引脚处于三态并且微弱的上拉，用以隔离板上的冲突。

ISP 简化了制作过程，它允许器件在编程前就装配在印制板上。MAX7000 器件可通过下载的信息进行编程。其下载工具可以是嵌入式处理器、Altera 的 ByteBlasterMV 或者 MasterBlaster 下载电缆。器件在装配到印制板上后进行编程，消除了在编程时由于手持、焊接不当所造成的多引脚封装（例如 QFP 封装）的引线损伤。

MAX7000B 系列提供了增强的 ISP 功能以实现快速编程。它提供了一个 ISP_Done 位来进