

10110110110100

10110110110100

10110110110100

10110110110100

10110110110100

10110110110100

10110110110100101

基于 IP 复用的 数字 IC 设计技术

● 牛风举 刘元成 朱明程 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

www.phei.com.cn

基于 IP 复用的数字 IC 设计技术

牛风举 刘元成 朱明程 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书主要介绍基于 IP 复用的数字 IC 设计技术。全书分 3 篇, 共 8 章。内容包括: 数字 IC 设计概述和基于 IP 复用的数字 IC 设计规则; 基于 IP 复用的数字 IC 设计中的关键技术——代码编写技术、综合技术和验证技术; 数字 IC 设计中的 IP 资源库的建立和典型 IP 资源库; 基于 IP 复用的数字 IC 设计方法、流程和实例; 基于 IP 复用的数字 IC 设计的数据管理。

本书内容新颖, 实用性强。对于通信技术、计算机应用、消费电子和微电子技术领域从事数字集成电路及系统设计的工程师、研究人员, 大专院校相关专业的研究生、高年级本科生, 都是一本具有指导和实用价值的技术参考书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目 (CIP) 数据

基于 IP 复用的数字 IC 设计技术/牛风举, 刘元成, 朱明程编著. —北京: 电子工业出版社, 2003.9
ISBN 7-5053-9062-7

I. 基…… II. ①牛…②刘…③朱… III. 数字集成电路—电路设计 IV. TN431.2

中国版本图书馆 CIP 数据核字 (2003) 第 073594 号

责任编辑: 张来盛 特约编辑: 叶林
印 刷: 北京兴华印刷厂
出版发行: 电子工业出版社 <http://www.phei.com.cn>
北京市海淀区万寿路 173 信箱 邮编 100036
经 销: 各地新华书店
开 本: 787×980 1/16 印张: 18.75 字数: 400 千字
版 次: 2003 年 9 月第 1 版 2003 年 9 月第 1 次印刷
印 数: 4 000 册 定价: 29.80 元



凡购买电子工业出版社的图书, 如有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系。联系电话: (010) 68279077。质量投诉请发邮件至 zltts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

前 言

《基于 IP 复用的数字 IC 设计技术》一书的问世，是 IC 设计方法学不断进步，微电子工艺技术不断发展，ASIC 设计所要求的时间日益缩短的结果。今天，随着深亚微米工艺技术的成熟，计算机技术和软件工具技术的高度进步，以及基于专门知识的 IP 库资源和 IP 设计方法学的高度发展，集成电路设计技术已从以通用功能芯片为主转向以专用功能芯片为主，以普通规模专用芯片（ASIC）为主转向超大规模的系统芯片（SOC）为主，从基于时序驱动的数字 IC 设计方法转向基于 IP 复用的数字 IC 设计方法和基于集成平台的系统级数字 IC 设计方法上来。于是，基于 IP 复用的数字 IC 设计方法就成为有效提高 IC 设计产能的关键技术，成为解决当前芯片设计业所面临的一系列挑战——缩短设计周期，增强设计规范，提高知识产权（IP）共享和复用效益，提供性能优化、速度优化、成本更低的数字 IC 芯片——的主流方法。

正是在这样的技术发展和技术需求背景下，国内 IC 设计产业界、广大设计工程师、高等院校相关专业的研究生、高年级本科生，都需要对基于 IP 复用的数字 IC 设计技术的知识概念、实现方法的支持和指导。于是，本人和其他一些常年工作在 ASIC 设计现场的朋友进行了广泛的讨论和交流，拟定了本书的主要内容大纲和目录构架，进行了近一年的编写、编译和整理工作。应该说，由于种种原因，本书的编著结果离本人预期的要求还是具有较大差距的。但本书对于帮助人们建立基于 IP 复用的数字 IC 设计概念，推动人们熟悉和掌握基于 IP 复用的数字 IC 设计方法，引导设计工程师从事 IC 设计，不失为国内首本、值得设计工程师和专业学生阅读的技术参考书。

本书由深圳大学信息工程学院 EDA 技术中心主任朱明程教授主持编著并拟定大纲、目录。第 1 篇由朱明程执笔，第 2 篇由牛风举和朱明程执笔，第 3 篇由牛风举和刘元成执笔。全书由朱明程统稿和修改。在本书编写过程中，参阅和引用了国外和国内有关 IP 复用的书籍、论文及研究成果（其中主要部分见书后参考文献），在此深表谢意。

由于编写时间仓促，同时限于编著者理解水平和实践经验，书中的欠缺和错误之处在所难免，恳望读者不吝指出，并欢迎技术切磋和研讨（E-mail: zhumc@szu.edu.cn）。

本书的编著还受到国家自然科学基金项目（No.69976020 和 No. 90207012）的支持。

朱明程

2003 年 6 月于深圳大学

目 录

第 1 篇 基于 IP 复用的数字 IC 设计导论

第 1 章 数字 IC 设计概述	(2)
1.1 数字 IC 设计方法学演进	(2)
1.2 典型的数字 IC 开发流程	(4)
1.3 未来数字在片系统 (SOC) 芯片的设计流程	(7)
第 2 章 基于 IP 复用的数字 IC 设计的基本规则	(10)
2.1 逻辑设计规则	(10)
2.2 物理设计规则	(13)
2.3 可验证设计规则	(14)
2.4 可测试设计规则	(15)
2.5 低功耗设计规则	(19)
2.6 片上总线设计规则	(22)

第 2 篇 基于 IP 复用的数字 IC 设计中的关键技术

第 3 章 代码编写技术	(26)
3.1 关于代码编写的描述语言	(26)
3.1.1 关于 VHDL 语言	(27)
3.1.2 关于 Verilog HDL 语言	(28)
3.1.3 硬件描述语言的共同特征	(29)
3.2 现代数字 IC 设计的表示方法	(30)
3.3 代码编写时针对综合的模块划分规则与技巧	(31)
3.4 针对综合的代码编写规则与技巧	(36)
3.5 时钟和复位信号的代码编写准则	(43)
3.6 良好的代码编写风格	(46)
第 4 章 综合技术	(49)
4.1 系统综合概要	(49)
4.1.1 系统综合的概念	(49)
4.1.2 高层次综合的意义	(50)
4.1.3 高层次综合的任务和流程	(51)

4.2	综合概念、环境设置及基本操作	(54)
4.3	综合约束	(63)
4.3.1	设计环境约束	(63)
4.3.2	时间约束	(67)
4.3.3	面积约束	(73)
4.4	综合策略及综合优化技术	(73)
4.4.1	综合策略	(73)
4.4.2	综合优化处理技术	(77)
4.5	综合处理与后端流程	(80)
4.5.1	产生良好的综合网表	(81)
4.5.2	ASIC 后端流程的基本内容	(84)
4.5.3	基于布局布线结果进行综合优化	(91)
4.6	综合结果分析	(95)
4.7	数据通道电路和存储器的综合技术	(99)
第 5 章	验证技术	(102)
5.1	概述	(102)
5.1.1	主要的验证手段概述	(102)
5.1.2	主要的验证策略概述	(104)
5.1.3	验证计划的建立	(108)
5.2	功能验证技术	(108)
5.2.1	功能验证中的行为级硬件语言描述	(110)
5.2.2	功能验证中的测试环境构架	(116)
5.2.3	功能验证中的激励与响应	(125)
5.2.4	功能验证中的软硬件协同仿真与硬件加速验证	(152)
5.3	静态时序分析	(160)
5.4	形式验证技术	(166)
5.5	DFT 技术	(171)
5.5.1	DFT 的基本概念	(171)
5.5.2	基于 ATPG 的扫描测试技术	(175)

第 3 篇 基于 IP 复用的数字 IC 设计

第 6 章	数字 IC 设计中 IP 资源库的建设	(180)
6.1	IP 技术概述	(180)
6.2	IP 宏模块的开发	(183)
6.3	IP 宏模块的打包提交	(194)

6.4	IP 资源库的建设	(196)
6.4.1	IP 的分类及其管理	(197)
6.4.2	典型的 IP 资源库	(199)
6.4.3	IP 资源的有偿使用及知识产权保护	(212)
第 7 章	基于 IP 复用的数字 IC 设计与验证	(215)
7.1	基于 IP 复用的数字 IC 设计流程	(215)
7.2	IP 复用的数字 IC 设计中的在片总线	(220)
7.3	基于 IP 复用的 PCI 总线接口的设计	(225)
7.3.1	系统级集成设计方法	(226)
7.3.2	基于 IP 核设计的方法	(228)
7.3.3	应用实例	(231)
7.3.4	用户应用设计	(235)
7.3.5	结论	(240)
7.4	Avalon 总线与 SOPC 系统架构的应用实例	(240)
7.4.1	SOPC 与 NIOS	(240)
7.4.2	Avalon 总线	(241)
7.4.3	SOPC 系统搭建实例	(242)
7.4.4	结论	(246)
7.5	基于 IP 复用的混合信号系统的设计	(246)
7.5.1	自顶向下的设计流程	(247)
7.5.2	数据库和复用	(248)
7.5.3	和模块相关的映射	(249)
7.5.4	知识产权	(249)
7.5.5	工艺表	(251)
7.5.6	一般的模块描述	(252)
7.5.7	行为模型	(253)
7.5.8	总结	(254)
7.6	基于 IP 复用设计的 MPEG-2 HDTV 视频解码器	(254)
7.6.1	已有的知识产权	(254)
7.6.2	复用技术	(256)
7.6.3	MPEG-2 HDTV 视频解码器	(257)
第 8 章	基于 IP 复用的数字 IC 设计中的数据管理方法	(263)
8.1	概述	(263)
8.2	关于 CVS	(270)

附录 A 常用 EDA 工具	(283)
A.1 常用 EDA 工具一览表 (见表 A-1)	(283)
A.2 常用功能仿真与调试工具举例	(284)
A.3 常用逻辑综合工具举例	(286)
A.4 常用测试技术工具举例	(287)
参考文献	(289)

第 1 篇

基于 IP 复用的数字 IC 设计导论

第 1 章 数字 IC 设计概述

1.1 数字 IC 设计方法学演进

半导体工艺水平的发展使得 IC 集成度的进一步提高成为可能,电子工业已经从 VLSI 时代迈进了 ULSI 时代,随着深亚微米 VLSI 工艺技术的成熟, VLSI 芯片设计业面临着严峻的问题:随着芯片功能和性能的需求发展,芯片规模越来越大,工作速度越来越高,开发周期越来越长,设计质量越来越难于控制,设计成本越来越高。举例来说,规模超过 1 200 万门的芯片和速度达到 1GHz 的芯片在 2001 年已经问世,但按照传统的设计方法,针对满足芯片功能和时序要求进行设计的 IC 工程师的设计产能大约为 100 门/天,这将需要 500 人年的工作量来完成一颗 1 200 万门这样规模的芯片设计。当然,这是不现实的,芯片成本太高,设计周期过长,即使能做出来也没有市场。

这种情形很像先前计算机界所面临的问题一样,计算机硬件处理能力飞速发展,而软件设计却受到越来越多的挑战,设计规模上不去,设计质量难于控制,设计周期无限延长,等等。正是在这种背景下,导致软件设计方法学在开放性、可移植性、面向对象等方面发生深刻变革。软件工程,已经成为现代欣欣向荣的发展中的学科;中间件技术,已引起系统设计和建设者的广泛关注。正是由此,软件设计和硬件设计,有很多系统的方法是可以学习和借鉴的。

如图 1-1 所示,基于时序驱动的数字 IC 设计方法、基于 IP 复用的数字 IC 设计方法、基于集成平台进行系统级数字 IC 设计方法是当今数字 IC 设计比较流行的 3 种主要设计方法,业界认为,其中根植于现代软件工程的思想,基于 IP 复用的数字 IC 设计方法是有效提高 IC 设计产能的关键技术。它能够解决当今芯片设计业所面临的一系列挑战:缩短设计周期,满足市场要求,提供性能更好、速度更快、成本更加低廉的数字 IC 芯片。

基于时序驱动的设计方法,无论是 HDL 描述还是原理图设计,特征都在于以时延优化为目标的着眼于门级电路结构设计,用全新的电路来实现系统功能;这种方法主要适用于完成规模较小 ASIC 的设计。对于规模较大的系统级电路,即使团队协作,要想始终从门级结构去实现优化设计,也很难保证设计周期短、上市时间快的要求。

基于 IP 复用的数字 IC 的设计方法,可以满足芯片规模要求越来越大、设计周期要求越来越短的需求,其特征是 IC 设计中的 IP 功能模块的复用和组合。采用这种方法设计数字 IC,数字 IC 包含了各种 IP 模块的复用,数字 IC 的开发可分为模块开发和系统集成配合完成。IC 工程师对 IP 复用技术关注的焦点是,如何进行系统功能的结构划分,如何定义片上总线进行模块互连,应该选择哪些功能模块,在定义各个功能模块时如何

考虑尽可能多地利用现有 IP 资源而不是重新开发，在功能模块设计时考虑怎样定义才有利于以后的 IP 复用，如何进行系统验证，等等。

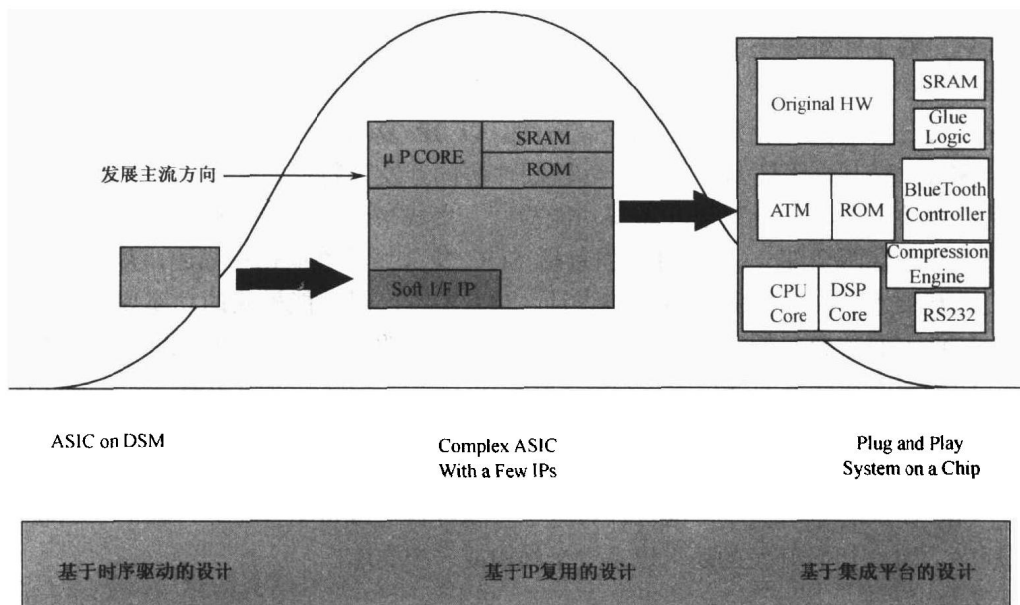


图 1-1 当前主要的数字 IC 设计方法

基于 IP 复用的数字 IC 的设计方法，其主要特征是模块的功能组装，其技术关键在于如下三个方面：一是怎样开发可复用的 IP 软核、硬核；二是怎样做好 IP 复用，进行功能组装，以实现满足市场目标的 IC；三是怎样验证完成功能组装的数字 IC 是否满足规格定义的功能和时序。

可复用 IP 模块首先必须是一个良好的模块设计，它必须严格遵守一系列的设计规则。概括起来是一个基本准则和三条基本规则。

一个基本准则是“局部问题局部解决”。因为当设计规模越来越大时，局部模块设计的缺陷（BUG）如留到系统验证阶段，就会变得非常棘手，难以发现和难以修正。

三条基本规则：一是尽可能采用全同步的设计策略，对模块的输入和输出信号用寄存器锁存以达到时序优化问题局部化的目的；二是严格遵循自底向上的验证策略，保证每个功能模块在被集成到更高层次之前得到最充分的验证，以达到功能验证问题局部化的目的；三是在着手进行详细设计之前必须做好总体方案的设计和论证。良好的芯片结构定义和模块划分是局部问题局部化的关键。

IP 复用的基础是 IP 资源库的建设。IP 资源库是按预定目标整理成库的功能部件集合，这些 IP 模块通常是预先定义规格完成设计或购买设计，预先处理进行打包，预先验证而质量合格的 IP 模块。这些 IP 模块通常需要满足集成结构中要求的特定约束

条件，并附有详细的模块使用指南；涉及的内容主要有：工作速度，面积大小，接口时序定义，DFT、DFM 及其他需要特别说明的问题。参考设计则是可选的，用应用实例来说明如何采用 IP 模块及其可选部件进行 IP 复用的集成设计，以完成特定产品的功能要求。当然，对于库资源来说，是越丰富越好。

基于集成平台进行系统级芯片设计的方法是一种适用于在片系统（SOC）的快速开发的高效设计环境。它针对特定的产品应用，以 IP 复用（一般包括一个或多个微处理器或 DSP）、片上总线技术为基础，以软硬件协同开发为特征，根据产品的系统目标来选择功能模块，进行模块互连和系统功能验证。集成平台主要包括硬件开发平台和嵌入式软件开发平台两个部分：硬件方面包括 SOC 集成结构性能指标描述，片上总线结构设计，功耗要求、时钟树和测试结构设计，I/O 配置，对功能模块的功率要求及面积限制等。软件方面主要包括实时操作系统 RTOS，底层驱动软件、中间软件及应用软件的分层，任务调度和任务间通信等。

集成平台的基础同样是资源库的建设，它除了指 IP 资源库的建设，还包括嵌入式软件资源库的建设。嵌入式软件资源库是按预定目标整理成库的函数集合，它可以对应于单个 IP 模块的驱动程序，也可以对应于可编程器件或可编程微处理器的中间软件或应用程序，用 C 语言开发的还可以是一个结构或一个类库。

1.2 典型的数字 IC 开发流程

典型的数字 IC 开发流程如图 1-2 所示。其主要的步骤包含以下 24 个方面的内容。

- (1) 确定 IC 规格并做好总体方案设计。
- (2) RTL 代码编写及准备 testbench 代码。
- (3) 对于包含存储单元的设计，在 RTL 代码编写中插入 BIST 电路。
- (4) 功能仿真以验证设计的功能正确。
- (5) 完成设计综合，生成门级网表。
- (6) 完成 DFT 设计。
- (7) 在综合工具下完成模块级的静态时序分析及处理。
- (8) 形式验证。对比综合网表实现的功能与 RTL 级描述一致。
- (9) 对整个设计进行 Pre-layout 静态时序分析。
- (10) 把综合时的时间约束条件传递给版图工具。
- (11) 采样时序驱动的策略进行初始化 floorplan。内容包括单元分布，生成时钟树和预布线。
- (12) 把时钟树送给综合工具并插入到初始综合网表。
- (13) 形式验证。对比插入时钟树综合网表实现的功能与初始综合网表一致。
- (14) 在步骤（11）准布线后提取估计的延迟信息。
- (15) 把步骤（14）提取出来的延迟信息反标给综合工具和静态时序分析工具。

- (16) 静态时序分析。利用准布线后提取出来的估计延迟信息。
- (17) 在综合工具中实现现场时序优化（可选项）。
- (18) 完成详细的布线工作。
- (19) 从完成了详细布线的设计中提取详细的延迟信息。
- (20) 把步骤（19）提取出来的延迟信息反标给综合工具和静态时序分析工具。
- (21) post-layout 静态时序分析。
- (22) 在综合工具中实现现场时序优化（可选项）。
- (23) post-layout 网表功能仿真（可选项）。
- (24) 物理验证后输出设计版图数据给芯片加工厂。

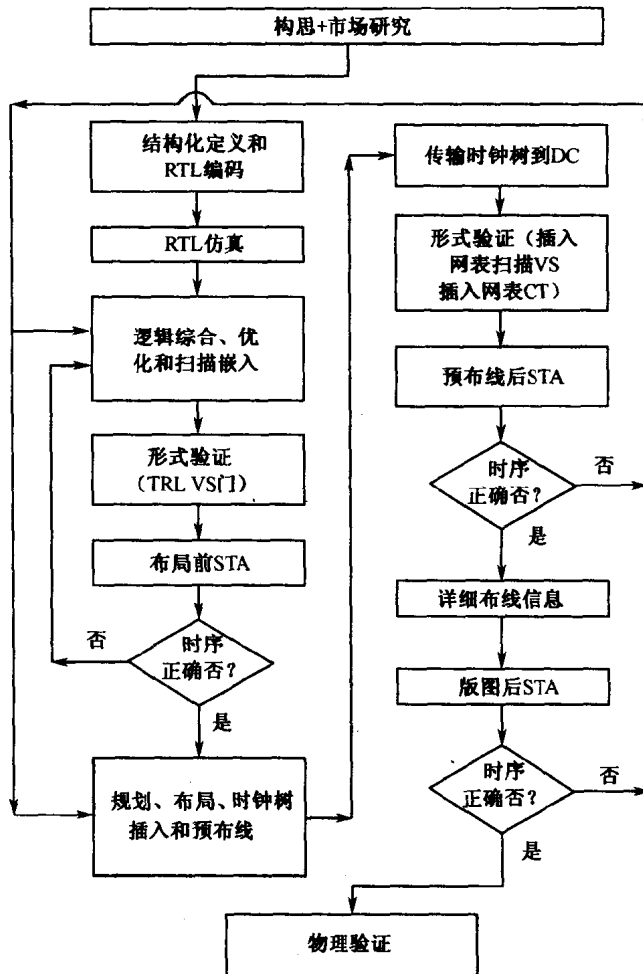


图 1-2 典型的数字 IC 设计流程图

从图 1-2 可以看出，对于任何 ASIC 产品的开发，最初总是从市场上得到需求的信

息或产品的概念，根据这些概念需求，IC 工程师可以逐步完成 IC 规格的定义和总体方案的设计。总体方案定义了芯片的功能和模块划分，定义了模块功能和模块之间的时序关系等内容。

在总体方案经过充分讨论或论证后开始 ASIC 产品的开发。IC 的开发阶段包含了设计输入、功能仿真、综合、DFT、形式验证、静态时序分析、布局布线和 ECO 等内容。

设计输入可以是手工输入逻辑图的过程，也可以采用硬件描述语言进行描述。手工输入逻辑图的方法耗时费力且不方便复用，而采用硬件描述语言的实现方法则主要得益于采用综合器来提高设计效率。

功能仿真的目的是为了验证设计功能的正确性和完备性。搭建的测试环境质量和测试激励的充分性决定了功能仿真的质量和效率。

在过去的很长一段时间内，硬件描述语言只是用来验证设计的思路是否正确，设计者往往需要手工把硬件语言的描述转换成门级网表的形式。随着计算机技术和软件工具技术的发展，综合工具的出现，在电路设计方面，实现了从硬件描述语言到门级网表的自动转化（或称编译）等自动综合能力。所谓综合，可用图 1-3 来加以说明，综合工具（也可称设计编译器）根据时间约束等条件，完成可综合的 RTL 描述到综合库单元之间的映射，得到一个门级网表等；综合工具可内嵌静态时序分析工具，可以根据综合约束来完成门级网表的时序优化和面积优化。

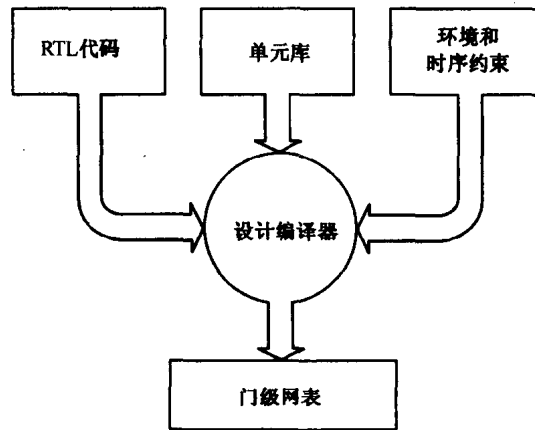


图 1-3 综合过程示意图

目前，大多数 IC 设计引入了可测试结构设计，一般在电路初步综合后可进行 DFT 设计。典型的 DFT 电路主要包括存储单元的内建自测 BIST 电路、扫描链电路和边界扫描电路。BIST 电路是为了测试而设计的专门电路，它可以来自半导体生产厂商，也可以用商用的工具自动产生。扫描链电路一般是用可扫描的寄存器代替一般的寄存器，由于带扫描功能的寄存器的延迟与一般的寄存器并不一致，所以在综合工具进行时序分析时最好就能够考虑这种“附加”的延迟。边界扫描电路主要用来对电路板上的连接进行

测试，也可以把内部扫描链的结果从边界扫描电路引出。有关 DFT 技术的详细介绍请参阅本书第 5 章。

形式验证是一种静态的验证手段，它根据电路结构静态地判断两个设计在功能上是否等价，从而判断一个设计在修改前和修改后其功能是否保持一致。它无须测试向量，但是在运用形式验证时，必须有一个参照设计和一个待验证的设计。参照设计是我们认为功能上完备无缺的设计，它可以是用高级语言如 C，C++ 实现的，也可以是用集成电路的建模语言 SystemC，或者用验证语言 Vera 或 SpecmanE 实现的，但就现实而言，多数形式验证过程中的参照设计就是我们的 RTL 设计，一般是用 verilog 或 VHDL 实现的。

利用形式验证还可以进行 RTL-GATE 对比，我们可以验证插入 DFT 前后的电路网表功能上是否一致；生成时钟树前后的电路网表功能上是否一致；布局布线前后的电路网表在功能上是否一致等。有关形式验证技术的详细介绍请读者参阅本书第 5 章。

静态时序分析是 IC 开发流程中非常重要的一环。通过静态时序分析，工程师一方面可以了解到关键路径的信息，分析关键路径的时序；另一方面，工程师还可以了解到电路节点的扇出情况和容性负载的大小。有关静态时序分析的详细介绍请读者参阅本书第 5 章。

IC 的后端设计包括布局、插入时钟树、布线和物理验证等内容。有关这方面的介绍请读者参考本书第 5 章的有关内容。

ECO 就是工程更改命令。一般的设计流程并不需要这个步骤。ECO 的发生是指在已经输出版图数据之后，设计者又发现某个非常小的硬件缺陷 (bug)，而且解决这个问题又只需要在非常小的范围内更改金属连线关系，或者利用版图上冗余的逻辑门来修正设计中的小问题。传统的这种更改一般由后端工程师手工修正；目前，一些版图工具嵌入了 ECO 算法实现，这样我们也可以利用版图工具来自动完成。

1.3 未来数字在片系统 (SOC) 芯片的设计流程

上节介绍了典型的数字 IC 的设计流程，但是，随着现代信息社会进步，电子产品生命周期越来越短；特别是电子工业技术不断发展，基于深亚微米的超大规模在片系统 (SOC) 芯片需求日益扩大，传统的数字 IC 的设计方法已不能适应现代产业界的 IC 产品需求，因此，基于库资源的 IP 复用设计方式将成为 IC 设计的主流方式。针对各类专门技术，专门应用，专门工具，专门生产工艺，专门产品的 IP 资源库的建设和共享已形成一种规范，贯穿在系统设计的全过程。图 1-4 所示是 IC 设计的自顶向下的流程中所依赖于库支持的说明。从中可见，在现代的基于 EDA 工具的系统级数字 IC 的设计中，离开充分的资源库的支持，可以说，寸步难行，必将失去竞争力。概括而言，各个层次的 IP 库和 EDA 工具，是 IC 设计者必备的两翼，可选的库资源是设计者能力的表征。

在未来的社会里，数字在片系统 (SOC) 除了需要强有力的 IP 库和 EDA 工具作为支持外，最大的特征是需要设计方法学上的突破——软硬件协同设计，软硬件协同设计的一般流程如图 1-5 所示。

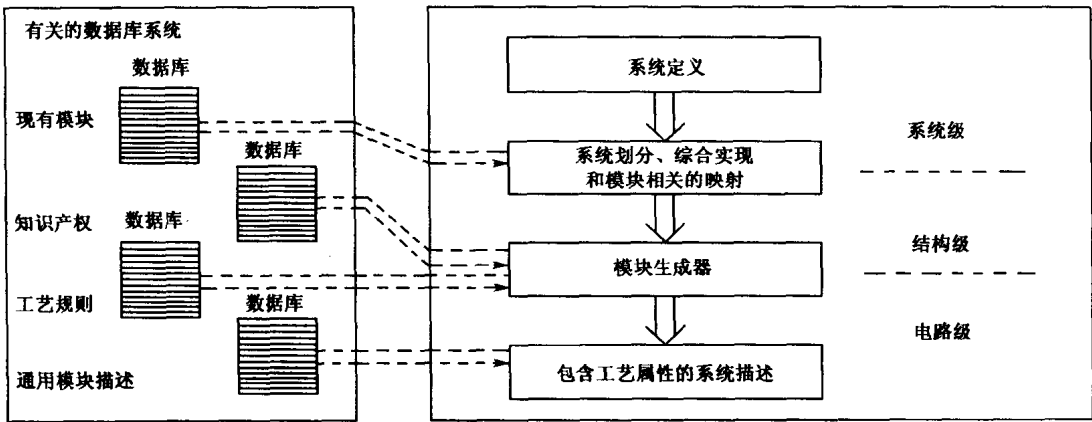


图 1-4 IC 设计的自顶向下的流程中所依赖于库支持的说明

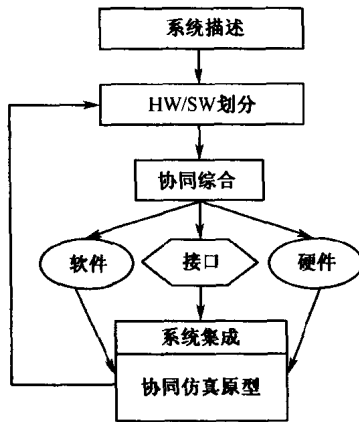
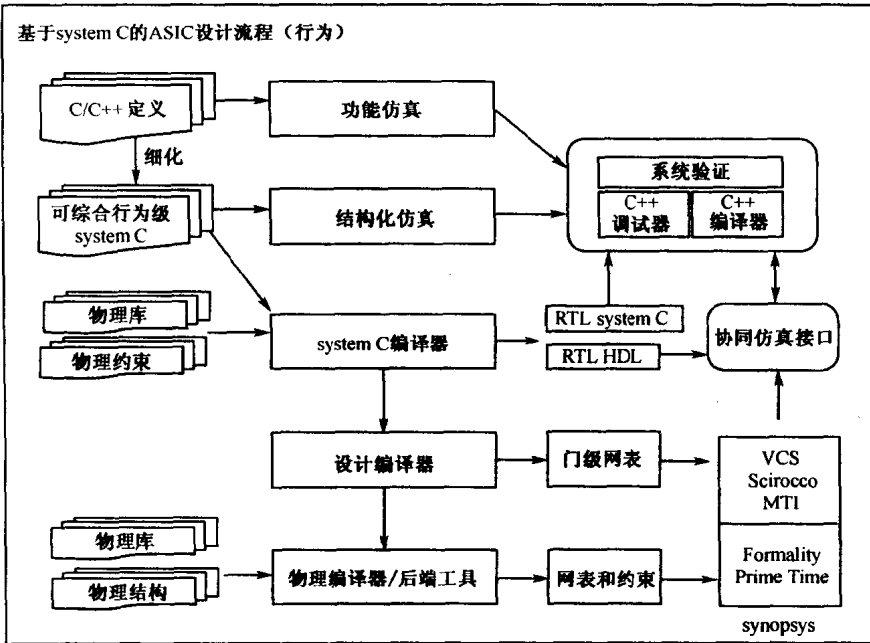


图 1-5 软硬件协同设计的一般流程图

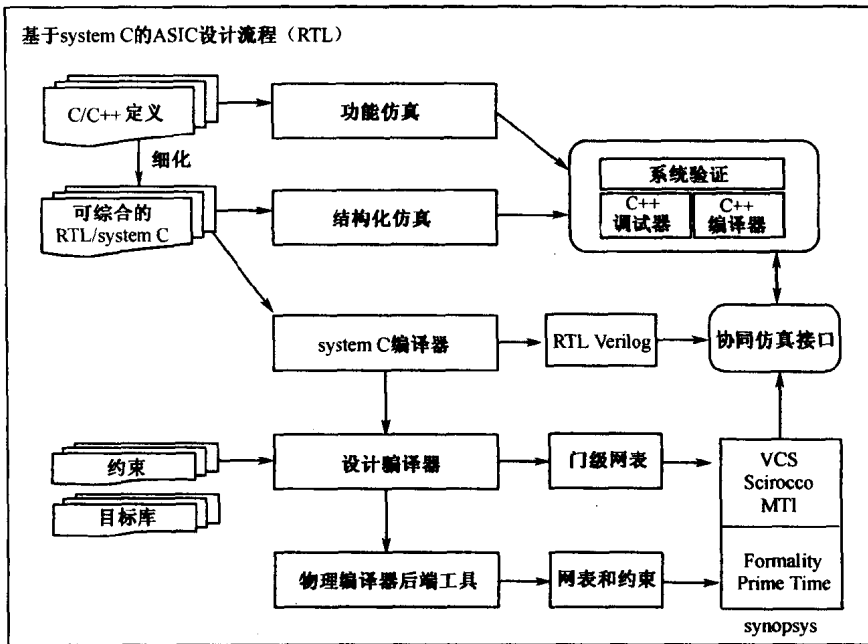
在软硬件协同设计的过程中，软硬件协同设计的基本要素——硬件设计语言（VHDL, Verilog HDL）和软件设计语言（C, C++），将会被新的系统描述语言——system C（或者其他类似语言）所替代。图 1-6 所示就是未来 SOC 设计流程，图 1-6 (a) 始于行为设计描述的设计流程，而图 1-6 (b) 始于 RTL 级的系统描述的设计流程。软硬件协同设计通常从一个给定的系统任务开始，通过有效地分析系统任务和所需要的资源，采用一系列的变换方法并且遵循特定的准则，自动生成符合系统功能要求的、符合实现代价约束的硬件和软件框架。这种全新的软硬件协同设计思想需要解决许多问题：系统建模、系统描述语言、软硬件划分、性能评估、协同综合、协同仿真和协同验证。

本书以数字 IC 设计流程为主线，依次介绍了基于 IP 复用的数字 IC 设计流程（第 1 篇），讨论了基于 IP 复用的数字 IC 设计中涉及的关键技术（第 2 篇），并着重探讨了贯穿于设计流程中的可复用 IP 模块的开发技术和基于 IP 复用的数字 IC 设计与实现（第 3 篇）。IC 设计技术是一门多学科交叉的在发展中的综合性技术，限于我们的知识水平和

工作经验，在编著过程中常常感到力不从心，翻遍了手边的资料编著如是，权做抛砖引玉，如有不全面或不正确之处，恳请读者不吝指正！



(a) 始于行为设计描述的设计流程



(b) 始于行为设计描述的设计流程

图 1-6 未来 SOC 设计流程图