

MOS集成电路与MOS大规模 集成电路的发展

上海半导体器件研究所编

002
3937

上海科学技术情报研究所

MOS集成电路与MOS大规模集成电路的发展

*

上海科学技术情报研究所出版
新华书店上海发行所发行
上海科学技术情报研究所印刷

*

开本: 787×1092 1/16 印张: 5 字数: 120,000

1973年9月出版 印数: 1—9,400

代号: 151634·134 定价: 0.50元

(只限国内发行)

毛主席语录

深挖洞，广积粮，不称霸。

中国人民有志气，有能力，一定要在不远的将来，赶上和超过世界先进水平。

团结起来，争取更大的胜利。

目 录

一、场效应半导体器件的发展历史	(1)
二、MOS集成电路和MOS大规模集成电路目前发展动态与水平	(5)
1. 生产水平	(5)
2. 技术水平	(7)
3. 今后发展趋向	(8)
三、MOS晶体管的原理、特性与分类	(9)
1. 半导体的表面和表面场效应	(9)
2. 什么是MOS晶体管?	(10)
3. MOS晶体管的工作原理	(11)
4. MOS晶体的四种类型	(13)
四、MOS集成电路与MOS大规模集成电路的优点及应用	(16)
五、MOS集成电路的工艺与工艺进展	(21)
1. 一般工艺及其缺点	(21)
2. 离子注入工艺	(23)
3. MNOS工艺	(24)
4. MAS工艺	(25)
5. 硅栅工艺	(26)
6. 铝栅工艺	(27)
7. 蓝宝石上外延硅薄膜(SOS)工艺	(28)
8. 双扩散MOS工艺	(28)
9. 肖特基势垒栅场效应工艺	(29)
10. 互补MOS工艺	(30)
11. MOS工艺的评述与展望	(32)
六、MOS集成电路线路形式的进展	(34)
七、表面电荷转移器件	(44)
八、MOS集成电路的稳定性与稳定性措施	(48)
九、MOS集成电路的可靠性与可靠性措施	(58)
参考资料	(71)

一、场效应半导体器件的发展历史

场效应半导体器件的历史远比双极性半导体器件的历史为早。

约在1926年人们就发现了“场效应”现象——即利用纵向电场来调制横向流动的载流子的现象。这可以说是绝缘栅场效应器件的最早历史。1930~1935年间相继出现了应用场效应原理工作的原始器件。图1就是其中的两种。图1(a)采用硫化铜半导体，氧化铝起栅介质作用，铝起栅金属电极作用（这与目前的薄膜晶体管是完全类似的，见图5）。图1(b)中3为碲或氧化亚铜之类半导体薄膜，金属片1,2与半导体薄膜形成欧姆接触，金属薄膜4起控制栅的作用，它与半导体之间是绝缘的。

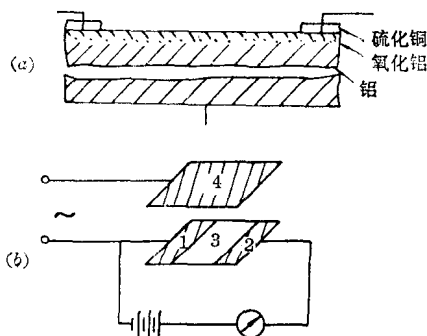


图1 原始型场效应器件

但是，由于受当时科学技术发展的限制，还不能制造出真正实用的器件，其主要原因是表面电荷中在电场作用下可移动的电荷仅占总电荷的10%，故没有实用价值。但是这种利用电场来调制半导体表面电导率的方法却从此被用来研究半导体的表面电学性质，即所谓“场效应实验”或“场效应技术”，直到现在它仍是一种很好的被广泛采用的方法。

第二次世界大战期间及战后，人们利用场效应方法对半导体表面性质进行了大量研究。这

些研究工作导致了1948年“晶体管效应”（图2）的发现和1949年解释这种晶体管效应的P-N结理论的提出。后来人们就把1948年定为晶体管的发明年代。可以看到，晶体管效应（固体放大原理）的发现或晶体管的发明是在利用场效应方法对半导体表面性质进行一系列研究的基础上得到的；同时，当时的半导体提纯技术（如区熔法）已能提供高纯的半导体材料（主要是锗），为这种实验提供了条件。不久（1950~1951年）人们就制得了

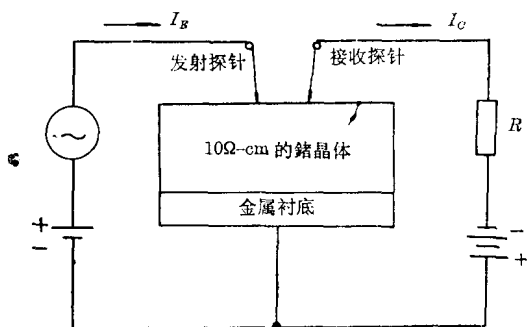


图2 发现晶体管效应的实验装置，探针分开距离为0.005~0.025厘米

双极性面结型（相对于图2的所谓点接触型）晶体管。

在P-N结理论提出和对P-N结性质进行深入研究的基础上，1952年提出了一种“结型场效应理论”，它是利用反向偏置的P-N结作为场效应电极来控制其耗尽层的宽度而实现对其沟道电导的调制。同时制得了结型场效应晶体管，如图3所示。这实际上是将场效应由半导体表面移向了半导体内部，从而避免了半导体表面的各种复杂因素（主要是高达 $10^{14} \sim 10^{15}$ /厘米²浓度的表面态电荷——这个数目也就是硅的表面原子密度数）的影响，因而应该认为是一种

“体场效应”现象。但是,由于当时半导体工艺技术的限制(主要是合金烧结形成P-N结方法),不能在两个很邻近的(例如3微米以内)高浓度(10^{19} /厘米³以上)杂质层之间控制一个很薄(即3微米以内)的低掺杂的中间层,因而使得这种器件在很长一段时间内(平面工艺出现—60年前)一直未达到成批生产。

双极性晶体管发明后,遇到了稳定性、可靠性及噪声等困难,而且由于半导体表面存在很高的表面态以及它们又极易受外界环境影响更促使人们去研究半导体的表面性质,即如何减少或去除半导体表面的高浓度的表面电荷(即表面态)。在当时(1952~1955年)以锗晶体管占统治地位的情况下,还没有一个较好的解决办法。

其后,人们开始注意到硅在半导体器件制造上的优点及潜力。在1957年前后,对硅的高温热氧化、硅表面的保护(“钝化”)、扩散期间杂质的选择掩蔽等问题进行了广泛的研究。1959年实现了“利用热生长的氧化物来稳定硅表面”,为实现可控半导体表面,为制作平面器件以及表面场效应器件——金属-氧化物-半导体(MOS)器件打下了坚实的基础。

在硅的热氧化等问题的研究基础上,1960年发明了平面型晶体管(如图4所示)。这对半

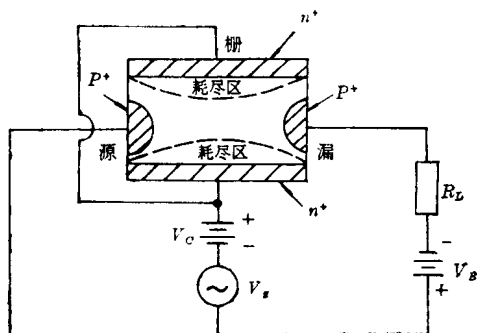


图3 结型场效应晶体管结构示意图

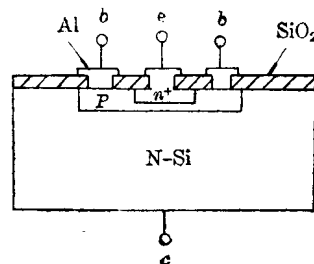


图4 平面晶体管结构示意图

导体工艺以及晶体管来讲,是一次重大的革新,也是集成电路得以实现并迅猛发展的基础。双极性晶体管出现后,只能部分地代替电子管,而对于那些要求输入阻抗特别高的地方要实现全晶体管化往往困难很大,或线路搞得很复杂,或器件用量增多。于是,二十年代的问题——绝缘栅场效应——又重新引起了人们的重视。但此时半导体技术已有了很大的发展,因此在1960年出现了硅绝缘栅感应沟道场效应晶体管,1961年又制成了硫化镉作为半导体的薄膜场效应晶体管(简称TFT),如图5所示。1962年首次在单晶硅片上制成了绝缘栅金属-氧化物-半导体场效应晶体管(简称MOST),如图6所示。这也就是本文所讨论的构成MOS集成电路和MOS大规模集成电路的基本元件。

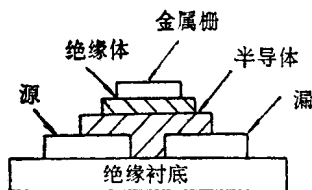


图5 薄膜场效应晶体管结构示意图

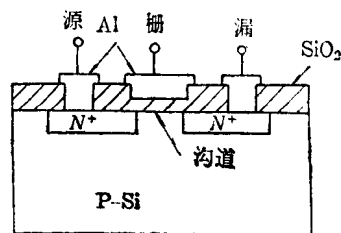


图6 MOS晶体管结构示意图

MOS 器件的制造成功, 有几方面的重要意义。首先, 它满足了无线电技术对于高输入阻抗、低噪声半导体晶体管的需要, 使许多电子设备实现了全晶体管化, 从而体积、重量、可靠性、寿命、耗电都大为改善; 第二, MOS 器件的制成, 标志着人们对半导体表面性质的认识在经过二、三十年的研究之后进入到一个新的阶段。事实上, 目前不仅把它作为一种电子器件大加应用, 而且还把它作为研究半导体表面性质即半导体表面物理学的一种有力工具; 第三, MOS 晶体管的出现, 使一直缓慢不前的大大落后于双极性晶体管的单极性晶体管骤然获得了突飞猛进的发展, 而且大大提高了早期结型场效应晶体管的电学性能以及大大扩充了其使用范围。

在发明 MOS 晶体管的 1962 年, 由于 MOS 制造工艺简单, 同时就制得了第一个由 16 个晶体管组成的双 2 输入门 MOS 集成电路, 面积约 1.5 平方毫米。又由于 MOS 工艺简单, 1964 年第一个复杂的 MOS 集成电路开始出售 (20 位的移位寄存器, 由 120 个晶体管组成)。同年还制得了包含有 447 个 MOS 晶体管的更为复杂的 MOS 集成电路, 这是一个随机存取存储器^[1]。这就使电子技术进入了所谓第四代即大规模集成电路时代。

1964 年以后, 一方面 MOS 集成电路品种不断增多、质量不断提高; 一方面不断从工艺上解决稳定性与可靠性问题, 这又反过来推动了 MOS 集成电路的发展。在这个过程中出现了许多新工艺新技术, 这些新工艺新技术不仅推动了 MOS 集成电路的发展, 而且也促进了双极性集成电路的发展。

由于 MOS 工艺简单和在单块电路中 MOS 晶体管有自动隔离的优点, 制造全互补的 MOS 集成电路也相继发展起来, 为此又开辟了微功耗电子学这一新领域。

1967 年又出现了一种所谓肖特基势垒场效应晶体管, 其结构如图 7 所示。从工作原理上讲, 它与结型场效应晶体管相类似; 从结构来讲, 它与 MOS 晶体管相似, 不同的是它的金属栅电极直接与半导体表面接触, 其间没有栅介质。它的最大特点是其栅压所产生的耗尽层同栅压的关系不受栅介质及其与硅交界面状态的影响。这种结构对于那些固有高的界面态密度而不能制成 MOS 晶体管的半导体材料和不易形成 P-N 结的半导体材料将是十分有利的。这种器件还具有高跨导、高频率的特点, 据报导, 用砷化镓制造的肖特基势垒场效应晶体管的最高振荡频率已达 40 千兆赫以上。目前已制造出带这种势垒的大规模 MOS 集成电路^[2]。

在 MOS 集成电路成熟与 MOS 的理论更深入研究的基础上, 1970 年又出现了一种新型的 MOS 器件——所谓表面电荷转移器件, 如图 8 所示。目前它已有三种结构形式, 而且已制

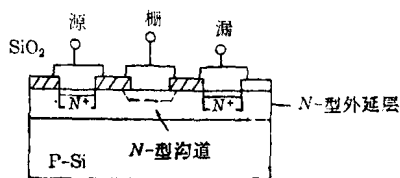


图 7 肖特基势垒栅场效应晶体管结构示意图

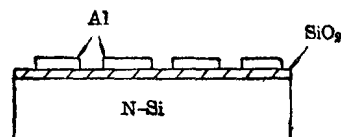


图 8 表面电荷转移器件——CCD 器件结构示意图

成了几十位以上的存储器、译码器、摄像器、显示器, 为半导体器件开辟了一个新的领域^{[3][4][5]}。在这种新型 MOS 器件中, 电荷的产生与转移(运动)都是由外电场的控制来实现的。目前很受人们注意。

1971年又出现了一种“场效应可控开关”(FECS)^[6]。其结构类似于可控硅或四层 P-N-P-N 开关,如图 9 所示。但它不象可控硅那样由电流来触发,而是用电压感应电场来触发的。预计由于这种器件和可控硅相比有许多优点,在电子工业中将得到广泛的应用。

目前看来 MOS 器件朝着这几个方向发展:

1. 在集成电路方面,如何进一步提高器件集成密度,制造更复杂、同一晶片上有许多种不同电路功能类型的大规模集成电路(如由上万至数万个 MOS 晶体管构成);

2. 在电学特性方面,如何改革工艺来提高器件的频率及开关速度,以赶上和超过目前的双极性器件,向 MOS 器件频率特性的理论极限迈进。事实上,目前达到或超过 TTL 开关速度的工艺已经出现了;

3. 如何使一系列新器件更完美更成熟,并广泛加以应用;

4. 将 MOS 器件与双极性器件(TTL)更方便地集成在同一块晶片上以制造出相容电路,从而扩大半导体器件的优点及更广泛的应用。目前已制出了几种电路;

5. 在工艺方面,在解决了稳定性问题的基础上如何更深入的进行半导体表面性质——半导体表面物理学方面的研究,这将对功能块器件(不仅利用半导体的电学性质,同时利用光学、热学、磁学等性质来制成的器件)、利用半导体表面有关性质的其他新型器件(如前述表面电荷转移器件、以及霍耳器件等)将有重大意义;

6. 在 MOS 线性集成电路已开始制造的基础上如何更快地发展;

7. 将 MOS 器件作为科学技术的一种有效的研究工具方面的进一步探索,例如目前已用 MOS 电容法测定半导体的电阻率、表面杂质浓度,载流子寿命与迁移率,半导体表面沾污与表面态等等。

根据上面的叙述,我们可以把场效应器件的发展历史划分为三个时期:

第一个时期——1952年前,这是进行“场效应实验”为主的时期;

第二个时期——1952年到1962年,即结型场效应发明到 MOS 晶体管发明之间的时期;

第三个时期——1962年到1972年,即 MOS 晶体管的发明到 MOS 集成电路与 MOS 大规模集成电路成熟以及其他许多场效应器件出现的时期。

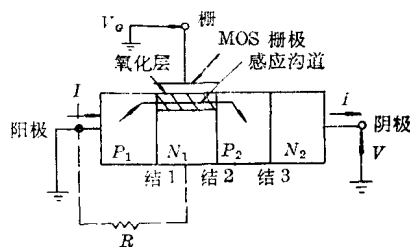


图 9 场效应可控开关的简化结构

二、MOS集成电路和MOS大规模集成电路 目前发展动态与水平

MOS晶体管自1962年发明到现在, MOS器件经历了MOS晶体管、MOS集成电路、MOS大规模集成电路这样三个阶段。实际上由于MOS集成电路工艺与MOS晶体管的工艺基本相同, 所以可以说MOS集成电路与MOS晶体管是同时发展起来的。

一般双极性集成电路(例如以平面晶体管为基本元件的TTL、DTL 电路)是60年以后发展起来的。MOS 集成电路是62年发展起来的。1964年 MOS 集成电路就首先制成了等效于100个以上单门功能的大规模集成电路^[1], 即从集成度来讲超过了TTL。目前已试制出包含有20,000个MOS晶体管的单片电路。现从以下几方面来看MOS 集成电路的目前动态。

1. 生产水平

从品种来看, 据资料统计^[7], 1969年美国十几家主要电子公司生产的MOS集成电路(包括大规模在内)品种有350个(专用产品不算在内)以上, 其大类包括:

累加器	多路转换开关
加法器	随机存取存储器(RAM)
数字/模拟-模拟/数字转换器	只读存储器(ROM)
计数器	移位寄存器
数字差分分析器	与TTL 衔接的电路
驱动器(包括500毫瓦以上)	与TTL 相容的电路(作在一块上)
线性电路(双差分输入, RC耦合等)	其他: 如匹配器件、同步器、计时器、选数器、时钟发生器、延迟线、分频器、译码器、 ΔY 加法器、伺服加法器、检校器、钟表电路等
逻辑元件: 触发器、门电路	

据称, 美国专门生产MOS的A·M·I (美国微系统)公司每年要生产200~300个新品种, 其中大部分是专用产品。

由于MOS工艺极简单, 完成与TTL同样功能的电路所需元件又少, 元件之间不需要隔离, 所以一般TTL难于制造或不能制造的电路, MOS 也能较容易地制造出来, 因此品种不一定比TTL少(目前在线性方面还不如双极性电路)。

从产值产量来看, 根据1970年以后, 美国各种逻辑电路的销售情况, MOS 集成电路不断增加, 而且增加幅度比较大; 双极性(TTL 等)略有下降。表1列出了1972年美国电子产品市场上双极性与MOS集成电路的销售预测情况^[8]。

表 1 72年美国电子产品市场上双极性与 MOS 集成电路部份的预测(百万美元)

年 份	双 极 性	MOS	MOS/双极性(%)
70	292	61.1	20.9
71	267	101	37.4
72	289	130	43.6
75	330	260	78.8

表 1 表明 MOS 将增长很快。预计美国72年 MOS 产量将比71增加30%以上,成为这一年固体电路市场上最活跃的产品。美国生产半导体方面的三家主要厂商——德克萨斯仪器公司、莫托洛拉公司、费尔查尔德公司都将着重发展 MOS 电路(特别是大规模集成)。

据报道^[9],美国72年1~5月份生产数字电路为174,300,000块,比71年同期的109,500,000块增长59.5%,根据72年MOS电路增长30%和表1的估计,72年美国MOS电路产量大约将达到150,000,000块以上。

表 2 列出了日本69年70年MOS集成电路与双极性产量的比较。可以看出日本 MOS 集成电路比双极性产量多。这是由于日本大量发展以台式计算机为主的民用产品的关系(70年生产台式计算机130万台,71年估计生产160万台,72年计划生产300万台,73年计划生产450万台)。估计日本72年MOS电路产量在一亿块以上。如果产量不大幅度增长,则中规模、大规模集成电路产量也必定有大幅度增长,才能满足300万台台式机的要求数量。

表 2 日本69年70年MOS与双极性集成电路产量比较

年 份	MOS (块)	双 极 性 (块)
69	22,565,000	27,666,000
70	68,228,000	53,203,000

不论从美国、日本、还是从其他资本主义国家(英、法、西德)来看,大规模集成电路都是从MOS开始的,而且以MOS为主。就其产量来讲,估计MOS大规模集成电路要占整个大规模集成电路总产量的80~90%。

美国最早开始生产互补MOS电路的美国无线电公司,每年互补 MOS 电路产量占到30~40%,因为互补电路功耗特别低(微瓦至毫微瓦级),很适合军用、空间应用。

据美国斯坦福研究所一位经济专家估计,1975年 MOS 集成电路产值将达到6.5亿美元(目前估计2亿美元左右),将超过TTL产值。

附表 3 为73年美国电子市场上双极性与MOS部分的预测。附表 4 为72年73年西欧一些资本主义国家 MOS 小规模、中规模、大规模集成电路生产情况统计(“Electronics”,1972年第26期)。

73年美国市场上互补 MOS 将有很大增长,预计到75年将从目前的1千万美元猛增到1亿美元,即2~3年间将增长10倍(“Electronics”,1973年第1期)。

日本东芝公司互补MOS大规模集成电路台式电子计算机已开始出售。

2. 技 术 水 平

表3列出了MOS大规模单片电路目前的水平。从表3可以看到: 1)对于只读存储器(ROM)、随机存取存储器(RAM)、移位寄存器这些重复结构的产品, MOS工艺是特别有效的。因此目前发展特别快, 使计算机的结构不断发生变化。其中由于只读存储器(ROM)一位就由一个小小的MOS晶体管构成, 所以集成度又特别高。Cupertino公司试制出18,000位约包含20,000个MOS晶体管、等效于6,000个单门功能的只读存储器; 2)从晶片面积来看, 即使18,000位这么复杂, 也不过 4.5×4.8 平方毫米(180×190 密耳), 可见集成度之高。所以目前一般规定1024位以上的ROM或256位以上的RAM才能称得上MOS大规模集成电路(双极性64位以上就可以了); 3)出现了许多MOS新工艺新技术, 而且都制造出了大规模集成电路; 4)在速度方面MOS集成电路和MOS大规模集成电路正在紧紧追赶TTL电路, 事实上有的已经可以跟TTL相比了。

除表3所列情况之外, 据报道, 美国无线电公司在蓝宝石上制造互补硅栅倒相器, 开关延迟小于1毫微秒, 可与ECL相比, 而功耗仅为ECL的百万分之一; 该公司还制造出供表、钟、引信引时装置、同步和时间延迟、分频及计数器等工作的互补MOS集成电路, 其工作电压只有1.5伏, 使用单一电源, 在5千赫频率下动态功耗为4微瓦, 静态功耗为25毫微瓦, 噪声抗扰度为1.5伏电源的45%, 即0.7伏(一般TTL电源用5伏, 抗干扰不过0.8伏, 功耗毫瓦至几十毫瓦级)。

70年日本电气试验所发明了扩散自排列制造MOS晶体管技术, 后用于制造MOS集成电路, 使MOS电路速度大大提高。用这种方法制造的高速或非门, 在 $V_{DD} = 5$ 伏下工作, 在扇出为3时, 传输延迟 $t_{pd} = 1.2$ 毫微秒, 即达到了ECL水平; 用这种方法制造的低功耗电路, 在 $V_{DD} = 2$ 伏下工作, 其速度功率乘积的近似值为0.24微微焦耳。

最近报道^[2], 美国国际商业机器公司Zurich研究实验室研制一种肖特基势垒栅的场效应大规模4096位固定地址随机存取存储器, 采用0.6伏电源。

美国英梯尔公司采用N-型沟道硅栅制成了4096位随机存取存储器, 单元采用三晶体管动态式, 单个单元晶片面积为 35×35 平方微米, 总面积为 3.5×3.5 平方毫米, 存取时间小于300毫微秒, 周期时间小于500毫微秒, 动态功耗为100微瓦/位, 静态功耗为1微瓦/位以下。该公司还声称在1~2年内试制出16,000位的芯片(近50,000个MOS晶体管)。

美国国际商业机器公司用电荷耦合器件(CCD)已首先制成了半导体存储器系统, 使CCD工艺从实验室进入了实用阶段。据介绍, 这个系统为5760位缓冲存储器, 分六片, 每片由串联的双480位移位寄存器组成, 结构采用铝同多晶硅栅双层金属化, 转移速度与封装密度都比较高, 整个存储器总有效面积为 0.75×2.2 平方毫米。

美国通用电气公司使用表面电荷转移晶体管制成了动态随机存取存储器(RAM), 现为 4×8 位, 可发展到4096位, 每位面积在 40×40 平方微米左右, 存取时间150毫微秒, 循环时间250毫微秒。

美国无线电公司、贝尔实验室都制成了两相CCD移位寄存器, RCA的CCD器件, 在100千赫下得到99.9%转移效率。

荷兰飞利浦公司采用硅局部氧化工艺研制成了MOS桶组器件。

就合格率而言, 据称专门生产MOS电路的美国微系统公司8000位的只读存储器(8000个晶体管以上)的合格率为40%。日本东芝公司今年小规模MOS电路估计合格率在56~72%以上, 比过去建立无尘车间前的30~50%大大提高了。

从使用晶片面积来讲, 目前最高水平已达1个MOS大规模集成电路为 6.5×6.5 平方毫米, 集成约20,000个晶体管而要求100%合格, 可见材料质量、工艺水平及清洁程度都是相当高的。

3. 今后发展趋向

MOS集成电路今后发展趋向, 可归纳为一句话: “三高一低”。

高速: 过去一般采用P-沟(因制造容易), 速度低, 近年来N-沟发展很快, 认为速度可以与TTL相比; 采用互补工艺能提高速度(功耗也低); 采用硅栅、铝栅工艺; 采用SOS/MOS(蓝宝石上外延硅薄膜)工艺; 采用扩散自排列工艺。这些工艺都能大大提高速度。

高密度: 采用硅栅、铝栅、SOS/MOS等工艺, 能提高集成度。此外特别引人注意的是CCD(电荷耦合器件)技术, 不需要制造P-N结(所谓无结器件), 工艺又极简单, 估计每平方吋位密度可达1百万位以上, 从而大大提高集成度。美国莫托洛拉公司认为“今年2000位的MOS·RAM将成为标准产品”, 日本通商产业省发表的高集成度化计划透露, 1977年MOS在10,000个晶体管以上(双极性3000个以上)。美国英梯尔公司认为到1980年每片集成元件数, MOS可达100万个(双极性10万个)。表4列出70年代大、中规模集成电路的比例情况。可以看出, 到1980年大、中规模集成电路将占整个集成电路一半以上, 有人估计为80%。这个表是把双极性、MOS等一道估计在内的, 看来MOS会比这个表(预计的)发展更快。

高可靠性: 实践证明, MOS集成电路的可靠性是不错的, 目前失效率已达: 在50℃环境温度下, 每个等效门失效率为 10^{-6} /1000小时, 即平均寿命为 10^6 小时, 相当于114,000年以上。今后随着工艺技术的不断发展, 可靠性必将进一步提高。

表 4 70年代大、中规模集成电路比例

百分比 年 份	集成度	1~10门/片	10~100门/片	100~1000门/片	1000 门以上/片
1970		90%	7%	1%	2%
1975(预计)		70%	15%	5%	10%
1980(预计)		50%	15%	10%	25%

低功耗: 采用互补工艺; 采用四相逻辑线路形式; 采用扩散自排列工艺; 采用CCD技术。特别是CCD技术与四相技术, 因利用“栅”的充放电原理, 基本上不消耗功率。

下面的附表1列出了美国一些MOS电路生产厂家的简况, 附表2为71年美国主要MOS厂商销售情况。

三、MOS 晶体管的原理、特性与分类

组成 MOS 集成电路和 MOS 大规模集成电路的基本元件除 MOS 晶体管外一般都不用其他元件(而双极性电路一般都包含有晶体管、二极管、电阻以及有时还得有电容),所以我们要熟悉一下 MOS 晶体管的基本工作原理。

1. 半导体的表面和表面场效应

半导体物理学告诉我们,当在半导体表面施加一垂直电场的时候,则半导体表面将发生荷电载流子(空穴或电子)的重新分布,实现这电场的最简单方法就是在面对半导体表面的一平行金属板与半导体之间施加一定的电压,如图10所示。这实际上就是一个平板电容器,不过,一个电极板用半导体构成罢了。假设为 P-型半导体,垂直其表面施加一正电压,则在半导体的表面的一定厚度内将形成一个空间电荷区,这个电荷区的存在使得电场不能深入到半导体内部。对于图10的情况,将造成表面空间电荷区内的空穴(多数载流子)欠缺,电子(少数载流子)过剩。而且特别应注意的是,空穴的欠缺与电子的过剩是由表面向内部成不均匀形式分布的,是变化的。对电子来说,其数量分布是越离表面越少,而空穴越离表面越多。这与平板电容器的一金属极板不同,在那儿表面电荷只局限于一个原子层的厚度范围内,而半导体中由于载流子浓度(自由电荷量)的限制,表面电荷占据着一定的厚度。在空间电荷区内,电场依然存在,但它的强度与载流子分布一样是变化的,由表面到内部逐渐减弱,到某一边界处终止。可以看到,这样一来就造成了表面与内部有一电势,称作“表面电势”或“表面势垒”。如果加的电场足够强(电压足够高),会使表面处的电子浓度超过空穴浓度,即表面从原来的 P-型转变为 N-型,通常称这种情况为“反型”。这样就会在表面形成一个自由电荷区,这个区域中的载流子在电场作用下就会运动,即产生电流。

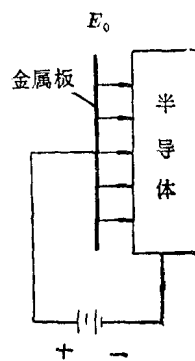


图 10

如果所加电场是负的,则将使产生的空间电荷区内的空穴比体内更多。这是所谓“富集”的情况。

对于 N-型半导体,则情况又正好相反。

上述情况也可视为“静电感应”,这样理解比较简单直观。只要注意在金属情形下感应电荷只局限于一个原子层内;而对于半导体,感应电荷是从表面到内部某一区域是变化的就行了。

由于外加电场产生一表面势垒,引起了表面载流子浓度的变化,也就是表面电导发生了变化。所以,通过表面电导的测量便能确定表面势垒的存在。所谓“表面场效应”就是利用垂直于表面的电场来改变表面势垒而同时测量表面电导的变化的实验方法。所以目前广泛采用这种方法(或技术)来研究半导体表面的沾污情况、表面载流子浓度、寿命、电阻率等等。

在半导体器件的平面制造技术出现前的较长时间里，人们试图用场效应的方法来实现电场控制电导而达到放大信号的目的，结果全部失败，其原因就在于所测量的电导变化仅只有理论预期值的十分之一，所以不能制成真正实用的器件。人们从一系列实验结果中认识到必然有另外的电荷附着在表面上，这些附着电荷屏蔽了外加电场的大部份，而进入半导体内的很少。

对于 MOS 来讲，采用以硅的热氧化为基础的平面技术的最大益处就是能使高达 $10^{14} \sim 10^{15}/\text{厘米}^2$ 的表面电荷下降到 $10^{12} \sim 10^{10}/\text{厘米}^2$ 以下，从而实现了“表面场效应器件”的理想。

2. 什么是 MOS 晶体管？

图11(b)为一个 MOS 晶体管的剖面结构，它是在一块较轻掺杂的 P-型硅片上扩散进两个相邻(例如10微米)的高浓度的 N⁺区，这两个区分别构成 MOS 晶体管的所谓“源(S)”和“漏(D)”。在源与漏之间形成一极薄(例如1000~2000埃)的氧化层(或其他高绝缘介质)，在这绝缘膜上蒸发上金属以及源和漏的欧姆接触金属，为此就构成了一个 MOS 晶体管。这个绝缘层上的金属电极称为栅极(与电子管栅极具有同样的意义，用 G 表示)。因此从栅极开始往下其构造为金属(栅)、氧化物(绝缘介质)和下面的半导体(此处的 P-型硅)，因此称之为金属-氧化物-半导体晶体管，由于其工作由栅上施加的电压(即电场)来控制，所以全称是：金属-氧化物-半导体场效应晶体管(缩写为 MOS)。

大家知道，通常的晶体管(以 N-P-N 平面晶体管为例)如图11(a)所示，工作机理是：发射区中的多数载流子(电子)在发射极(e)-基极(b)结的正向偏置作用下注入基区，这些电子

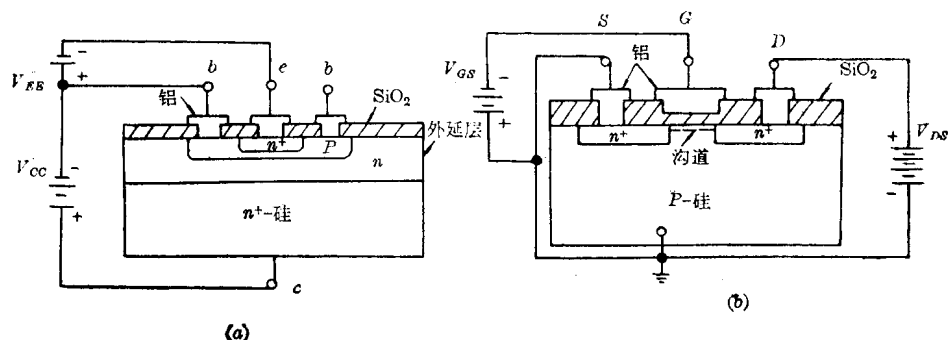


图 11

到了基区后，相对于基区(P-型)的多数载流子空穴而言称之为少数载流子，其中一小部份在基区中与基极引入的荷电载流子(即基区中的空穴)复合，而大部份由于基区从发射极结边缘向集电极边缘存在着这注入的少数载流子浓度梯度，而发生向集电极边缘的扩散，待扩散到集电结处就被加在基极-集电极(c)结上的反向偏压拉入集电极区(又成为多数载流子)，从而完成了工作。

在 MOS 晶体管中，源区中的多数载流子在源-漏电压作用下(一般源与硅片衬底同电位)，流入到被加于氧化物上的栅极电压控制的半导体表面的反型层中，这个反型层通常称为沟道，由于这沟道与源和漏为同一导电类型，故载流子流入到沟道后仍为多数载流子，而后这些载流子又在加于源-漏之间的(即沟道中的)电场作用下向漏区漂移，最后进入漏-衬底反

向偏置所产生的强势垒区(耗尽区)而被扫入漏区中。

因此可以看出, MOS 晶体管与一般晶体管有如下几点不同:

1)一般晶体管是依赖于少数载流子在基区由于自身存在一浓度梯度而扩散来工作的;同时多数载流子(基区中的空穴)也参与其工作,由于电子与空穴电极性不同,故称双极性晶体管。MOS 晶体管是依赖于多数载流子在电场作用下产生漂移(被加速)来工作的;而且只有多数载流子一种进行工作,故称单极性晶体管(凡场效应晶体管都如此)。由于一种晶体管靠自身慢慢的扩散来工作,一种晶体管(MOS)靠载流子在电场下被加速来工作,故后者从理论上讲应具有更高的频率特性与更快的开关特性。MOS 速度比双极性低的原因在后面介绍。

2)一般晶体管的工作是受加在基极上的电流控制的,而 MOS 晶体管的工作是受加在氧化物上的金属栅极电压控制的,故前者归入所谓“电流型控制器件”,而后者归入所谓“电压型控制器件”,(所以凡场效应晶体管都更类似于电子管)。由于栅极氧化物是一种绝缘介质,所以 MOS 晶体管有时也称为“绝缘栅场效应晶体管”。

3)一般晶体管中电流流过半导体内部,而在 MOS 晶体管中电流从半导体表面流过。所以后者有时又称为“表面场效应器件”。

4)由于一般晶体管最早出现的是合金管,它是在一基体材料的两边烧结上两个与基体材料导电类型相反的合金区,因而基体材料本身引出的控制电极得着“基极”的称号,而工作时加正向偏压的结具有载流子发射功能,故称“发射结”,其供给载流子的区域就称之为“发射区”,而反向偏置的结是起收集载流子的作用,故称“集电结”或收集结,而收集到载流子的区域就称为“收集区”或“集电极区”。在 MOS 晶体管(以及其他场效应器件)中,把载流子发源的区域称之为“源区”,而流经的区域好象“水沟”一样,故称之为“沟道”,最后流经一漏容器(“漏”为一种容器之名),故接收载流子的区域称为“漏区”。而控制载流子流入漏区多少的电极相当于一道“栅栏”,故得到“栅极”之名。

3. MOS 晶体管的工作原理

现在我们再来看一看图11(b)所示 MOS 晶体管是怎样工作的。对于该图所表示的在P-型硅单晶片上制造的 MOS 晶体管称为N-型沟道 MOS 晶体管。制造中需经过高温热氧化来形成栅介质二氧化硅,在这个热处理过程中,由于各种原因(诸如氧化物结构缺陷、金属离子的沾污、P-型硅衬底杂质在热氧化期间在硅和生长的二氧化硅中间要重新分布等)将会在二氧化硅中及其和二氧化硅-硅界面处形成一定数量的正电荷,从而在源漏之间的硅表面上感应出相同数量的负电荷,这个数量往往很大,足以使P-型硅表面“反型”为N-型,于是就形成一个N⁺-N-N⁺结构,为此在源-漏电场作用下就会在源-漏之间发生电流流动。这个电流往往可达几个毫安(多至数十毫安以上)。如果现在在栅极上相对于源电极(接地)加一负电压(V_{GS}),比如-1伏(前面情况可视栅压为0),则就会在形成的N-型沟道中产生一定数量的正电荷(空穴),即使沟道电流减小了一部份,如果栅压加-2伏,-3伏……则这电流越来越小,到某一栅电压下沟道中没有电流流过(这时在漏极当然还存在P-N结反向漏电流)。这种随外加栅电压逐渐增加(绝对值)而电流越来越小的N-型沟道晶体管叫做N-型沟道耗尽型 MOS 晶体管。当然也可以加正栅压,这样电流会更大,不注意会使管子烧毁。

从上面我们可以得到如下几个 MOS 晶体管的参数:

源-漏电流(或沟道电流) I_{DS} , 在栅压 $V_{GS} = 0$ 时这个电流最大, 取为 I_{DSS} 。

夹断电压——当栅压 V_{GS} 增大到某一数值时沟道没有电流了, 这个 V_{GS} 的值叫夹断电压, 通常用 V_P 表示。

当然这两个参数都是在一定的漏-源电压 V_{DS} (通常为10伏)下得到的。

由于 MOS 晶体管是类似于电子管的电压器件, 所以不象晶体管那样有一个放大系数 β , 而是定义一个跨导 g_m (也有人称为增益):

$$g_m = \left. \frac{\Delta I_{DS}}{\Delta V_{GS}} \right|_{V_{DS}} = \text{常数}$$

通常用 0 栅压与 -1 伏栅压之间 I_{DS} 的变化来代表这个晶体管的跨导。例如在 $V_{DS} = 10$ 伏时, 这个变化的 I_{DS} 为 2 毫安, 则:

$$g_m = \left. \frac{2 \text{ 毫安}}{1 \text{ 伏}} \right|_{V_{DS} = 10 \text{ 伏}} = 2 \text{ 毫姆欧} = 2000 \text{ 微姆欧}$$

上面的讨论是属于 V_{DS} 规定为某一常数值下, V_{GS} 逐渐变化而 I_{DS} 随着相应变化的情况。

现在假定 V_{GS} 为某一值, V_{DS} 变化时 I_{DS} 又怎样变化。为方便起见, 假定 $V_{GS} = -1$ 伏。因此在 $V_{GS} = -1$ 伏时, I_{DS} 相应有一数值。但是, 显然如果源-漏之间不加电压, 则不会有电流流动即 $I_{DS} = 0$ 。现在如果源-漏电极依次加上 0.1 伏, 0.2 伏……1 伏的 V_{DS} 电压, 则 I_{DS} 越来越大, 但是从漏区 P-N 结来看, 在 V_{DS} 这个反向电压作用下, 会形成耗尽区, V_{DS} 越大, 耗尽区越宽, 这个耗尽区会使接近漏区的沟道变窄, 当 V_{DS} 达到某一数值时这个耗尽区会使漏区处的沟道宽度变为 0, I_{DS} 达到某一值。 V_{DS} 进一步增大时则漏区的耗尽区更加加宽, 使沟道往源端缩短, 但在漏区附近沟道仍不过为 0 罢了, 以上情况如图 12 所示。为此沟道电流 I_{DS} 仍保持某一值。即 V_{DS} 大到某一值后再增加, I_{DS} 也不增加(所谓饱和了), V_{DS} 继续增加直到达到漏结的雪崩击穿电压处。

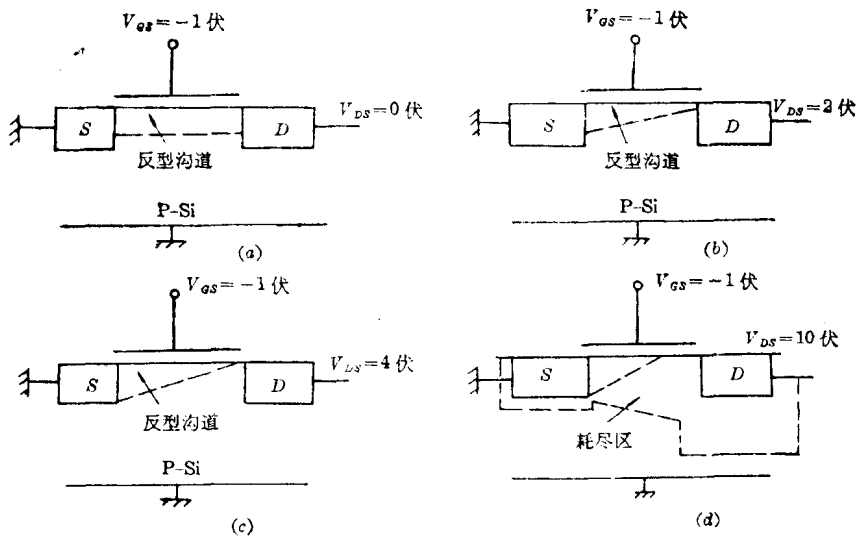


图 12

由此可以看出, I_{DS} 先随 V_{DS} 增加而成正比增加(欧姆定律适用), V_{DS} 到某一值后 I_{DS} 饱和了, V_{DS} 再增加 I_{DS} 基本上不增加, 直到 P-N 结击穿。

不同的 V_{GS} 以及不同的 V_{DS} 得到各种 I_{DS} , 它们三者的关系可以由图13表示, 称为器件的输出特性曲线。也可以用下列数学公式来表示:

$$I_{DS} = \frac{\epsilon_{OX} \mu W}{L t_{OX}} \left[(V_{GS} - V_P) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

图13中还表示了 I_{DS} 随 V_{DS} 变化的三个阶段(三个区域)。

图14为 $I_{DS}-V_{GS}$ 关系, 称为转移特性。

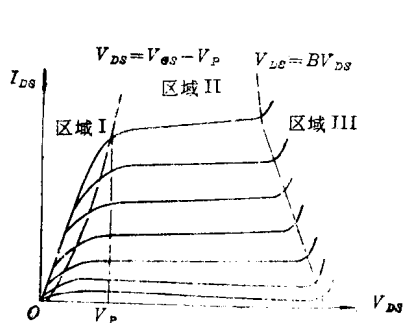


图 13 MOS 晶体管的输出特性

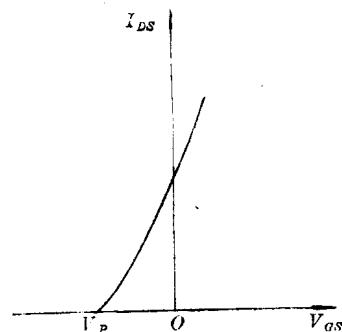


图 14 MOS 晶体管的转移特性

除上述 I_{DSS} 、 V_P 、 g_m 等参数外, MOS 晶体管的其他参数还有增益-带宽乘积(频率) f_T 、输入阻抗 R_{in} 、输入电容 C_{in} 、噪声系数 N_F 等。

大家知道,在双极性晶体管中,频率特性主要取决于载流子通过基区的渡越时间。在 MOS 晶体管中,自然频率特性主要取决于载流子从源到漏的渡越时间。

为此定义增益-带宽乘积 f_T 为:

$$f_T = \frac{1}{2 \pi \tau_r}$$

如果沟道中载流子迁移率视为常数, 则:

$$\tau_r = \frac{L}{v_c} = \frac{L^2}{\mu V_{DS}}$$

上式中 v_c 为沟道中载流子平均漂移速度, 可知 V_{DS}/L 即为沟道中的平均漂移场。

如果令 $V_{DS} = 10$ 伏, $L = 15$ 微米, 并取 $\mu = 225$ 厘米²/伏·秒, 则得到:

$$\tau_r = \frac{225 \times 10^{-8}}{225 \times 10} \text{秒} = 10^{-9} \text{秒} = 1 \text{ 毫微秒}$$

这相应于 $f = 160$ 兆赫。

如果 $L = 1$ 微米, 则 $\tau_r = 4.4 \times 10^{-12}$ 秒 = 4.4 微微秒, 这相应于 $f_T = 36,000$ 兆赫。

以上计算表明,理论上 MOS 晶体管的频率极限比双极性晶体管的高(双极性晶体管基区为 1 微米,则频率极限不可能达到 36,000 兆赫)。这正是由于 MOS 晶体管中载流子渡越沟道时是在电场的作用下以漂移形式进行的,所以快得多。我们也要叙述在采用新的特殊的工艺后, MOS 晶体管频率高这个优点将得到一定程度的实现。其他参数, 这里不再详述。

4. MOS 晶体管的四种类型

上面叙述的是一种 N-型沟道耗尽型 MOS 晶体管。如果在 $V_{GS} = 0$ 的情况下, 图11(b)的