

DSP应用丛书

ADSP SHARC系列 DSP应用系统设计

刘书明 罗军辉 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

ADSP SHARC系列 DSP应用系统设计

DSP应用丛书

- TMS320C6000系列DSPs原理与应用（第2版）
- DSP芯片的原理与开发应用（第2版）
- ADSP系列数字信号处理器原理
- 基于DSP的现代电子系统设计
- DSP集成开发与应用实例
- DSP应用系统设计
- **ADSP SHARC系列DSP应用系统设计**
- DSP芯片的原理与开发应用（第3版）

ISBN 7-5053-8466-X



9 787505 384668 >



责任编辑：张来盛
钟 金
封面设计：闫欢玲

本书贴有激光防伪标志，凡没有防伪标志者，属盗版图书。

ISBN 7-5053-8466-X/TN · 1755 定价：36.00 元

DSP 应用丛书

ADSP SHARC 系列 DSP 应用系统设计

刘书明 罗军辉 编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

数字信号处理技术的迅猛发展,使 DSP 产品广泛地应用于通信、图像处理、生物医学、自动控制等领域。本书选定 ADI 公司最新的高性能 DSP 器件,简要介绍了 ADSP SHARC 系列芯片的基本工作原理及性能指标,并着重阐述了应用 ADSP SHARC 系列芯片组成数字信号处理系统时,在外围硬件接口、软件设计、系统设计等方面必须解决的问题。书中还提供了大量的设计实例,介绍了很多设计经验,同时也提供了系统设计范例,可供相关技术人员参考。

本书面向广大电子工程设计人员,可供大专院校通信工程、电子工程、计算机应用、工业自动化、自动控制等专业的教师、研究生和高年级本科学子作为教材使用,也可供通信和电子领域从事 DSP 芯片开发的广大科技人员阅读参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

ADSP SHARC 系列 DSP 应用系统设计/刘书明,罗军辉编著. —北京:电子工业出版社,2003.2

(DSP 应用丛书)

ISBN 7-5053-8466-X

I. A… II. ①刘… ②罗… III. ①数字信号—信号处理 ②数字信号—微处理器 IV. ①TN911.72
②TP332

中国版本图书馆 CIP 数据核字 (2003) 第 005024 号

责任编辑:张来盛 钟 金

印 刷:北京兴华印刷厂

出版发行:电子工业出版社 <http://www.phei.com.cn>

北京市海淀区万寿路 173 信箱 邮编 100036

经 销:各地新华书店

开 本:787×1092 1/16 印张:24.75 字数:530 千字 插页:1

版 次:2003 年 2 月第 1 版 2003 年 2 月第 1 次印刷

印 数:5 000 册 定价:36.00 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。联系电话:(010) 68279077

序

半导体技术的迅猛发展，DSP 产品的性能和集成度的快速提高，DSP 价格的下降以及长期以来 DSP 技术有效的推广工作，推动了 DSP 在民用领域的广泛应用。DSP 处理器所具有的系统构成灵活、可编程、适用面广的特点，使其在通信、航空航天、医疗仪器、工业控制及信息家电中成为不可或缺的数字信息处理的计算引擎。而计算机、通信和网络技术的迅猛发展及其技术融合所引发的数字化革命浪潮以及由此带来的巨大的数字化产业，更是极大地推动了 DSP 技术的发展；同时，语音、数据、图像和视频信号在发送、传输和接收中对 DSP 在计算速度、外设构成、内部母线和输入输出带宽、功耗以及多 DSP 并行处理等方面也提出了更高的技术要求。正是在这种背景下，美国 ADI 公司生产的以 SHARC, Tiger SHARC 和 Blackfin 等系列 DSP 为代表的通用 DSP 芯片及以其为内核的嵌入式 DSP 芯片广泛地进入了中国市场。我们欣慰地看到，中国正以前所未有的姿态站在 DSP 技术应用的前沿，并涌现了大批优秀的 DSP 应用工程师。

SHARC 系列 DSP 以其优异的浮点处理能力而在国际音响行业中得到广泛的应用，更由于其强大的并行处理能力和独特的多 SHARC DSP 无需额外逻辑电路的系统构成能力而受到雷达和声呐、通信、医疗、气象预报、广播等领域 DSP 设计工程师的钟爱。

在广大 DSP 使用者的热切期待中，西安电子科技大学及时编著了这本 DSP 教材，并由电子工业出版社出版。西安电子科技大学的老师长期以来坚持在教学和科研中使用 SHARC DSP，在由数十个 SHARC DSP 构成的复杂的并行系统设计方面，积累了非常丰富的经验。因此，对于基站、CT、广播设备和数据采集系统多 SHARC DSP 设计的工程师来说，这是一本很好的参考书。同时，由于本书对 SHARC DSP 的 DSP 架构、硬件资源、软件优化和系统设计进行了全面的阐述，因而它对于初次使用 DSP 的读者来说，也是一本很好的 DSP 入门书。

感谢西安电子科技大学的老师编著、出版了这本好书，并感谢他们在中国 DSP 教学和对中国 DSP 用户传授 DSP 技术方面所表现出来的敬业精神。期待有更多关于 SHARC, Tiger SHARC 和 Blackfin DSP 的专著和中国读者见面。

陈益强 博士

美国 ADI 公司中国 DSP 业务发展经理

2002 年 11 月

前 言

近年来,我们以 ADSP SHARC 系列 DSP 芯片为基础,完成了四五套不同型号设备的信号处理机。从研制实践中,我们深刻体会到以 ADSP SHARC 系列 DSP 为主构成的多 DSP 信号处理机在系统构成上十分简捷,硬件调试也比较容易。这大大减少了信号处理机在系统研制设计时的工作量,也缩短了研制周期。原来需要 1 年左右的研制周期现在可以缩短到 8 个月左右。而且整个研制过程都相对比较顺利,在设计和开发上基本没有什么反复,最终都满足了整机对系统的要求。因此,我们感到身受其“利”,也萌生了将研制过程中对 ADSP SHARC 的学习、应用方面的认识、经验、教训加以总结,编写成书,推荐给广大读者和同仁作为参考的念头。这个想法得到了 ADI 公司通用 DSP 和嵌入式 DSP 中国事业部经理陈益强博士、李川工程师的支持,也得到了电子工业出版社竺南直博士的鼎力相助。经过半年多的努力,终于脱稿成书。

本书共分 6 章。第 1 章概述了 DSP 的特点、结构及其发展趋势。第 2 章是本书的基础,简要概述了 ADSP SHARC 系列 DSP 的组成原理,包括 DSP 的内核结构、存储器结构以及 DMA、链路口、串行口等应用资源。第 3 章介绍了 ADSP SHARC 系列 DSP 的接口设计技术,它是 DSP 应用系统设计中的关键技术。这些接口包括存储器接口、总线接口、A/D 接口和 D/A 接口。此外,对链路口、并行口、DMA 通道、中断等应用技术也进行了详细的叙述。通过这些内容的学习,读者能设计出满足整机要求的 DSP 应用系统接口。第 4 章讨论了 ADSP SHARC 系列处理器的应用系统设计,包括 DSP 芯片的选择,多处理器系统的组成形式,电源、时钟的配置,PCB 设计中的干扰与抗干扰等问题。同时,本章对系统加载、软件优化等问题也进行了专门的介绍。结合第 3 章的内容,读者可以学习到如何构成 DSP 的应用系统。第 5 章介绍了 ADSP SHARC 处理器的开发工具 VisualDSP++ 及软件设计、调试中的有关问题。VisualDSP++ 有良好的人机接口界面,也有十分强大的编辑、编译、调试功能,是开发 ADSP SHARC 应用系统强有力的工具。用好 VisualDSP++ 对 DSP 应用系统设计可以达到事半功倍的效果。第 6 章给出了几个 DSP 应用系统设计实例,涉及雷达信号处理、音频信号处理以及数字滤波及其设计等问题。另外,第 3,4,5 章给出了大量的设计实例,还介绍了我们在工程实践中所遇到的问题,对这些问题的分析以及解决方法等。我们期望这些实践经验能真正对读者的工程实践有所帮助。

限于篇幅,一些应给出的资料性内容在本书中没有列举出来,如 ADSP SHARC 芯片的时序、工作参数、寄存器参数都未完整给出,也没有涉及 ADSP SHARC 的指令系统,这会给读者的阅读带来某种不便。这些资料可以从 ADI 公司的网站上下载或者参阅 ADI 公司提供的数据手册。由于时间仓促,书中的错误在所难免,对书中的不当之处,恳请读者批评指正。

在此,要特别感谢 ADI 公司通用 DSP 和嵌入式 DSP 中国事业部经理陈益强博士、李川工程师和电子工业出版社通信与电子技术事业部主任竺南直博士,没有他们的支持,本书将难以完成。感谢西安电子科技大学工程学院冯小平、史林等老师,他们对本书的完成也

给予了很大的帮助。此外，还要特别感谢西安电子科技大学研究生张琳、曹晓波、王剑、罗明、奚伟、高剑、肖科、彭金强和西安外国语学院刘兵同学的大力协助，他们对本书的出版提供了许多有用的素材和无私的帮助。

刘书明 罗军辉

2002 年 11 月于西安电子科技大学

目 录

第 1 章 概论	(1)
1.1 数字信号处理器技术	(1)
1.1.1 DSP 的发展历程	(1)
1.1.2 DSP 的特点	(2)
1.1.3 DSP 结构	(2)
1.1.4 高速、高性能信号处理	(4)
1.1.5 DSP 发展趋势	(5)
1.2 数字信号处理器应用设计	(7)
1.2.1 DSP 应用领域	(7)
1.2.2 典型 DSP 系统的构成	(8)
1.2.3 DSP 系统设计与应用设计问题	(9)
第 2 章 ADSP SHARC 系列处理器原理	(14)
2.1 ADSP SHARC 系列处理器概述	(14)
2.1.1 ADSP SHARC 系列处理器发展历程	(14)
2.1.2 ADSP SHARC 系列处理器与 TMS320 处理器性能比较	(14)
2.1.3 ADSP SHARC 系列处理器功能结构图	(17)
2.2 ADSP SHARC 系列处理器核	(19)
2.2.1 处理单元构成	(19)
2.2.2 程序控制器	(28)
2.2.3 地址产生器与 PM 和 DM 总线	(32)
2.2.4 寄存器	(38)
2.2.5 中断逻辑与定时器	(45)
2.3 ADSP SHARC 系列处理器存储器	(49)
2.3.1 存储器空间	(49)
2.3.2 内部存储器、多处理器存储器与外部存储器	(50)
2.3.3 存储器组织与字长	(52)
2.3.4 存储器访问	(55)
2.4 DMA	(58)
2.4.1 DMA 资源	(58)
2.4.2 DMA 通道建立与控制寄存器	(60)
2.4.3 链式 DMA 与二维 DMA 传输	(63)
2.5 ADSP SHARC 系列处理器链路口	(64)
2.5.1 链路口资源	(64)
2.5.2 链路口控制寄存器	(66)
2.5.3 链路握手信号	(69)

2.6	ADSP SHARC 系列处理器串行口	(69)
2.6.1	串行口资源	(70)
2.6.2	串行口控制寄存器	(72)
2.6.3	串行口操作模式	(76)
2.7	主机接口	(83)
2.7.1	主机对 ADSP SHARC 系列处理器的控制	(83)
2.7.2	主机对处理器的访问	(84)
第 3 章	ADSP SHARC 系列处理器接口设计	(88)
3.1	存储器接口设计	(88)
3.1.1	EPROM 接口设计	(89)
3.1.2	DRAM 的接口设计	(90)
3.1.3	ADSP-21065L 与 SDRAM 的接口设计	(99)
3.1.4	FLASH 接口设计	(104)
3.1.5	双口 RAM 接口设计	(112)
3.2	主机接口与总线接口设计	(115)
3.2.1	主机接口设计	(115)
3.2.2	与计算机总线接口	(121)
3.3	高速 A/D 应用系统的接口设计	(127)
3.4	高速 D/A 接口设计	(133)
3.5	ADSP SHARC 系列处理器链路口的应用	(136)
3.5.1	链路口的连接方式	(137)
3.5.2	DSP 间链路口的单向通信	(137)
3.5.3	利用令牌标志的链路口进行双向通信	(145)
3.5.4	将链路口扩展为并行口	(154)
3.5.5	链路口的兼容性	(154)
3.5.6	关于链路口传输出错的讨论	(162)
3.6	ADSP SHARC 系列处理器串行口的应用	(165)
3.6.1	串行口与 AD1819A 的连接	(165)
3.6.2	通过串行口实现 DSP 之间的多通道通信	(174)
3.6.3	串行口构成定时器	(179)
3.6.4	同步串行口实现异步操作	(180)
3.6.5	串行口设计中的常见问题	(186)
3.7	ADSP SHARC 系列处理器 FLAG 标志的应用	(189)
3.7.1	FLAG 标志做中断请求	(190)
3.7.2	FLAG 标志的应用	(191)
3.7.3	ADSP-21065L FLAG 标志	(193)
3.7.4	利用 FLAG 标志实现异步通信	(194)
3.8	ADSP SHARC 系列处理器 DMA 应用	(202)
3.8.1	外部口 DMA 操作模式	(203)
3.8.2	短字 DMA 访问	(205)

3.8.3	DMA 实现 DSP 与 FLASH 的数据传输	(209)
3.9	中断	(212)
3.9.1	中断资源及中断向量表	(212)
3.9.2	DSP 系统中中断电路设计	(216)
3.9.3	复位中断和复位电路设计	(217)
3.9.4	中断服务程序设计示例	(220)
第 4 章	ADSP SHARC 系列处理器应用系统设计	(223)
4.1	数字信号处理系统的实现	(223)
4.1.1	DSP 芯片选择考虑	(223)
4.1.2	多处理器系统构成	(225)
4.2	共享总线的紧耦合系统	(225)
4.2.1	ADSP-21160 紧耦合总线多处理器系统的实现方法	(226)
4.2.2	多片 ADSP-21065L 的多处理器共享总线连接	(241)
4.3	链路口构成松耦合系统	(245)
4.4	ADSP SHARC 系列处理器应用系统的程序加载	(246)
4.4.1	JTAG 加载	(247)
4.4.2	EPROM 对单片 DSP 的加载	(249)
4.4.3	FLASH 加载	(251)
4.4.4	链路口加载	(258)
4.4.5	单片 EPROM 对多片 DSP 的加载	(267)
4.5	系统设计的有关问题	(277)
4.5.1	ADSP SHARC 系列处理器的电源配置	(278)
4.5.2	时钟电路设计	(281)
4.5.3	片间连接的阻抗匹配问题	(283)
4.5.4	PCB 设计问题	(284)
4.5.5	干扰与抗干扰的考虑	(287)
4.5.6	热设计	(289)
4.5.7	ADSP SHARC 系列处理器不用引脚的处理	(289)
4.6	程序设计优化	(291)
4.6.1	程序设计优化的目的	(291)
4.6.2	软件优化途径	(291)
4.6.3	ADSP SHARC 程序优化的基础	(292)
4.6.4	程序优化举例	(293)
第 5 章	ADSP SHARC 系列处理器开发工具与软件设计	(297)
5.1	VisualDSP++ 概述与程序设计流程	(297)
5.1.1	VisualDSP++ 概述	(297)
5.1.2	VisualDSP++ 应用程序开发流程	(299)
5.2	DSP 汇编语言程序设计	(299)
5.2.1	汇编程序内容与结构	(300)
5.2.2	汇编表达式、操作符与数据格式	(301)

5.2.3	汇编关键字与符号	(303)
5.2.4	汇编命令与预处理命令	(305)
5.3	DSP 高级语言程序设计	(307)
5.3.1	C/C++运行时模式	(307)
5.3.2	C/C++实时运行库	(312)
5.4	汇编语言与高级语言的接口	(313)
5.4.1	C/C++程序调用汇编函数	(314)
5.4.2	汇编程序调用 C/C++函数	(317)
5.4.3	C++调用汇编类成员函数	(318)
5.5	链接描述文件 LDF	(320)
5.6	集成开发调试环境 IDDE	(327)
5.6.1	程序开发步骤	(327)
5.6.2	Debugger 调试工具	(333)
第 6 章	应用系统设计实例	(345)
6.1	DSP 与 LCD 点阵的设计	(345)
6.1.1	硬件设计	(345)
6.1.2	软件设计	(345)
6.1.3	程序设计参考	(346)
6.2	ADSP SHARC 处理器在雷达信号处理中的应用	(347)
6.2.1	原理	(347)
6.2.2	信号处理机实现	(347)
6.2.3	数字信号处理算法与流程	(349)
6.3	音频信号处理	(350)
6.4	滤波器设计	(361)
附录 A	SHARC 元器件引脚说明	(368)
参考文献		(385)

第1章 概 论

自 1982 年 TI 公司推出第一枚可编程 DSP 芯片以来, DSP 技术以其独特的优势取得了突飞猛进的发展, 该技术已在航空航天、遥测遥感、生物医学、自动控制、振动工程、通信雷达、水文科学等许多领域有着十分广泛的应用。随着微电子技术以及 DSP 算法的深入发展, 数字信号处理技术将深入到人们生活的各个方面。

1.1 数字信号处理器技术

信号是信息的载体, 信号处理本质上就是对信息的变换和提取, 将有用信息从各种噪声、干扰的环境中提取出来, 并变换为一种便于为人或机器所使用的形式。广义的数字信号处理技术是指理论上对数字信号处理的研究, 而数字信号处理器是指实现数字信号处理理论的一类专门芯片。DSP 已经逐渐成为数字信号处理器的代名词。

1.1.1 DSP 的发展历程

数字信号处理技术的发展大致经历了以下三个阶段:

- 信号解析与数字化研究阶段;
- 数字信号处理器产品普及阶段;
- 现代数字信号处理器快速发展阶段。

在数字信号处理器出现之前, 数字信号处理只能依靠微处理器单元 (MPU) 来完成, 但 MPU 较低的处理速度无法满足用户高速实时的要求。直到 1965 年 COLLEY-TUKEY 提出快速傅里叶变换算法, 才使开发人员进入到 DSP 的理论和算法基础的研究上。但此时的 DSP 仅仅被局限在教科书上, 研制出来的 DSP 系统都是由分立元件组成的, 其应用领域仅局限于军事、航空航天部门。

随着大规模集成电路技术的发展, 1982 年世界上诞生了首枚 DSP 芯片。这种 DSP 器件采用微米工艺 NMOS 技术制作, 虽功耗和尺寸稍大, 但运算速度却比 MPU 快了几十倍, 尤其在语音合成和编码解码器中得到了广泛应用。DSP 芯片的问世是个里程碑, 它标志着 DSP 应用系统由大型系统向小型化迈进了一大步。到了 20 世纪 80 年代中期, 随着 CMOS 技术的进步与发展, 第二代基于 CMOS 工艺的 DSP 芯片应运而生, 其存储容量和运算速度都得到了成倍的提高, 成为图像处理、语音处理、快速数据传输、生物医学系统等领域技术发展的基础。

到了 20 世纪 80 年代后期, 第三代 DSP 芯片问世以后, 它的运算速度进一步提高, 其应用范围逐步扩大到通信、计算机领域。进入 90 年代, DSP 发展最快, 相继出现了第四代和第五代 DSP 器件。现在的 DSP 属于第五代产品, 它与第四代相比, 系统集成度更高, 已将 DSP 芯核及外围器件综合集成在单一芯片上。这种集成度极高的 DSP 芯片不仅在通信、计算机领域大显身手, 而且逐渐渗透到人们的日常消费领域。

经过 20 多年的发展, DSP 产品的应用已深入到人们的学习、工作和生活的各个方面,

并逐渐成为电子产品更新换代的决定因素。目前,随着人们对 DSP 需求的不断增加,前景将十分乐观。

同时,数字信号处理技术在理论和算法上也取得了突破性进展,为其他新兴学科的发展奠定了理论基础。它本身也形成了比较完善的理论体系,包括信号采集,离散信号与离散系统分析,信号估计,信号建模,信号处理算法等内容。

1.1.2 DSP 的特点

DSP 之所以得到越来越广泛的应用,这与其自身的优势是分不开的。传统的微处理器不适用于进行数字信号处理所需的高等数学运算,其运算需要较长的计算时间,不能满足现代信号实时处理的要求。而数字信号处理器有以下明显的优势:

- 数字信号处理器具有较大的动态范围,易于实现机器和设备之间的匹配;
- 用于数据处理时具有较高的信噪比 (S/N),在处理过程中不会产生噪声;
- 数字数据具有高度的灵活性,易于处理、缓存、组合,可以时分多用、并行处理,具有极好的重现性、可靠性和预见性;
- 执行速度较快,整体性能高,可实现真正的实时处理;
- 在现代数字信号处理器的硬件结构上,对噪声、非平衡干扰和多径干扰,都有相应的方法进行信号处理;
- 内部都采用了哈佛总线结构,程序和数据具有独立的存储空间,而且有各自独立的程序总线 and 数据总线,与程序和数据共用存储空间的冯·诺依曼结构相比,大大提高了数据处理速度,提高了数据的吞吐率,非常适合于实时信号处理;
- 采用专门的硬件乘法器,打破了传统乘法运算由于速度不高而产生的对数字信号处理的瓶颈限制,能在同一时钟周期内进行相乘和累加运算,大大加快了数字信号处理算法的运算速度;
- 采用流水操作结构,能减少指令执行时间,而且程序执行时间可预测;
- 有双地址单元,支持多种寻址方式;
- 具有有效的程序控制机制并有硬件逻辑支持零开销循环;
- 对输入、输出数据流没有限制;
- 具有特殊的 DSP 指令系统,支持汇编和高级语言编程。

1.1.3 DSP 结构

在 DSP 应用设计中,设计者必须对 DSP 的结构有深刻的了解,只有这样,设计的系统才能可靠地运行,程序代码的效率才可能大大提高。图 1.1 所示是 ADI 系列 DSP 的最基本的结构框图。

由图 1.1 可以看出, DSP 的基本结构主要包括以下四个部分。

1. 计算单元

由于 DSP 在 1 个时钟周期里必须完成乘/累加、加、减、与/或、移位等操作,所以对计算单元硬件结构的优化是 DSP 处理器的核心。也正是因为这一点,才将 DSP 和通用微处理器区分开来,通用微处理器需要多个周期才能完成这些操作。

通常 DSP 中的乘/累加器 (MAC)、算术逻辑单元 (ALU) 和桶形移位器 (移位器),主

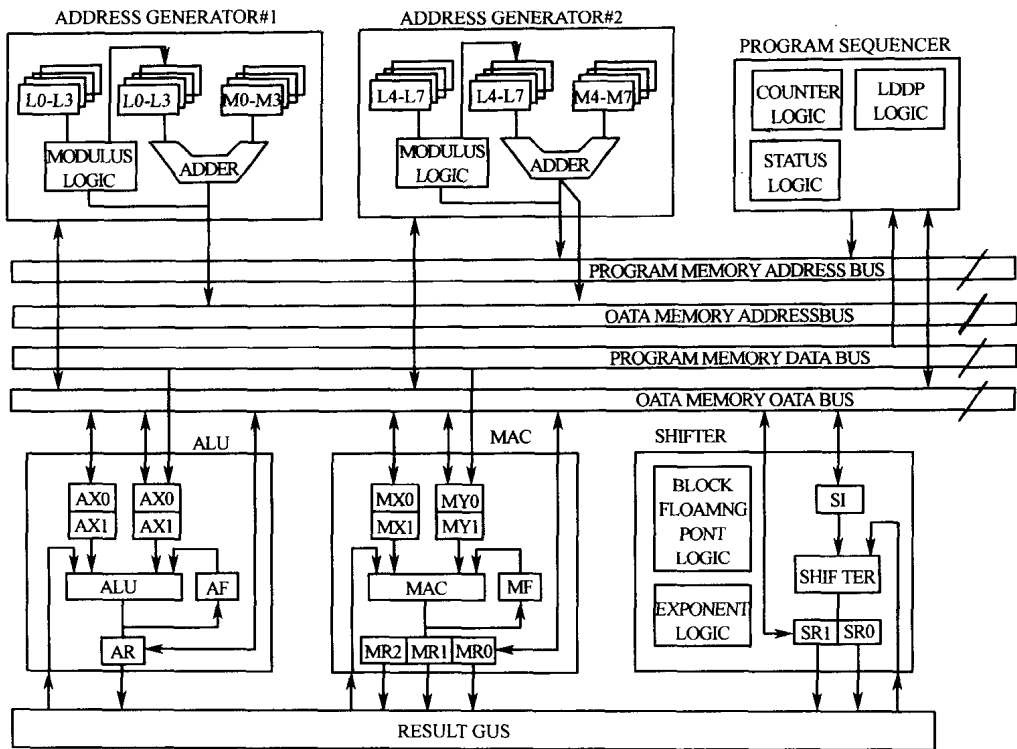


图 1.1 典型 ADSP 结构框图

要实现数值运算。MAC 实现乘/累加操作，多数 DSP 算法（例如 FIR、IIR 滤波和快速傅里叶变换）中都要用到该操作。ALU 实现加、减和逻辑操作。位操作和字操作主要在移位器中进行。图 1.1 也说明了 MAC、ALU 和移位器的并行结构，以及它们的数据输入和输出通道。

从编程的角度来看，使用计算单元相互分离的 DSP 结构使得程序开发具有很大的灵活性和较高的效率。数据流不会冲突，能够实现单周期的计算操作。DSP 的结构也为 MAC 操作提供了较高的动态范围，使 MAC 能处理 2 倍输入数据宽度的乘法结果，而累加器输出时也不会溢出（对一个 16 位的 DSP，这一特性等效于 16 位的数据输入和 40 位的 MAC 累加输出）。

此外，计算单元的其他特性也大大方便了实时系统的编程。计算操作会引起状态位的变化，对这些状态进行测试，可以确定计算操作是否产生进位、溢出、饱和等，从而使 DSP 可以快速地处理基于计算操作的程序流，实现不同条件下的连续操作。当然，由于计算单元需要不断地将数据反馈给输入，这将对 DSP 存储器和内部总线结构的设计产生很大影响。

2. 存储器部分

DSP 存储器和总线结构是根据处理速度的要求进行设计的。数据和指令必须在每一个指令周期里流入计算和程序控制器单元，而没有延迟和瓶颈的限制。因此，设计的关键就是如何提高数据的吞吐率。

要提高数据吞吐率，我们先来看看 DSP 存储器和通用微处理器存储器的设计之间的区别。以前大多数的微处理器都采用冯·诺依曼结构，都使用单一的存储器空间，既存放数据又存放指令，并用 1 条地址总线和 1 条数据总线。当在每个周期需要总线访问时，必须判断是访问指令还是数据，这会大大限制数据的吞吐率。而在 DSP 中采用哈佛结构，存储器通

常分为程序存储器和数据存储器，两个存储器都有独立的总线结构，这样就将指令和数据访问分离开来，DSP 能够在每个周期同时取指令和数据，从而使数据吞吐率加倍。此外，还可以使用其他优化措施（如指令缓存、结果反馈和上下文切换）来提高 DSP 的数据吞吐率。

另外，DSP 存储器结构的优化还包括重复的存储器访问。在大多数 DSP 算法中，例如在数字滤波器的使用中，需要从存储器中反复读取数据。DSP 通过两个地址产生器支持不同类型的缓冲寻址方式，并通过硬件逻辑以最高的效率执行地址修改和比较操作。然而，多数通用数字信号处理器都是通过软件方式实现这种操作，这就限制了处理器对实时信号处理的能力。

3. 程序控制器

多数 DSP 通常都是采用递归的算法，在递归软件设计中，DSP 程序控制器可以实现零开销的程序循环，这也是 DSP 区别通用微处理器的一个主要特性。通常，微处理器要靠软件维持程序循环，在程序的末尾处放置条件指令，决定地址指针是返回循环的起始地址还是跳转到其他地址。然而 DSP 通过硬件方式执行条件测试和指令跳转，而且通过指令流水结构实现指令预测，大大提高了程序的执行效率。

4. 输入输出 (I/O) 单元

DSP 需要很高的数据吞吐率，因此数据的输入和输出也是很关键的。现代 DSP 系统中都设计有专用的 I/O 处理器，主要可以完成自举载入、串行口通信、DMA 操作、存储器映射 I/O 等操作任务。

1.1.4 高速、高性能信号处理

早期的信号处理主要是采用模拟的处理方法，包括运算放大电路、声表面波器件 (SAW)，以及电荷耦合器件 (CCD) 等。模拟处理最大的弊端就是不灵活、不稳定，参数修改困难，而且对周围环境变化敏感。数字信号处理可以通过软件修改处理参数，因此具有很大的灵活性。而且数字电路采用了数值逻辑，只要环境温度、电路噪声的变化不造成电路逻辑的翻转，数字电路的工作都不会受到影响，因此具有很好的稳定性。正因为如此，数字信号处理已经成为信号处理技术的主流，但是处理量随处理精度、信息量的增加而成倍增长，因此研究高速的数字信号处理系统就显得异常重要。

高速数字信号处理器的特点首先是高速度，其处理速度可以达到每秒数百兆次的数量级。其次是大电流，高速信号处理芯片的电流经常在 1 A 以上。第三是低电压，这是为了在大电流下减小系统的功耗，系统的工作电压从标准的 5 V 降至 3.3 V, 3 V, 2.5 V, 1.8 V, 甚至 0.9 V。第四是高度集成，芯片的集成度在数十到数百万门的量级。第五就是为了提高运行速度而采用了多种并行的体系结构。

鉴于以上特点，在实现高速实时信号处理系统时，首先要采用先进的设计软件来保证系统设计的正确性，比如用电子设计自动化 (EDA) 软件进行优化设计；其次，采用专用集成电路 (ASIC) 技术减小体积，提高集成度，而在样机阶段，则通常采用可擦除可编程逻辑器件 (EPLD) 或现场可编程门阵列 (FPGA) 来减小风险；第三，要研究高速度、低电平器件的特点和使用方式；第四，要研究并行体系结构的设计和选择问题。

通常，一个高速实时数字信号处理系统的研制可能包括以下问题：

- 高速实时数据采集 (ADC)；
- 高速实时数据存储 (MEM)；

- 高速实时周边器件（中小规模器件）；
- 高速实时电路集成（EPLD/FPGA/ASIC）；
- 高速实时信号生成（DAC/DDS）；
- 高速实时 DSP 与并行体系结构；
- 高速实时总线技术（VME/VXI/PCI）；
- 高速实时系统设计（EDA）等。

目前，高速实时数字信号处理技术已经取得了飞速的发展，单片 DSP 芯片的速度已经达到每秒 16 亿条指令（1600 MIPS）。高速实时 DSP 芯片采用了各种并行处理技术，包括片内并行和片间并行等方式来提高处理速度。其中，主要的并行 DSP 芯片包括美国 TI 公司的 TMS320C8x 和 TMS320C6x，以及美国 ADI 公司的 ADSP-2106x 及 ADSPTS-101S 等。

TMS320C8x 采用片内并行的多指令多数据 MIMD 体系结构，在每一片 TMS320C80 内部，都有 1 个浮点 RISC 类型主处理器 DSP 和 4 个定点并行处理器 DSP。每个 DSP 都配有 10 KB 片内存储器（RAM）。TMS320C8x 是一个紧耦合的多指令多数据流（MIMD）的单片多处理器系统。这一系统的运行速度等效于每秒 20 亿次 RISC 类型的操作。在这个系统中，一个显著的特点是采用交叉开关（Crossbar）代替了传统的总线互连，避免了因为总线仲裁对总线传输数据速度的限制。

TMS320C6x 采用片内并行的超长指令字（VLIW）体系结构，单指令字长为 32 位，8 个指令组成一个指令包，总字长为 $8 \times 32 \text{ b} = 256 \text{ b}$ 。芯片内部设置了专门的指令分配模块，可以将每个 256 位的指令包同时分配到 8 个处理单元，并由 8 个处理单元同时运行。当芯片内部 8 个处理单元同时运行时，其最大处理能力可以达到 1600MIPS。

在 VLIW 的体系结构中，多个功能单元并行工作，所有的功能单元共享公用大型寄存器堆。VLIW 处理机的另一个特点是在指令获取、指令分配、指令执行、数据存储等阶段需要进行多级流水，而且不同指令执行的流水延迟时间也不相同，因此各种指令的安排要尽量不破坏指令流水的执行，否则处理机运行的效率也会大大降低。

ADSP-2106x 是美国 ADI 公司推出的可并行扩展的超级哈佛指令计算机（SHARC）。芯片内部有 4 套独立的总线，可完成双向数据存取、指令存取、非指令性 I/O。这种芯片的主要型号包括 ADSP-21060, ADSP-21061, ADSP-21062 等，其主要特点是在一个 ADSP-21020 的浮点 DSP 核心基础上集成了片内大容量双口 RAM 和并行处理接口，因此是一个可并行扩展的 SHARC 结构。ADSP-2106 支持多 DSP 系统，可以方便地构成各种体系结构的多 DSP 系统。ADSP-2106x 对多 DSP 处理的支持包括 6 个链路口（Link Port），片内大容量共享存储器和 DMA 传输，统一分配的片内存储器地址，与宿主机的接口，分布式总线仲裁逻辑等。因此，采用多片 ADSP-2106x 可方便地构成无缝连接的多片并行处理系统，包括共享存储器并行处理系统、数据流并行处理系统、集束并行处理系统、单指令多数据流（SIMD）并行处理系统等。

ADSP-2106x 并行处理的典型应用是 AD14060，它是把 4 片 ADSP-2106x 以集束多处理模式，采用 MCM 工艺集成于一个芯片模块之中，因此这种芯片模块的处理能力是单片 ADSP-2106x 的 4 倍，即峰值处理能力为 480MFLOPS，持续处理能力为 320MFLOPS。

1.1.5 DSP 发展趋势

从市场趋势看，根据美国 Forward Concepts 调查公司针对 1999 年全球 DSP 市场所作的

调查显示,美国 TI (Texas Instruments) 公司和美国 ADI (Analog Devices Inc.) 公司在市场占有率方面,以双强局面赢得全球排名之冠。成长最快的是 ADI 公司,1999 年市场占有率较前一年增加 43%,主要是由于亚洲市场中 GSM Chip-Set 的带动。TI 公司则年增长 28%,尤其在移动电话芯片市场约占全球份额的 60%。Lucent 和 Motorola 则在移动电话基站方面加快发展。其他厂商方面,如日本 NEC 与日立、美国 Zilog 等都在成长中。今后美国的 LSI-Logic、德国的 Infineon Technologies 数家厂商也将参与到 DSP 市场的竞争行列。

DSP 的发展日新月异,主要有以下几个发展方向。

1. 系统级集成 DSP

缩小 DSP 芯片尺寸始终是 DSP 的技术发展方向。各 DSP 厂商纷纷采用新工艺,改进 DSP 芯核,并将几个 DSP 芯核、MPU 芯核、专用处理单元、外围电路单元、存储单元统统集成在一个芯片上,成为 DSP 系统级集成电路。

2. 可编程 DSP

采用可编程 DSP,设计简单,易于修改,性价比高。

3. 追求更高的运算速度

目前一般的 DSP 运算速度为 100 MIPS,即每秒钟可运算 1 亿条指令。TI 的 TM320C6X 芯片由于采用 VLIW 结构设计,其指令速度已高达 2000 MIPS,即每秒可运算 20 亿条指令。按照 CMOS 的发展趋势,DSP 的指令速度再提高 100 倍(达到 1 600 GIPS)是完全有可能的。

4. 定点 DSP 是主流

从理论上讲,虽然浮点 DSP 的动态范围比定点 DSP 大,且更适合于各种类型的 DSP 应用场合,但定点运算的 DSP 器件的成本较低,对存储器的要求也较低,而且耗电较省。因此,定点运算的可编程 DSP 器件仍是市场上的主流产品。据统计,目前销售的 DSP 器件中的 80% 以上属于 16 位定点可编程 DSP 器件,预计今后的比重将逐渐增大。

5. 与可编程器件结合

Forward Concepts 公司分析师 Will Strauss 表示,许多新应用需要比传统 DSP 处理器更加强大的数字信号处理能力。而据《可编程逻辑新闻和观点》的主编 Murray Disman 介绍,大约 10% 的 PLD/FPGA 业务与 DSP 业务相关。对 PLD 和 FPGA 供应商来说,DSP 还是一项刚刚起步的新应用。在过去几年中,主要供应商在蜂窝基站的应用领域实现了长足的发展,因为设计者往往会借助 PLD 和 FPGA 来满足他们日益提高的信号处理需求。与常规 DSP 器件相比,FPGA 器件配合传统的 DSP 器件可以处理更多信道,可在基站中用来实现高速处理功能。

DSP 在无线电通信方面的应用也极其广泛,无论是基站还是手机都离不开 DSP 芯片,新型无线通信系统、设备的升级换代都基于 DSP 芯片性能的提高和发展,无线 Modem、多媒体高级终端等都依赖于 DSP 芯片,基于 DSP 的软件无线电成为当前无线电通信中的研究热点。

不论 DSP 市场如何风云变幻,有一点是毫无疑问的,DSP 技术将会突飞猛进地发展,DSP 产品将会在很多方面改变我们的生活。