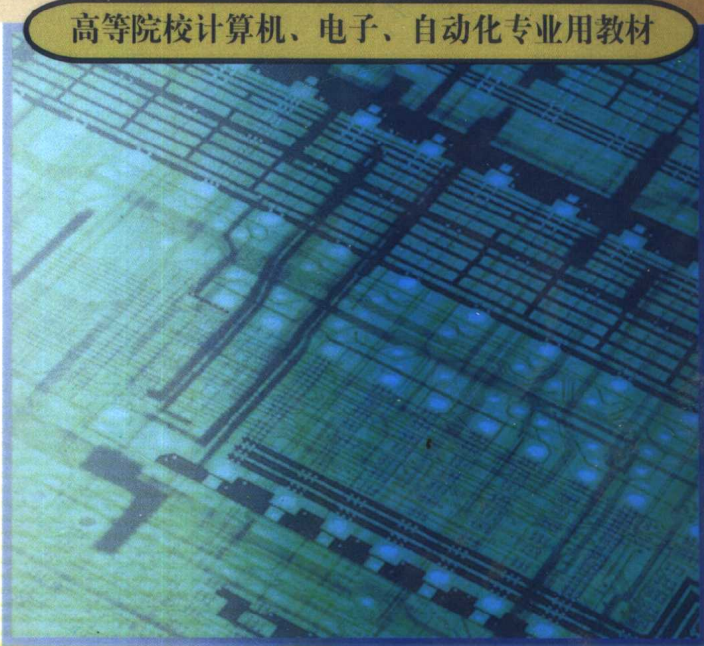


高等院校计算机、电子、自动化专业用教材



本书配套光盘内容包括:

1. “EDA 软件工具的使用”多媒体软件
2. “电子线路图设计大师”多媒体软件

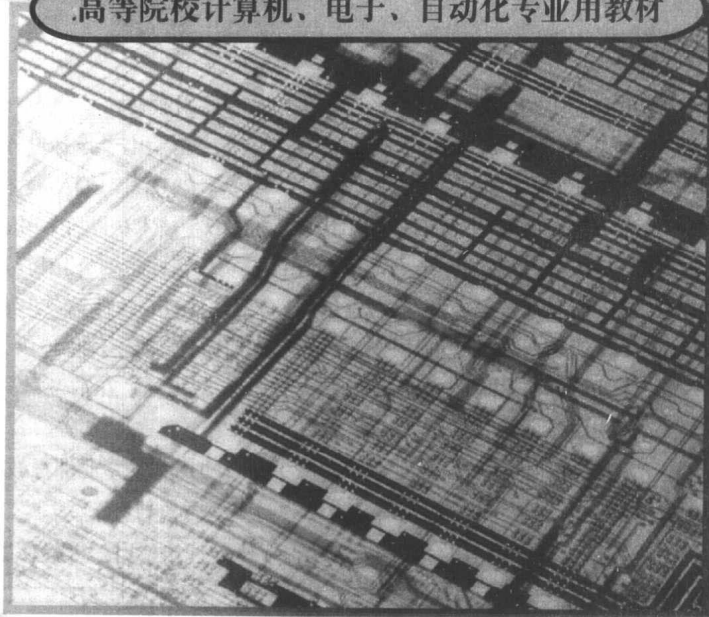
电子设计自动化 应用技术

路而红 高献伟 冼立勤 编著
希望图书创作室 审校



北京希望电子出版社
Beijing Hope Electronic Press
www.bhp.com.cn

高等院校计算机、电子、自动化专业用教材



本书配套光盘内容包括:

1. “EDA 软件工具的使用”多媒体软件
2. “电子线路图设计大师”多媒体软件

电子设计自动化 应用技术

路而红 高献伟 冼立勤 编著
希望图书创作室 审校

蕴



北京希望电子出版社
Beijing Hope Electronic Press
www.bhp.com.cn

7/399/31

内 容 简 介

本书为高校计算机、电子、自动化相关专业用教材。

电子设计自动化(EDA)是将计算机技术应用于电子设计过程的一门新技术,它给数字系统设计带来了革命性的变化。本书是作者在总结多年从事PLD和EDA技术教学、科研工作经验的基础上编著而成,内容系统,实用性强,对90年代以来的EDA技术从硬件、软件到应用做了全面的介绍。

全书共分三大部分:第一部分为EDA硬件篇,主要介绍可编程器件原理,重点介绍各种可编程逻辑的基本工作原理及其资源状况等;第二部分为EDA软件篇,主要介绍PC环境下的两种EDA软件工具,同时介绍了两种硬件描述语言,即应用范围较广的硬件描述语言ABEL-HDL和日益受到重视的国际标准化硬件描述语言VHDL;第三部分为EDA应用篇,在前两篇的基础上,介绍了数字系统设计的基本概念及其应用举例。

本书既可作为高等院校计算机、电子和自动化相关专业课程教材,也可作为社会相关技术培训教材,还可供从事电子设计的工程技术人员作为技术参考资料。

本书配套光盘内容包括:1.“EDA软件工具的使用”多媒体软件;2.“电子线路图设计大师”多媒体软件。

系 列 书 名	“九五”国家重点电子出版物规划项目·希望计算机知识普及系列		
书 本 著 作	电子设计自动化应用技术		
文 本 著 作	路而红 高献伟 洗立勤		
责 任 编 辑 / 审 校	朱培华 王素莲		
C D 制 作 者	希望多媒体制作中心		
C D 测 试 者	希望多媒体测试中心		
出 版 / 发 行 者	北京希望电脑公司 北京希望电子出版社		
地 址	北京海淀路82号(100080)		
	网址: www.bhp.com.cn		
	E-mail: lwm@hope.com.cn		
	电话: 010-62562329, 62541992, 62637101, 62637102(图书发行,技术支持)		
	010-62633308, 62633309(多媒体发行,技术支持)		
	010-62613322-215(门市) 010-62531267(编辑部)		
经 销	各地新华书店、软件连锁店		
排 版	北京希望图书照排中心		
C D 生 产 者	文录激光科技有限公司		
文 本 印 刷 者	北京媛明印刷厂		
规 格 / 开 本	787毫米×1092毫米	16开本	16印张 365千字
版 次 / 印 次	2000年1月第1版	2000年1月第1次印刷	
印 数	0001—5000册		
本 版 号	ISBN 07-900031-22-7/TP·22		
定 价	28.00元(1CD,含配套书)		

说明:凡我社光盘配套图书若有自然破损、缺页、倒页、脱页者,本社发行部负责调换。

序

电子设计自动化(EDA)是将计算机技术应用于电子设计过程而形成的一门新技术,它已被广泛应用于电子电路的设计和仿真、集成电路的版图设计、印刷电路板(PCB)的设计以及可编程器件的编程等各项工作中。

早期的EDA技术很大一部分是用于集成电路版图的设计,所以,那时的EDA技术还没有成为各行各业工程技术人员都需要使用的一门技术。

七十年代初微电子技术取得的成功有力地推动了计算机技术的发展,也促进了EDA技术的飞速进步。EDA技术的进步反过来又极大地加快了微电子技术的发展进程。

九十年代微电子技术的一个重要成果就是各种可编程器件的相继研制成功和投放市场,其中尤以可编程逻辑器件(PLD)的发展和推广使用更为迅速。今天,在设计一个具有相当规模的数字系统时,可以使用EDA技术手段,把整个数字系统“写入”一片大规模集成的可编程逻辑器件中,形成“片上”系统。这种“片上”系统完全可以取代从前用数片中、小规模集成电路组成的系统。这样,EDA技术就不再仅仅是专门从事电子技术专业人员必需掌握的一门技术了,而是所有想使用PLD设计应用电路的工程技术人员和科研工作者都应掌握的一门技术。

随着可编程器件(包括可编程逻辑器件、可编程模拟器件和可编程数-模混合器件)的品种不断增加、功能不断完善,广大技术人员和科研工作者(包括大量的非电子专业的人员)将更多地使用可编程器件设计自己的电子电路和产品,所以EDA技术的应用也将更加普及。因此,在高等学校的电子技术课程教学中引入EDA技术的内容就显得十分必要了。同时,在技术人员中普及EDA技术及PLD的应用知识也具有重要意义。

《电子设计自动化应用技术》一书全面地介绍了PLD的基础知识和最新成果,同时详细讲解了ISP Synario System和MAX+Plus II这两种比较流行的PLD编程软件。此外,还对VHDL和ABEL-HDL两种常见的硬件描述语言作了具体介绍。由于在本书中融进了作者在多年从事PLD及EDA技术教学、科研工作中的丰富经验,所以不仅概念阐述清楚、系统性好,而且有很强的实用性。这样,就不仅能帮助读者从理论上对于如何使用EDA手段开发应用可编程逻辑器件有一个全面、系统的了解,而且能按照书中的介绍,用ISP Synario System和MAX+Plus II去实地进行PLD的编程操作。

当前国内许多高等院校都在开展EDA实验基地建设和将EDA技术引进电子技术教学内容的工作。各行各业的科技人员也在积极学习和应用EDA技术。《电子设计自动化应用技术》的出版可谓正当其时,因此无论对于正在学习EDA技术及PLD应用的广大师生,还是对于希望掌握这一技术的科技人员,它都是一本理论和实际应用相结合的好教材。

阎石 教授

1999年11月
于清华大学

前 言

近年来, 电子设计自动化 (EDA) 技术的发展给数字系统设计带来了革命性的变化。EDA 有两个技术基础, 一是可编程逻辑器件 (PLD), 二是 EDA 软件设计工具, 这两方面的发展已经使 EDA 走向实际应用。但是这种颇具前途的技术在国内还处于初级应用阶段, 因此, 我们认为应尽快将 EDA 的应用技术引入高等院校电子类专业的课程中, 使学生能跟上电子技术的发展, 掌握 EDA 技术的应用。基于这种想法, 我们编写了这本书。

本书内容分为三个部分: 第一部分是 EDA 技术的硬件篇, 重点介绍各种可编程逻辑器件。国际上生产 PLD 的公司很多, 我们选择了世界上主流公司的 PLD 产品, 这些公司在国内的市场份额较大, 主要有 Xilinx、Lattice、Altera 三家。对于这三家公司生产的可编程逻辑器件原理、特点及其性能, 书中给出了详尽的介绍, 并附有各公司可编程逻辑器件的主要性能参数, 这就大大方便了读者选择和使用 PLD 器件。

第二部分是 EDA 技术的软件篇。重点介绍的 EDA 软件工具有: Lattice 公司的 ISP Synario System 和 Altera 公司的 MAX+plus II。这两种工具的特点是: 对硬件环境要求低、占用资源少、易学易用。书中对这两种软件的基本结构、主要功能及其使用作了较为全面的介绍。由于硬件描述语言 (VHDL) 越来越受到从事硬件设计, 特别是从事数字系统设计人们的关注, 所以在本篇我们还详细介绍了 VHDL 的语言结构和应用实例。

第三部分是 EDA 技术的应用篇, 对数字系统设计的基本概念、设计过程及其方法进行了阐述。

本书第一、二章由冼立勤编写, 第三、四、七章由高献伟编写, 第五、六、九和十章由路而红编写。全书由路而红负责统稿。

感谢清华大学自动化系阎石教授在百忙之中抽出时间为本书作序。感谢清华大学自动化系电子学教研组提供的帮助。在本书的编写过程中, 还得到了北京电子科技学院电子技术教研室的程代伟讲师、201 教研室的田伏荣副教授和科设处王九林高级工程师的大力支持, 通信工程专业的王启泽和陈凤江同学, 计算机科学与技术专业的黄铃葳同学为本书的出版做了许多工作, 在此表示谢意。由于 EDA 技术发展快、各器件公司的产品更新更快, 加之编者水平有限, 疏漏或错误之处, 敬请读者批评指正。

编 者

1999 年 8 月

于北京电子科技学院



目 录

序	
前言	
第 1 章 可编程逻辑器件基本原理	1
1.1 PLD 概述	1
1.2 PAL 器件	5
1.3 GAL 器件	9
第 2 章 ISP-PLD	18
2.1 ISP 器件概述	18
2.2 高密度 ISP-PLD 原理	18
2.3 低密度 ISP-PLD 原理	31
2.4 ISP-GDS 原理	31
2.5 Lattice 公司 ISP-PLD 器件性能	33
第 3 章 EPLD	36
3.1 EPLD 概述	36
3.2 EPLD 结构原理	36
3.3 ALTERA 公司 EPLD 器件性能	53
第 4 章 CPLD	55
4.1 CPLD 概述	55
4.2 CPLD 结构原理	55
4.3 ALTERA 公司 CPLD 器件性能	72
第 5 章 FPGA 器件	74
5.1 FPGA 概述	74
5.2 FPGA 结构原理	78
5.3 FPGA 的配置模式	91
5.4 FPGA 的开发	96
5.5 Xilinx 公司 FPGA 器件性能	98
第 6 章 EDA 技术综述	101
6.1 EDA 发展回顾	101
6.2 EDA 系统构成	103
6.3 EDA 工具发展趋势	105
第 7 章 VHDL	107
7.1 标识符、数据对象、数据类型及属性	107
7.2 运算符	112
7.3 VHDL 基本概念	114
7.4 并行语句	120
7.5 顺序语句	126
7.6 描述风格	132
7.7 基本逻辑电路设计	136
第 8 章 ISP Synario System 操作指南	159
8.1 概述	159
8.2 ABEL-HDL 语法规则及编程	161
8.3 ISP Synario System 开发工具	178
第 9 章 MAX+plus II 操作指南	200
9.1 概述	200
9.2 MAX+plus II 操作指南	201
第 10 章 数字系统设计	229
10.1 数字系统的基本概念	229
10.2 数字系统设计步骤	229
10.3 寄存器传输语言 (RTL)	231
10.4 算法状态机 (ASM)	236
参考文献	246

第 1 章 可编程逻辑器件基本原理

1.1 PLD 概述

可编程逻辑器件(Programmable Logic Device, 简称 PLD)是一种由用户编程以实现某种逻辑功能的新型逻辑器件。它诞生于 70 年代。80 年代后,随着集成电路技术和计算机技术的发展而迅速发展。自问世以来,PLD 经历了从 PROM, PLA, PAL, GAL 到 FPGA, ispLSI 等高密度 PLD 的发展过程。在此期间,PLD 集成度、速度不断提高,功能不断增强,结构趋于更合理,使用变得更灵活方便。PLD 的出现,打破了由中小规模通用型集成电路和大规模专用集成电路垄断的天下。与中小规模通用型集成电路相比,用 PLD 实现数字系统,有集成度高、速度快、功耗小、可靠性高等优点。与大规模专用集成电路相比,用 PLD 实现数字系统,有研制周期短、先期投资少、无风险、修改逻辑设计方便、小批量生产成本低等优势。可以预见,在不久的将来,PLD 将在集成电路市场占统治地位。

1.1.1 PLD 基本结构

基本结构

PLD 的基本结构如图 1.1 所示。它由输入缓冲、与阵列、或阵列和输出结构等四部分组成。其中可以实现与一或逻辑的与阵列和或阵列是电路的核心,由与门构成的与阵列用来产生乘积项,由或门构成的或阵列用来产生乘积项之和形式的函数。输入缓冲电路可以产生输入变量的原变量和反变量。输出结构相对于不同的 PLD 差异很大,有些是组合输出结构,有些是时序输出结构,还有些是可编程的输出结构。输出信号往往可以通过内部通路反馈到与阵列的输入端。

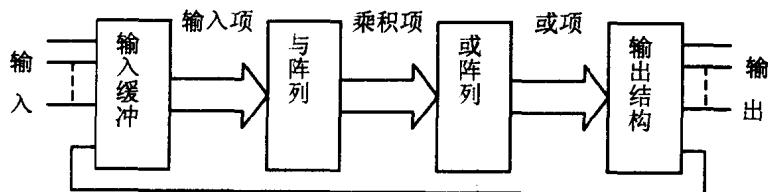


图 1.1 PLD 的基本结构框图

PLD 电路表示法

PLD 电路表示法与传统表示法有所不同,主要因为 PLD 的阵列规模十分庞大,如用传统表示法极不方便。在图 1.2 中给出了 PLD 的三种连接方式。连线交叉处有实点的表示固定连接;有符号“×”的表示编程连接;连线单纯交叉表示不连接或者是擦除单元。

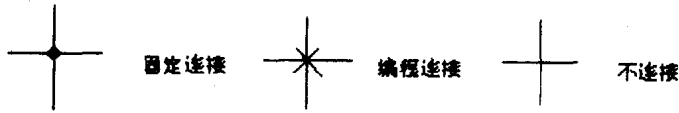


图 1.2 PLD 的连接方式

图 1.3 中是一个三输入与门的两种表示法，即传统表示法和 PLD 电路表示法。在输入很多的情况下，PLD 表示法显得简洁。

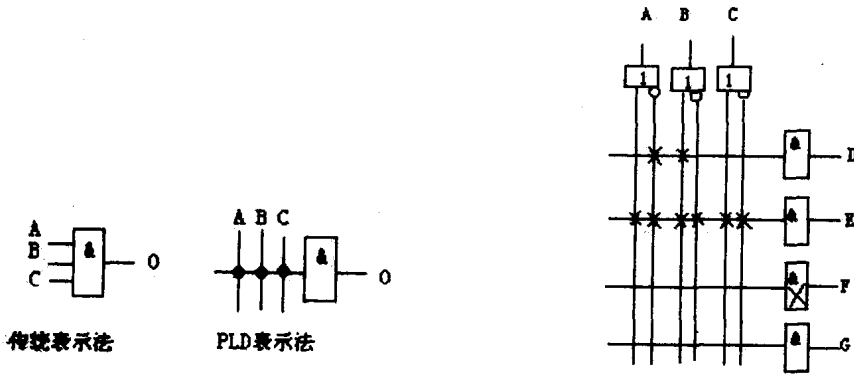


图 1.3 与门表示法

图 1.4 三输入的与阵列

图 1.4 为三输入的与阵列。其中输入变量 A, B, C 分别通过具有互补输出端的输入缓冲器，将它们的原变量和反变量输入。第一个与门输出为 $D = \overline{A}B$ ，第二个与门输出为 $E = A\overline{A}B\overline{C}C = 0$ ，这种状态称作与门的缺省状态，为了表示方便，可以在相应与门符号中加一个“×”，以代替所有输入项所对应的“×”。即如第三个与门所表示的那样， $F=0$ 。第四个与门与所有输入都不接通，即它的输入是悬空的，因此 $G=1$ ，一般将其称作“悬浮 1”状态。

1.1.2 PLD 分类

按与或阵列可编程性分类

根据与阵列和或阵列是否可编程，PLD 可分为三种基本类型。

1. 与阵列固定、或阵列可编程的 PLD

如图 1.5 所示，与阵列是一个全译码的固定阵列，输入为 n 个变量，输出则为 n 个变量的 2^n 个最小项。或阵列是可编程的（由用户编程）。每一个输出可根据需要任意选择一些最小项相或，从而在输出端产生若干个最小项之和的函数。

最早的产品可编程只读存储器 PROM (Programmable Read Only Memory) 就是采用这种形式。PROM 能够较方便地实现多输入多输出组合函数。由于它以最小项为基础, 因此在设计中无须对函数化简。它的缺点主要是当它的输入增加时, 它的与阵列输出 (即乘积项) 个数以 2 的级数增加, 这样导致与乘积项成正比的芯片面积、成本和开关延时相应迅速增加。再加上总有相当一部分最小项没被使用, 使得它的芯片利用率较低。

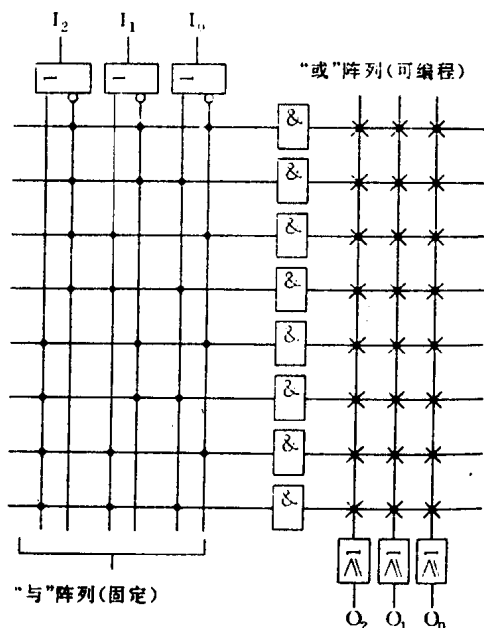


图 1.5 与阵列固定、或阵列可编程的 PLD

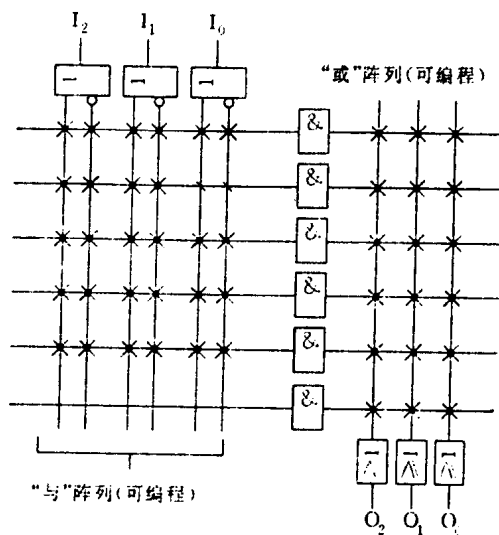


图 1.6 与阵列和或阵列均可编程的 PLD

2. 与阵列和或阵列均可编程的 PLD

如图 1.6 所示, 与阵列不再采用全译码方式, 而是采用部分译码方式。通过编程使其产生函数所需要的乘积项, 乘积项不一定是全部 n 个输入的组合。或阵列仍是可编程的, 它选择所需要的乘积项相或, 在输出端产生乘积项之和的函数。

可编程逻辑阵列 PLA (Programmable Logic Array) 采用了以上结构。PLA 与 PROM 相比, 有效地提高了芯片利用率, 缩小了系统体积。但由于制造工艺复杂, 器件工作速度不够高, PLA 现在已不常使用。

3. 与阵列可编程或阵列固定的 PLD

如图 1.7 所示, 与阵列可编程, 或阵列固定。这种结构不仅能实现大多数逻辑功能, 而且提供了最高的性能和速度, 是 PLD 目前发展的主流。

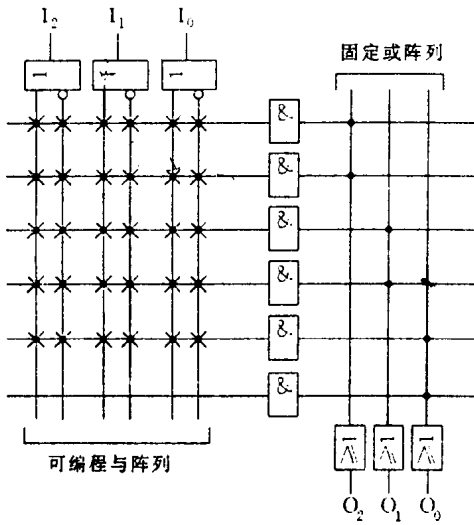


图 1.7 与阵列可编程、或阵列固定的 PLD

按集成度分类

随着集成工艺的发展，PLD 的集成规模越来越大，集成度从几百门/每片发展到几千门/每片，甚至几十万门/每片。如根据集成度来分类，PLD 可分为低密度可编程逻辑器件 (LDPLD) 和高密度可编程逻辑器件 (HDPLD) 两大类。

1. 低密度可编程逻辑器件 (LDPLD)

低密度 PLD 通常指那些集成度小于 1000 门/每片的 PLD。从 70 年代初期至 80 年代中期产生的 PLD 如 PROM, PLA, PAL 和 GAL 均属于 LDPLD，低密度 PLD 与中小规模集成电路相比，有着集成度高、速度快、设计灵活方便、设计周期短等优点，也因此得到广泛应用。但随着科学技术的发展，低密度 PLD 由于集成密度低的局限，很难满足大规模以及超大规模 ASIC 在规模上和性能上的要求。

2. 高密度可编程逻辑器件 (HDPLD)

高密度 PLD 通常指那些集成度大于 1000 门/每片的 PLD。80 年代中期以后产生的 EPLD, CPLD 和 FPGA 均属于 HDPLD。

EPLD(Erasable Programmable Logic Device)即可擦除可编程逻辑器件。从结构上看类似 GAL，但它与 GAL 相比，无论是与阵列的规模还是输出逻辑宏单元的数目都有了大幅度的增加。EPLD 的缺点主要是内部互连能力较弱。

CPLD(Complex Programmable Logic Device)即复杂可编程逻辑器件。不同的半导体器件公司推出的 CPLD 结构差异很大，但至少包含可编程逻辑宏单元，可编程 I/O 单元和可编程内部连线这几部分。在 CPLD 中数目众多的逻辑宏单元被排成若干个阵列块，丰富的内部互连线则为块与块之间提供了快速、具有固定延时的通路。Xilinx 公司的 XC7000 和 XC9500 系列，Lattice 公司的 ispLSI 系列，Altera 公司的 MAX9000 系列，以及 AMD 公

可编程阵列逻辑 PAL (Programmable Array Logic) 采用了以上结构，PAL 的输出结构种类很多，不同的输出结构对应不同的型号，用户可以根据不同的需要，灵活地选择相应的型号。

通用阵列逻辑 GAL (Generic Array Logic) 也采用了上述结构。与 PAL 不同的是，GAL 用可编程的输出逻辑宏单元 OLMC (Output Logic Macro Cell) 代替了固定的输出结构。用户可以对 OLMC 自行组态，以构成不同的输出结构，因而 GAL 使用起来比 PAL 更灵活。

此外，大多数新型 PLD 也都采用了上述结构。

司的 MACH 系列都属于 CPLD。

FPGA(Field Programmable Gate Array)即现场可编程门阵列。从结构上看,它包含可编程逻辑块,可编程 I/O 模块和可编程内连线。可编程逻辑块排列成阵列,可编程内连线围绕着阵列。通过对内连线编程,将逻辑块有效地组合起来,实现一定的逻辑功能。FPGA 与 CPLD 之间主要的差别是 CPLD 通过修改具有固定内连电路的逻辑功能来进行编程,而 FPGA 则是通过修改内部连线来进行编程。许多半导体器件公司都有自己的 FPGA 产品。

按编程工艺分类

1. 熔丝或反熔丝编程器件

熔丝编程器件在每个可编程的互连接点上都接有熔丝开关,如接点需要连接时则保留熔丝,如接点需要断开时则用编程大电流熔断熔丝。熔丝开关的缺点是熔断后不能再恢复。而且熔丝开关很难测试其可靠性,此外熔丝开关占芯片面积较大,对提高器件集成度不利。

反熔丝编程器件以反熔丝开关作为编程元件,与熔丝开关相比,反熔丝开关占芯片面积小得多。反熔丝开关的核心是介质,未编程时开关呈现很高的阻抗,当编程电压加在开关上将介质击穿后,开关则呈现导通状态。

以上两种器件均为非易失一次性编程器件。PROM, PAL 采用了熔丝编程工艺,Actel 的 FPGA 采用了反熔丝编程工艺。

2. 浮栅编程器件

浮栅编程器件采用了浮栅编程技术,包括紫外线擦除电编程的 UVEPROM,电擦除电编程的 EEPROM。它们都是采用悬浮栅存储电荷的方法来保存数据的。

UVEPROM 存储单元的核心是一个浮栅 MOS 管。该 MOS 管绝缘层中埋置一个栅极,称悬浮栅。编程电压脉冲可对浮栅 MOS 管中的悬浮栅注入电子,使浮栅 MOS 管处于截止状态。而照射紫外线又可将浮栅中的电子泄放使得浮栅 MOS 管恢复导通。

EEPROM 中的浮栅 MOS 管与 UVPROM 中的浮栅 MOS 管有所不同,采用了浮栅隧道氧化物工艺。在编程时加编程电脉冲使浮栅注入电子,在擦除时也是靠电脉冲使浮栅中的电子通过隧道效应泄放。

浮栅编程器件属于非易失可重复擦除器件。GAL, EPLD, CPLD 大都采用了以上工艺。

3. SRAM 编程器件

SRAM 即静态存储器,在片中的作用是存储决定系统逻辑功能和互连的配置数据,所以又称配置存储器。SRAM 属于易失元件,所以每次系统加电时,先要将驻存在外部 EPROM 或硬盘中的编程数据加载到 SRAM 中去。采用 SRAM 技术可以方便地装入新的配置数据实现在线重置。Xilinx 的 FPGA 采用了这种技术。

1.2 PAL 器件

1.2.1 PAL 器件概述

可编程阵列逻辑器件是 70 年代末发展起来的。它的基本结构由可编程与阵列和固定

或阵列组成。PAL 器件通过适当限制或门的输入数（即输出函数中乘积项的数目），使得它无论在速度、成本还是在效率上都优于 PROM 和 PLA。另外，由于 PAL 器件有多种输出和反馈结构，可供用户根据需要选择，因而给数字逻辑设计带来较大的灵活性。

PAL 器件型号很多，通常将 PAL 器件分为 20 引脚和 24 引脚两大系列，此外还有 40（44），80（84）引脚的宏器件。也可根据 PAL 器件的速度、功耗、输出方式等为其分类。图 1.8 为 PAL 器件型号主要编码的含义。用户最关心的往往是前三个编码。

图中“阵列输入数”不仅包含所有输入数，而且包含所有反馈数。图中“输出数”分两种情况，当器件输出端没有寄存器时，该项指的就是输出数，而当器件的输出端为寄存器输出或既有寄存器输出又有组合输出时，该项指的是寄存器输出。

图 1.9 是 PAL16R6 结构图。图中可看出，与阵列共有 8×8 个与门，8 个与门为一组，共有 8 组，产生 64 个乘积项。与阵列的 64 个与门分别对应 64 条横线，每个与门有 32 个输入。8 个专用输入（引脚 2~9）加上 8 个反馈输入共 16 个阵列输入，分别通过具有互补。

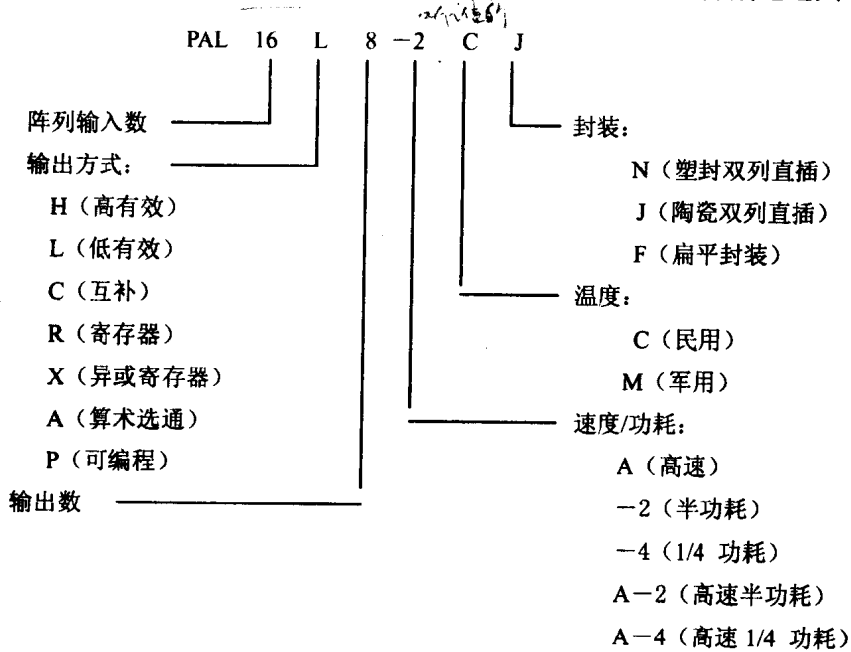


图 1.8 PAL 器件的型号编码

输出的缓冲器形成 32 个输入对应 32 条纵线。因此与阵列共有 32×64 个编程交叉点。或阵列共有 8 个或门，中间 6 个是 8 输入端或门，上下两个是 7 输入端或门。输出结构由 6 个 D 触发器、8 个三态输出缓冲器和 8 个反馈输入缓冲器组成。中间 6 个或门输出通过 D 触发器和三态缓冲器至引脚 13~18，构成 6 个寄存器输出，其中三态缓冲器的使能信号由引脚 11 提供。另外 D 触发器还产生 6 个反馈信号通过缓冲器送至与阵列。上下两个或门直接通过三态缓冲器至引脚 12，19 构成复合型双 I/O 端。当缓冲器使能端为 0，缓冲器输出为高阻，相应引脚作为输入，将外信号送至与阵列；当缓冲器使能端为 1，缓冲器输出导通，相应引脚作为输出。引脚 1 提供所有 D 触发器时钟信号。

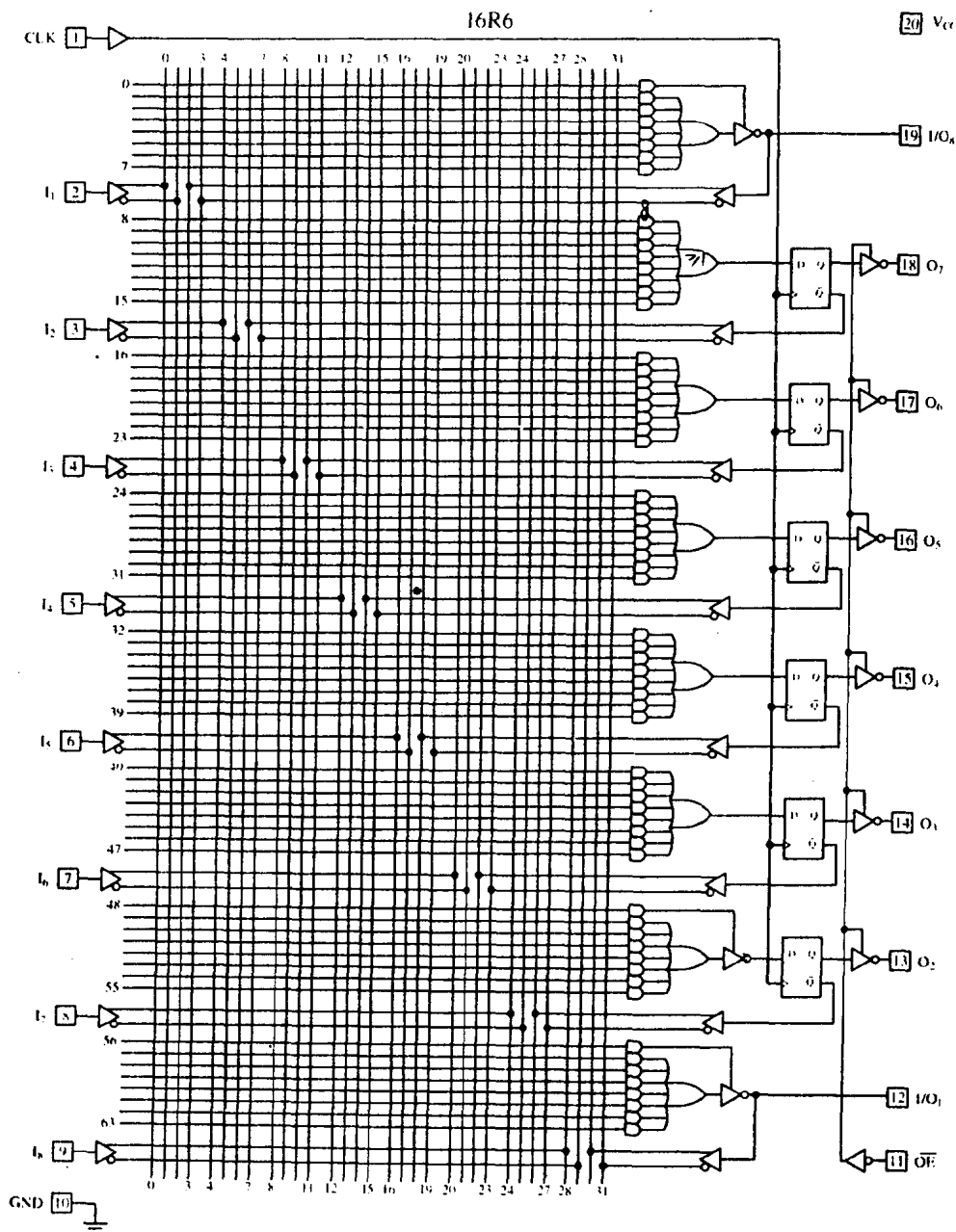


图 1.9 PAL16R6 结构图

1.2.2 PAL 器件输出与反馈结构

PAL 器件从结构上看，它们的与阵列结构是类同的，只是门阵列的规模稍有不同，区别主要在于输出结构。根据输出结构的不同，大致可以将 PAL 分为下列五种类型。

1. 专用组合输出结构

图 1.10 为专用组合输出结构逻辑图。输出门除了图示或门以外，常见的还有或非门

和带互补输出端的或门。或门（或非门）的输入端数也往往不同，一般在2~8之间。

2. 异步 I/O 输出结构

图 1.11 为异步 I/O 输出结构逻辑图。该电路的或门可以将 7 个乘积项相加，其输出通过一个三态缓冲器到达 I/O 端。三态缓冲器受最上面的与门输出控制。若该与门输出为 0，则三态门不被选通，输出为高阻态，此时 I/O 端作为输入端使用，右下方的缓冲器作为输入缓冲器。相反，若该与门输出为 1，则三态门被选通，I/O 端只能作为输出端使用，此时右下方的缓冲器将输出信号反馈到与阵列。

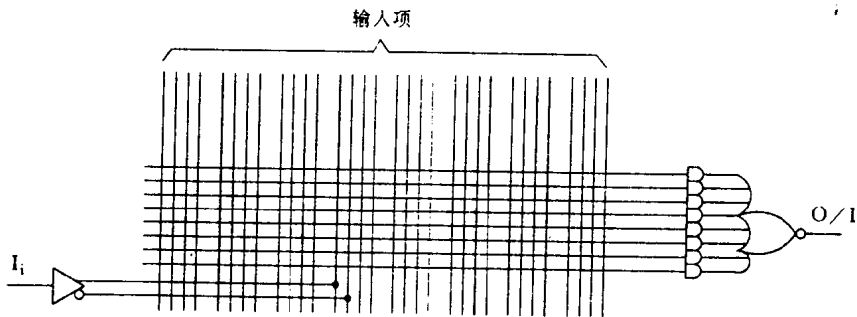


图 1.10 PAL 的专用组合输出结构

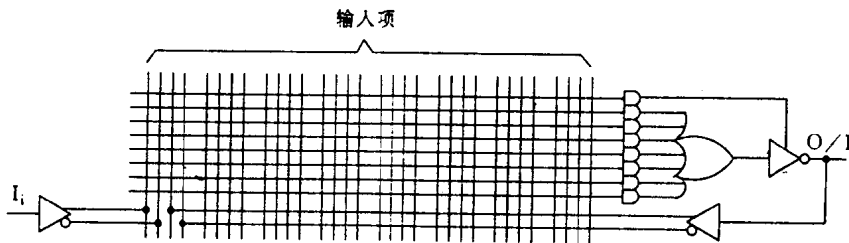


图 1.11 PAL 的异步 I/O 输出结构

3. 寄存器输出结构

图 1.12 为寄存器输出结构逻辑图。在系统时钟 CK 上升沿到达时，或门输出存入 D 触发器，D 触发器 Q 端输出通过三态缓冲器到达输出端，输出低电平有效。同时，D 触发器反相输出 \bar{Q} 端通过右下方的缓冲器反馈到与门阵列。该结构的 PAL 适用于时序电路。

4. 异或结构

图 1.13 为异或结构逻辑图。在该结构中，乘积项被分成两个和项，两个和项经过一个异或门进行异或运算后，再经 D 触发器和三态缓冲器输出。用这种结构的 PAL 实现二进制计数器非常方便。

5. 算术选通反馈结构

图 1.14 为算术选通反馈结构逻辑图。它是在异或结构基础上加入反馈选通电路得到的。反馈选通电路可以对反馈信号 A 和输入信号 B 进行逻辑运算。产生 $(A+B)$, $(A+B)$, $(A+B)$, $(A+B)$ 四种逻辑加结果，并送到与阵列中。使得与阵列中的输入含有或运算因子。

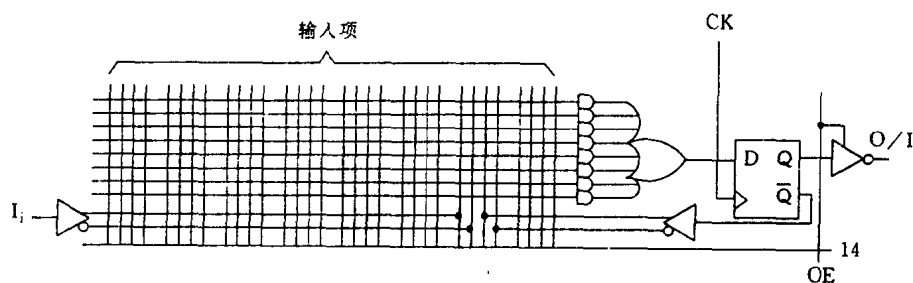


图 1.12 PAL 的寄存器输出结构

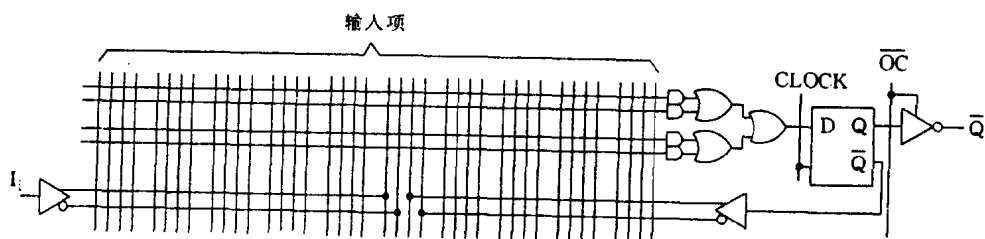


图 1.13 PAL 的异或结构

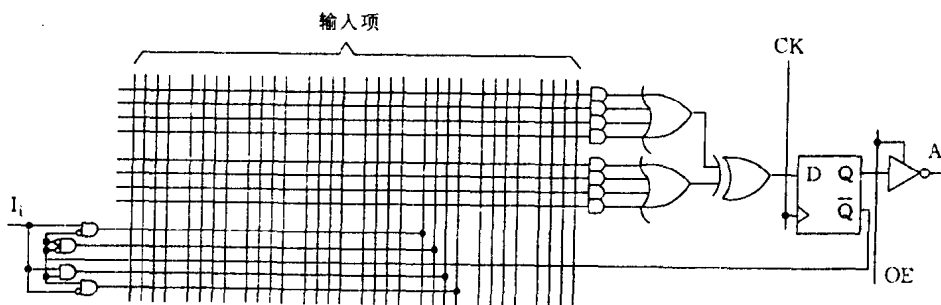


图 1.14 PAL 的算术选通反馈结构

1.3 GAL 器件

1.3.1 GAL 器件概述

性能特点

GAL 器件和 PAL 器件基本阵列相似，也是与阵列可编程或阵列固定。但是其结构、工艺、性能与 PAL 器件相比有了很大改进。

1. 采用电可擦工艺。擦除和编程都用电完成且可多次改写，使用户可方便地重新配置器件的逻辑功能。编程速度快，只需几秒即可完成。重复编程次数多，达 100 次以上。

2. 采用高性能 EECOMS 工艺，不仅功耗低（最大运行功耗为 45mA），而且速度快（存取速度为 12~25ns）。

3. 具有输出逻辑宏单元（OLMC），用户可通过编程选择其组态，大大增加了对各种

复杂逻辑设计的灵活性。GAL16V8 和 GAL20V8 两种型号即可代替绝大多数型号 PAL 器件。且参数和熔丝图完全兼容。

4. 具有加密单元, 可有效地防止复制。

分类与主要参数

GAL 器件根据不同特点分为五个系列, 即普通型、通用型、异步型、FPLA 型和在线可编程型。

1. 普通型 GAL

常见的有 GAL18V8 和 GAL20V8。

2. 通用型 GAL

常见的有 GAL18V10, GAL22V10 和 GAL26CV12。特点是在普通型 GAL 基础上简化了结构, 增加了阵列规模。

3. 异步型 GAL

常见的有 GAL20RA10, 其主要特点是所有 OLMC 均有独立的时钟端、置位端、复位端和输出使能端。因此有利于实现异步时序逻辑电路。

4. FPLA 型 GAL

常见的有 GAL39V18。特点是采用了 FPLA 结构, 即与阵列和或阵列均可编程。

5. 在线可编程型 GAL

常见的有 ispGAL16Z8。特点是不需要专门的编程器, 在系统中靠 5V 电源即可完成在线编程。

GAL 器件主要参数见表 1.1。

表 1.1 GAL 器件主要参数

器件类型		引脚数	最大传输延时 (ns)	电源电流 (mA)	输入数	输出数	阵列规模
普通型	GAL16V8	20	15,25,35	45, 90	16	8	64×32
	GAL20V8	24	15,25,35	45, 90	20	8	64×40
通用型	GAL22V10	20	15,20	115	18	10	96×36
	GAL22V12	24	10,15,25	130	22	10	132×44
	GAL26CV12	28	15,20	130	26	12	122×52
异步型	GAL20RA10	24	12,15,20,30	100	20	10	80×10
FPLA 型	GAL39V18	24	30,35	150	20	10	78×64× 36
在线可 编程型	ispGAL16Z8	24	20,25	90	16	8	64×32

1.3.2 普通型 GAL 器件

GAL 器件的基本结构

普通型 GAL 器件的型号不多，常见的有 GAL16V8 和 GAL20V8，它们的结构大体相同，只是器件引脚数和容量有所不同。GAL16V8 的逻辑图如图 1.15 所示。下面以 GAL16V8 为例加以说明。

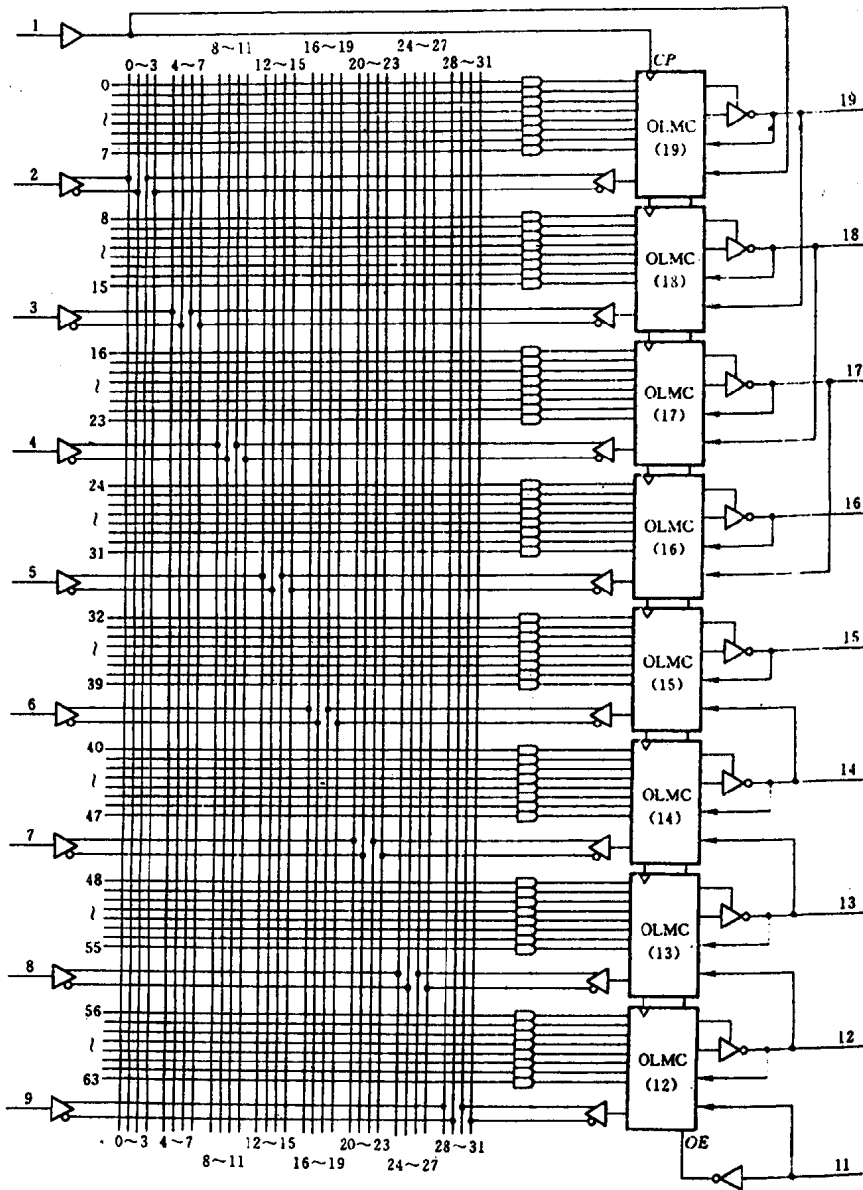


图 1.15 GAL16V8 逻辑图