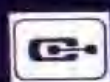
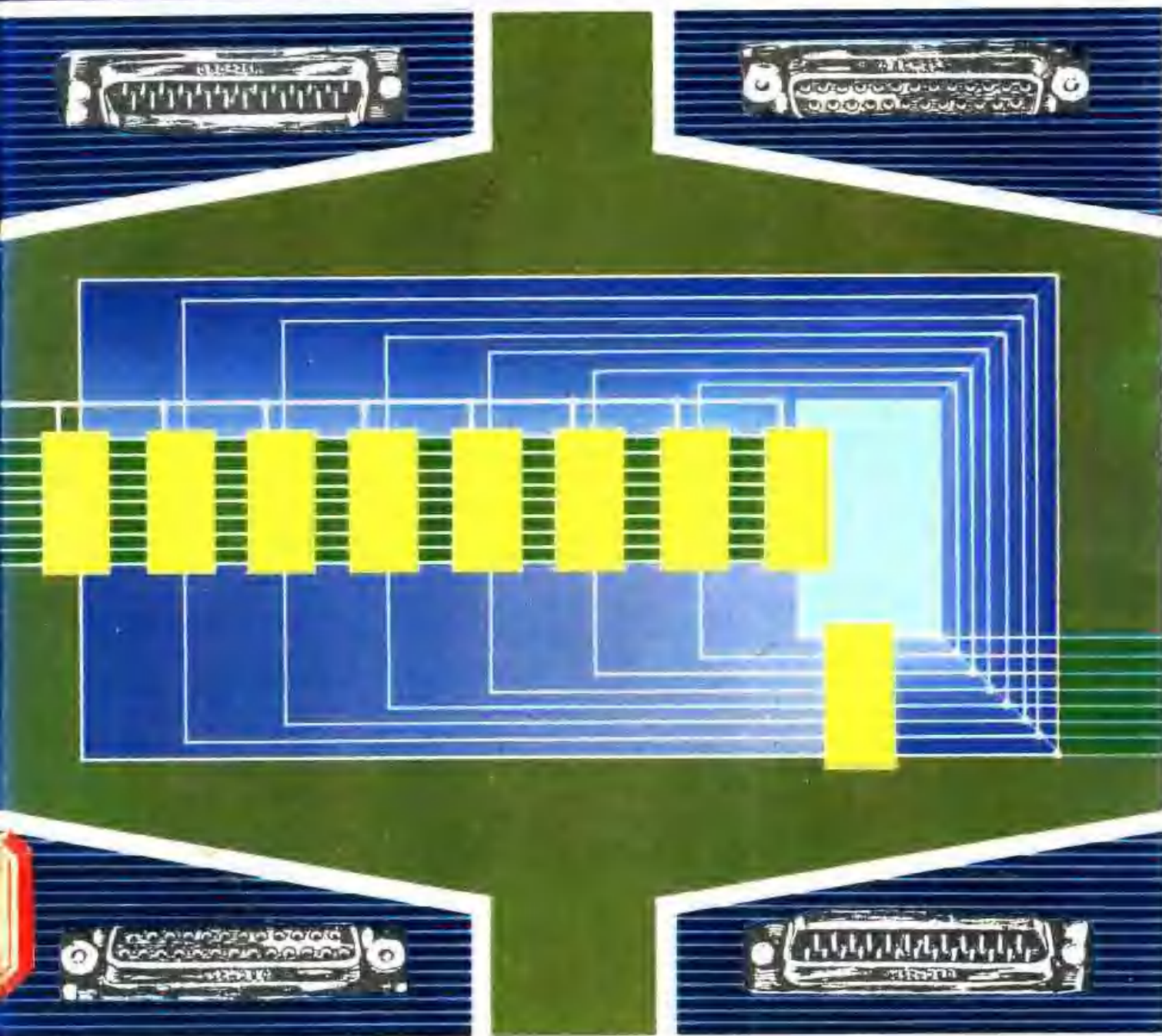


微處理機界面技術

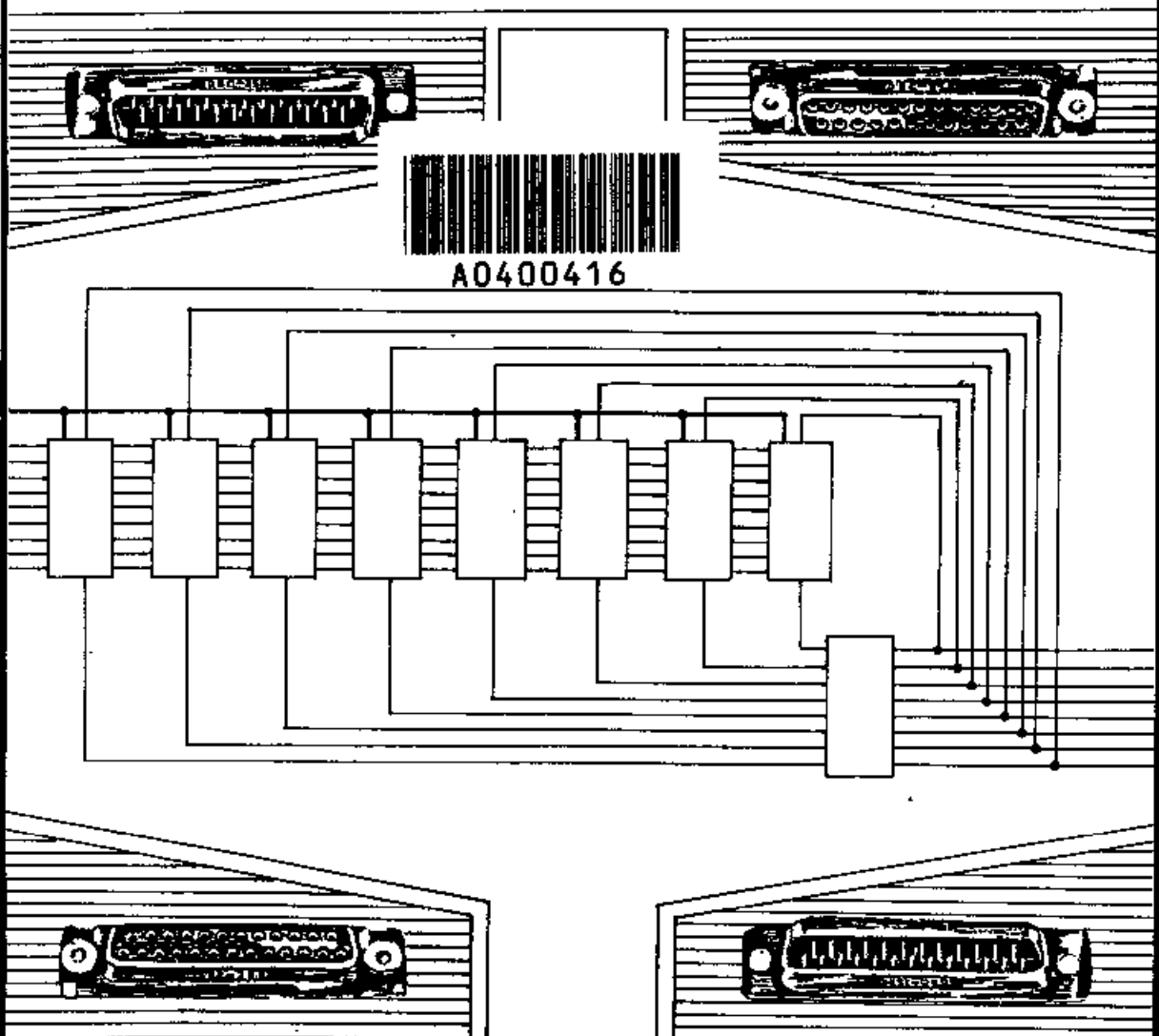
張靖駭 編著



全華科技圖書股份有限公司 印行

微處理機界面技術

張靖駭 編著



全華科技圖書股份有限公司 印行

 **全華圖書**

法律顧問：陳培豪律師

微處理機界面技術

張靖駭 編著

出版者 全華科技圖書股份有限公司

地址 / 台北市龍江路76巷20-2號2樓

電話 / 5811300 (總機)

郵撥帳號 / 0100836-1 號

發行人 陳 本 源

印刷者 華 一 彩 色 印 刷 廠

門市部 全友書局(黎明文化大樓七樓)

地址 / 台北市重慶南路一段49號7樓

電話 / 3612532 • 3612534

定 價 新臺幣 260 元

二版 / 76年 3 月

行政院新聞局核准登記證局版台業字第〇二二三號

版權所有 翻印必究

圖書編號 0221115

序 言

筆者從事微處理機研究開發工作數年，其間常為資料短缺難求所苦，故常思索能在工作之餘聚三五好友將設計有關資料編纂成冊，以利有志於研究開發工作者研究參考，故於七十四年十月著手編纂本書，待日後公餘再着手執編第二冊設計參考叢書。

本書重點如下：

- 微電腦傳輸界面設計及控制
- EPROM及PROM燒入器設計方法
- 微電腦記憶電路設計及相關時序控制
- 終端機設計技術
- 語音控制界面與電話機連線技術
- I/O界面控制技術

本書主要目的在介紹微電腦架構中幾個基本單元的設計，讀者參閱本書後再靈活運用，必能着手設計微電腦產品。

設計是一項必需自己動手的工作，光看是沒有用的。在設計之初必先參考別人的產品逐步研究分析進而證實，日久必定精進，再動手設計自己的構想，必定成為優秀工程師。

本書得以完成有賴好友宋工程師俊德兄幫助，更感激全華科技圖書公司的支持，對此深表謝意。

筆者才疏，僅憑一股熱心編寫此書，錯誤及不詳之處難免，尚祈先進不吝指正賜教，以便再版時修正。

謹將此書贈予多所關懷的妻子楊淑霞女士，感念她對我的關懷。

張 靖 駭 謹識

我們的宗旨：

**推展科技新知
帶動工業升級**

**為學校教科書
推陳出新**

感謝您選購全華圖書
希望本書能滿足您求知的慾望

「圖書之可貴，在其量也在其質」，量指圖書內容充實，質指資料新穎夠水準。我們本著這個原則，竭心盡力地為國家科學中文化努力，貢獻給您這一本全是精華的“全華圖書”

為保護您的眼睛，本公司特別
採用不反光的米色印書紙！！

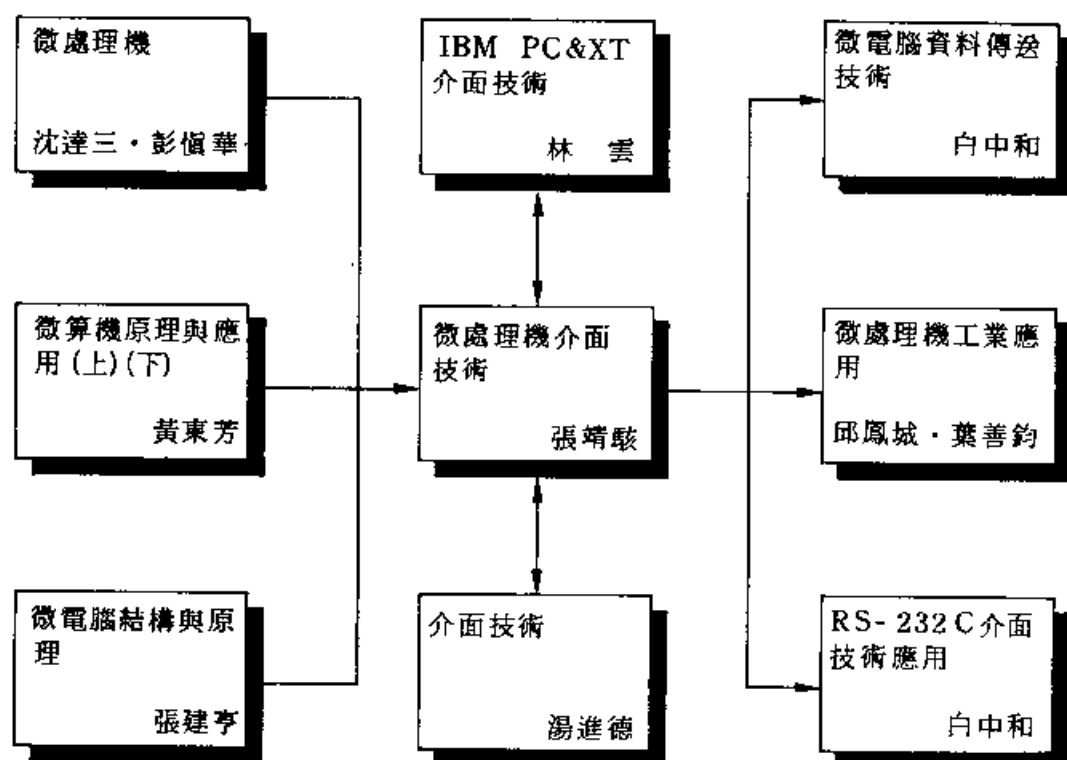
編輯部序

「系統編輯」是我們的編輯方針，我們所提供給您的，絕不只是一本書，而是關於這門學問的所有知識，它們由淺入深，循序漸進。

本書是作者從事微處理機研究開發工作數年累積之資料與心得編纂而成，主要在介紹微電腦架構中各基本單元的設計，內容有微電腦傳輸界面設計及控制、EPROM及PROM燒入器設計方法、微電腦記憶電路設計及終端機設計技術等單元，除可供工專電子科介面技術教本用之外，對從事介面設計之人員而言，更堪稱最具價值之參考書。

同時，爲了使您能有系統且循序漸進研習介面方面叢書，我們以流程圖方式，列出各有關圖書的閱讀順序，以減少您研習此門學問的摸索時間，並能對這門學問有完整的知識。若您在這方面有任何問題，歡迎來函連繫，我們將竭誠爲您服務。

流程圖



全華書局電腦相關圖書

- 1037 RS-232C介面技術應用
白中和編譯
20K 136頁 120元
- 852 IEEE-488原理與應用
蔡毓琛編譯
20K 184頁 150元
- 1063 Apple II 應用專題製作
謝光俊編著
20K 368頁 220元
- A035 IBM PC & XT 介面技術
林雲編譯
20K 256頁 170元
- 823 介面技術
湯進德編譯
20K 336頁 210元
- 921 微電腦控制手冊
王立康編譯
20K 296頁 220元
- 686 微處理機工業應用
邱鳳城·葉善鈞編譯
20K 320頁 200元

● 上列書價若有變動
請以最新目錄為準

目 錄

1

微處理機應用電路設計篇

1.1	前 言	2
1.2	EPROM規劃器電路設計	2
1.2-1	EPROM規劃器硬體說明	3
1.2-2	EPROM規劃器時序周期控制	7
1.2-3	EPROM規劃器控制流程	9
1.2-4	EPROM規劃器倍增方式	11
1.3	BI-POLAR PROM規劃器電路設計	12
1.4	80行終端機電路設計	15
1.4-1	終端機電路動作方式	15
1.4-2	影像訊號控制電路	18
1.4-2 A	點速率及字元時鐘	18
1.4-2 B	水平同步、垂直同步及亮度控制信號	21
1.4-2 C	畫面記憶體控制電路	21
1.5	代碼起動式RS-232 C控制器	22
1.5-1	控制器功能分析	23
1.5-2	控制器硬體結構	23
1.5-3	控制器——MICROMUX電路設計	25
1.5-4	MICROMUX程式設計	27
1.5-4 A	BASIC控制方法	28
1.5-4 B	組合語言控制方法	30
1.6	觸音交互式資訊系統	33
1.6-1	雙音多重頻率觸音系統原理	33

1.6-2	DTMF 編碼器	35
1.6-3	DTMF 解碼器	35
1.6-4	交互式資訊系統	39
1.6-4 A	TIMS 系統功能介紹	39
1.6-4 B	TIMS 電腦界面電路	42
1.6-4 C	CH1810 電話控制線	45
1.6-4 D	TIMS 界面連線作業	46
1.6-4 E	CH1810 腳位說明	47
1.7	語音辨識系統——LIS'NER 1000 與APPLE - II	48
1.7-1	GI-SP1000 語音合成器功能簡介	49
1.7-2	LIS'NER 1000 語音合成及分析器設計	51
1.7-3	SP-1000 程式控制	57

2

靜態記憶體應用技術

2.1	前 言	62
2.2	SRAM 工作周期規格	62
2.3	SRAM 電路設計	65
2.4	SRAM 擴增電路設計	68
2.4-1	CPU 記憶容量擴增 方式	68
2.4-2	SRAM 變為 SROM 的設計 方式	72

3

動態記憶體應用技術

3.1	前 言	76
3.2	DRAM 特性	76
3.3	DRAM 控制時序	78
3.3-1	DRAM 動作周期	78
3.3-2	DRAM 讀資料周期	80
3.3-3	DRAM 早寫 資料周期	81
3.3-4	讀修改寫入資料周期	82

3.3-5	RAS 更新資料周期	83
3.3-6	PAGE 讀資料周期	84
3.3-7	半位元組模式周期	84
3.3-8	自動更新周期	85
3.3-9	隱藏式更新周期	86
3.3-10	CAS 前 RAS 更新周期	87
3.4	DRAM 硬體設計及時序控制	87
3.4-1	Z80A 64K DRAM 硬體界面	88
3.4-2	較慢速度的 DRAM 控制方式	90
3.4-3	DRAM 時序控制實例	91
3.5	64K DRAM 設計實例	94

4

串列資訊傳輸技術

4.1	引言	100
4.2	EIA RS-232C 串列式傳輸界面	100
4.2-1	界面特性	100
4.2-2	界面信號	101
4.2-3	電氣特性及物理規格	102
4.2-4	數據機工作原理	103
4.2-4 A	數位信號調變方式	103
4.2-4 B	數據機傳輸類別	106
4.2-4 C	傳輸速率——鮑(BAUD)及 B.P.S	107
4.3	EIA RS-422 與 EIA RS-423 界面	109
4.3-1	RS-232C 使用數位信號驅動器—— SN75188	110
4.3-2	RS-232C 使用數位信號接收器—— SN75189	111
4.3-3	RS-422 使用數位信號驅動器—— SN75159	111
4.3-4	RS-422 使用數位信號接收器—— SN75157	112

4.3-5	RS-423 使用數位信號驅動器—— μ A 9636	112
4.3-6	RS-423 使用數位信號接收器—— μ A 9637	113
4.3-7	EIA 名型界面特性比較	114
4.3-7 A	單端點式傳輸	114
4.3-7 B	差動式傳輸	115
4.3-7 C	EIA 界面特性比較	116
4.4	EIA RS-232C 界面類別	117
4.4-1	非同步式界面傳輸技術	118
4.4-2	非同步式界面設計方法	119
4.4-2 A	RS-232C 設計實例	121
4.4-2 B	RS-232C 自我測試電路設計	168
4.4-2 C	RS-232C 飽率產生電路設計	178
4.4-2 D	程式化飽率產生器電路設計	180
4.4-2 E	UART 8251 A 程式啟動方法	185
4.4-3	同步式界面傳輸技術	188
4.4-3 A	BSC 資訊傳輸控制字元	189
4.4-3 B	資訊中核對錯誤方法	195
4.4-3 C	錯誤資訊偵測硬體設計	201
4.4-3 D	BSC 中方塊偵測字元 CRC 處理方式	202



並列式資訊傳輸技術

5.1	前 言	212
5.2	Centronics 並列式界面信號功能	212
5.3	印表機控制界面設計	212
5.4	Centronics 並列式印表機輸入界面設計	253
5.5	多台印表機控制界面設計	303
5.5-1	多工器印表機界面控制電路——MUX-3	303

5.6	印表機界面自我測試電路設計	328
5.7	IEEE 488 (HPIB, GPIB, IEC-625) 界面介紹	337
5.7-1	界面類別	337
5.7-2	IEEE-488 界面信號說明	338
5.7-2 A	連線信號管理信號線組	339
5.7-2 B	交談信號線組	340
5.7-2 C	資料信號線組	341
5.7-2 D	IEEE-488 位址及命令	341
5.8	Centronics 印表機緩衝器電路設計	344
5.8-1	硬體結構說明	344
5.8-2	軟體控制流程	345
附錄 A	Z80-SIO 技術資料	359
附錄 B	8251A 可程式化的傳輸界面	411
附錄 C	動態記憶體 DRAM 技術資料	425
	參考資料	449

1 微處理機應用電路

設計篇

設計篇

```
PC equ 4001H
: % UART use
: % Data
: % STATUS / COMMAND
: % R / W memory
PD equ 4000H
: % UART
: %
```

1.1	前 言	2
1.2	EPROM規劃器(Programmer)電路設計	2
1.3	BI-POLAR PROM規劃器(Programmer)電路設計	12
1.4	80-行終端機電路設計	15
1.5	代碼啓動式(Code-Activated Switch)RS-232C 控制器	22
1.6	觸音交互式資訊系統(Touch-Tone Interactive Message System)	33
1.7	語音辨識系統——LIS'NER1000與APPLE-II	48

1.1 前言

由於微處理機內部對於邏輯運算的能力 (ALU) 非常強，而且對於指令 (instruction) 的提供也很完整精簡。在電路的設計上也非常容易與其它的元件相容 (compatible)，故被廣泛的使用。

在選擇微處理晶片時必須注意以下幾點，否則一旦使用了以後而發覺“規格”及“運算能力”上的問題，就非常麻煩了。

- (1) 產品所具有之各種指令是否滿足運算時的需求。例如：

如果需要乘的運算或除的運算該 CPU 是否具有此功能指令。

如果沒有，而用其它指令拼合，是否在執行上有困難、是否會耗掉許多時間，都必須加以評估。

- (2) 晶片的中斷進入點 (interrupt entry) 是否夠用，如何使用、是否能滿足產品規格需求。

例如產品規格中需要有兩個硬體中斷進入點，該 CPU 是否有能力提供，如果沒有如此多的硬體中斷點，或是有夠用的中斷點，如何使用，是否有順序上的關係，等等。也必須加以評估。

- (3) 晶片硬體對設計時可能採用的元件，在匹配上是否有問題。

例如該晶片的位址輸出線對 TTL 元件的扇出 (fao-out) 能力僅為 1 (輸出電流僅夠驅動一個 TTL 元件)，這個時候就必須採用驅動元件使該位址線扇出的能力增加。

- (4) 晶片硬體上是否有些信號具有三態的能力，在什麼情況下會浮接，什麼情況下動作。都必須考慮清楚，加以評估。

- (5) 晶片硬體上是否提供了某些特殊功能，例如 DRAM 更新週期 (refresh cycle)，或是 RS-232 C 界面等等。

例如提供 RS-232 C 界面，則其控制方式為何 (屬於 MODEM 型或是 Local 型)。

- (6) 晶片本身工作電壓規格、電氣規格及是否有其它能力如 DMA 等。且 CPU 的執行速率是多少，各指令執行時間多少都必須加以評估。

本章中將介紹幾種微處理機應用的實例以供各位參考。

1.2 EPROM 規劃器 (Programmer) 電路設計

微處理機產品設計完成後，韌體 (firmware) 部份必須存入 ROM 內。這

裏為各位介紹 EPROM 規劃器的設計方法。讀者在瞭解了 EPROM 的規劃後可自行修改電路及控制程式，以配合自己採用的 ROM。

圖 1.1 所示電路可適用於各種型態的 ROM 使用，在運用本電路時僅需略作修改即可控制不同規格的 EPROM。

1.2-1 EPROM 規劃器硬體說明

圖 1.1 中由 IC 1 及 IC 2 兩組鎖定位提供 15 條 EPROM 位址線，也就是說本電路提供的規劃器最大可燒至 2^{15} （即 32 k）容量的 EPROM。為防止該位址線在位址遞增及遞減時造成的雜訊（如 undershoot 或是 overshoot）均加以適量的電阻以消弭雜訊的干擾性。

IC 3 74LS75 共提供了 4 位元的鎖定位功能，分別由資料線 DB_0 至 DB_3 控制 EPROM 所需要的① V_{PP} ，② OE ，③ CE 及④ PGM ，其中 V_{PP} 燒入電壓控制部份提供 V_{P245} 及 V_{P240} 兩組高壓，其中

- (1) V_{P245} ——由 DB_0 控制，電壓範圍為 $+5V \sim +24V$ 。
- (2) V_{P240} ——由 DB_0 控制，電壓範圍為 $+0V \sim +24V$ 。

兩組電路各自獨立，因為有些 EPROM 的 V_{PP} 輸入腳電壓要求規格是 V_{P245} 方式，有些則是 V_{P240} 方式。

圖 1.1 中 $+24V_{KP}$ 電壓是由 IC 4 經由 $+12V_{DC}$ 倍壓處理後產生，因為一般的電腦系統中均提供有 $\pm 12V_{DC}$ 電壓，故採用 $+12V_{DC}$ 電壓組做為倍壓電路的輸入電壓，該組電壓可經由 $20k\Omega$ 的可調電阻調整電壓輸出至適當範圍（通常為 $21V \sim 25V_{DC}$ ）。

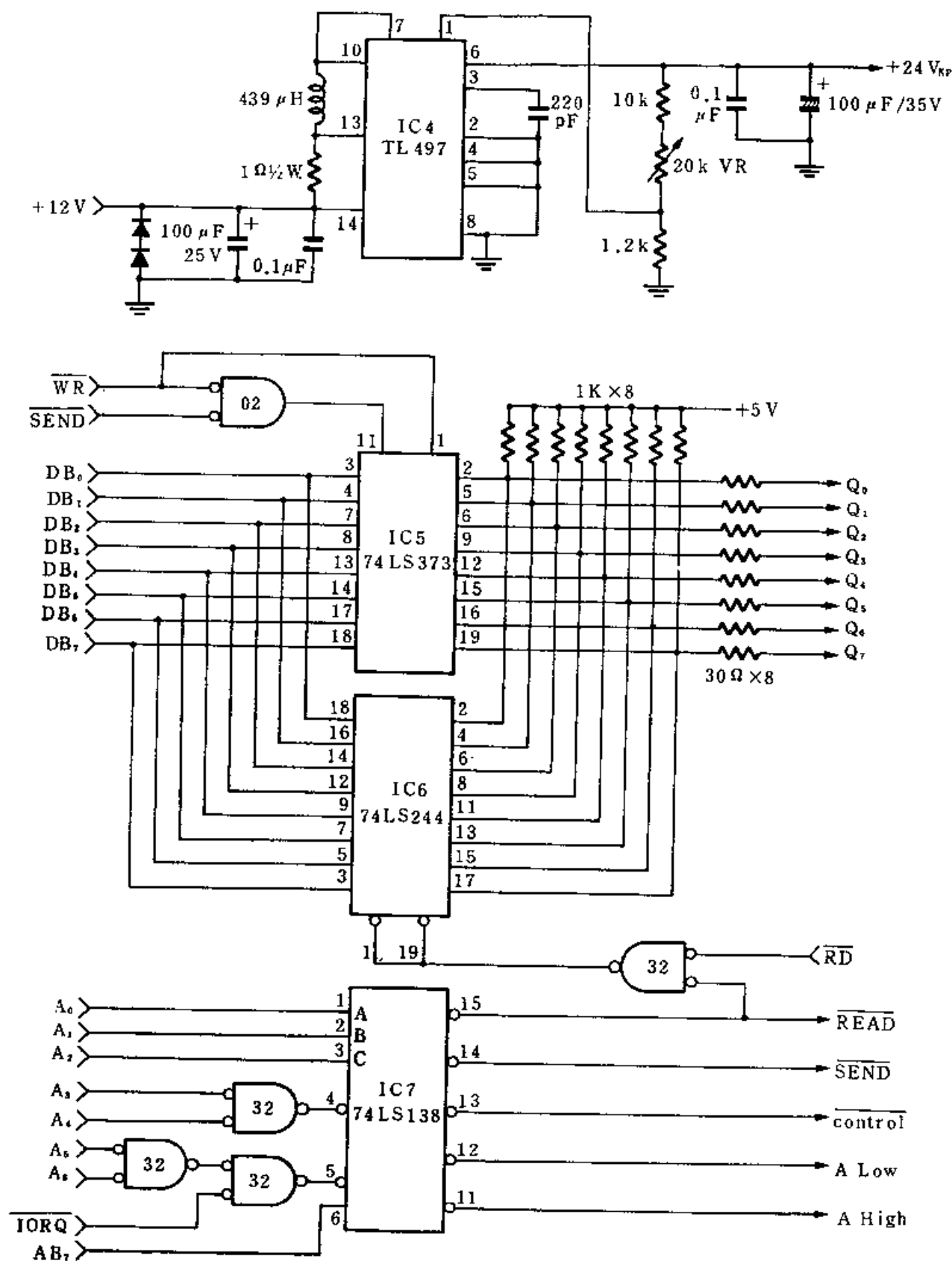
圖 1.1 中的 IC 5 負責予燒入 EPROM 的資料，當資料予燒入時可先將該筆資料輸送至此處，但是在使用本電路方式時在時序要求上比較嚴格。因為 IC 5 的輸出啟動腳（腳 1 O.C）由 CPU 的 $\overline{WR}$ 信號控制，如果寫入的時機不正確在 $\overline{WR}$ 信號消失之後 IC 5 呈現浮接狀態。

如果對時序的控制把握不大時，可將 IC 5 的第 1 腳經由鎖定位來控制。

- (1) 當要寫入資料至 EPROM 時，將 IC 5 的第 1 腳控制為 LOW 電位，如此一來寫入的資料就會鎖定 IC 5 之上。

使用這種鎖定方式則欲燒入的資料在任何燒入動作之前均可進行，而不需要考慮 IC 5 的浮接狀態。

- (2) 當要經由 IC 6 讀出 EPROM 的資料時，需先將 IC 5 的第 1 腳設定在 HIGH 電位狀態。如此一來讀出的 EPROM 資料則會經由 IC 6 而不會



■ 1.1 EPROM規劃器設計電路 (可達32K)