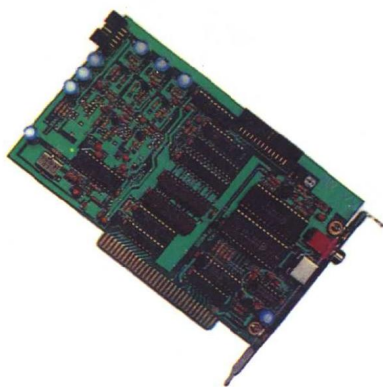


(80386/80486/Pentium)

高档微机组成原理 及 接口技术

孟昭光 编著
李维星



学苑出版社



北京希望电脑公司计算机技术丛书

高档微机组成原理及接口技术

(80386/80486/Pentium)

孟昭光 李维星 编著
熊可宜 审校

学苑出版社
1993.

(京)新登字 151 号

内 容 简 介

本书系统地阐述 80386 / 80486 / P5(pentium)高档微处理机的组成原理和接口技术;同时对其汇编语言程序设计和三种基本工作方式作了详尽的描述;对高速缓冲存储器及控制器 82385、可编程多功能接口芯片 82380 和系统对调试可测试的支持作了专门介绍。本书可作为计算机专业本科生、研究生的教材和参考书,同时也作为计算机专业技术人员从事开发和研究的重要参考书。

欲购本书的用户,请直接与北京 8721 信箱联系,邮编 100080,电话 2562329。

高档微机组成原理及接口技术

(80386/80486/Pentium)

编 著:孟昭光 李维星
审 校:熊可宜
责任编辑:徐建军
出版发行:学苑出版社 邮政编码:100032
社 址:北京市西城区成方街 33 号
印 刷:北京四季青印刷厂
开 本:787×1092 1/16
印 张:27 字数:629 千字
印 数:1—5000 册
版 次:1993 年 11 月北京第 1 版第 1 次
ISBN 7—5077—0778—4/TP·10
定 价:28.00 元

学苑版图书印、装错误可随时退换

前 言

目前以 80386/80486 为 CPU 的各种 32 位微机系统、工作站和多用户系统相继上市,已成为九十年代个人计算机的主流机型。今年 3 月 Intel 公司隆重推出了其统领 PC 界达十余年之久的微处理器体系结构的第五代产品——pentium,代号为 P5。据系统厂商和业界分析家们估计, P5 可望成为九十年代中期的主导微处理器。

本书是在 Intel 8086、80286 基础上从介绍 80386/80486 处理器入手,分章逐次介绍整个系统的各个部件、系统组成原理和三个基本工作方式;并从应用角度出发,详细地介绍该系统的输入输出接口芯片和接口技术。最后一章全面而扼要地介绍新一代微处理器——pentium。

本书共分十章。第一章介绍 80386/80486 微处理器;第二章介绍 80386/80486 的指令系统;第三章介绍 80386/80486 汇编语言程序设计;第四章介绍 80386/80486 与存储器的接口;第五章介绍 80386/80486 的高速缓冲器及其控制器 82385;第六章介绍 80386/80486 的中断系统;第七章介绍 80386/80486 的三种工作方式——实地址方式、保护方式和虚拟 8086 方式;第八章介绍输入输出接口及可编程多功能接口芯片——82380;第九章介绍 80386/80486 对调试和可测试的支持;第十章介绍 pentium——第五代微处理器(P5)。

本书在编写过程中,北京航空航天大学计算机系赵沁平教授、北京理工大学人工智能研究所李彭城付教授提出了许多宝贵意见,在此向他们表示衷心感谢!

由于作者水平有限,加之时间仓促,错误和不妥之处在所难免,恳求读者批评指正。

编者

1993 年 8 月

目 录

第一章 80386 / 80486 微处理器	1
1.1 概述	1
1.2 80386 / 80486 的基本结构	5
1.3 80386 / 80486 外部接口信号	35
1.4 总线操作和总线周期	54
第二章 80386 / 80486 的指令系统	108
2.1 概述	108
2.2 寻址方式与存储器结构	117
2.3 指令系统介绍	123
第三章 80386 / 80486 汇编语言程序设计	144
3.1 汇编语言语句	144
3.2 汇编语言程序设计	151
3.3 汇编语言与高级语言的混合编程	179
第四章 80386 / 80486 与存储器接口	193
4.1 基本的存储器接口	193
4.2 与动态存储器 (DRAM) 接口	197
第五章 80386 / 80486 的高速缓存器及其控制器	208
5.1 概述	208
5.2 高速缓存器系统的结构	209
5.3 高速缓存器的数据更新	214
5.4 高速缓存器控制器——82385	218
5.5 80486 芯片上的超高速缓存系统	233
第六章 三种工作方式	239
6.1 实地址方式	239
6.2 存储器的管理	240
6.3 分段管理保护方式	241
6.4 存储器分页管理	271
6.5 虚拟 8086 方式	275
第七章 中断	281
7.1 中断处理与中断指令	281
7.2 保护方式下的中断处理	284
7.3 虚拟 8086 方式下的中断处理	290
7.4 中断向量的分配	291

第八章 I/O 接口及多功能接口芯片——82380	297
8.1 概述	297
8.2 8 位、16 位和 32 位基本 I/O 接口	298
8.3 高性能通信控制器——82586	301
8.4 软盘机控制器——8272A	305
8.5 多功能接口芯片——82380	307
第九章 80386/80486 可测试性与调试支持	359
9.1 可测试性支持	359
9.2 调试支持	370
第十章 P5 微处理器	376
10.1 P5 的内部结构	376
10.2 P5 的超高速缓存器	388
10.3 P5 对 80486 指令系统的扩充	394
10.4 P5 的探针方式	400
10.5 P5 对测试和调试的支持	401
10.6 关于 P5 的兼容性	423

第一章 80386 / 80486 微处理器

1.1 概述

80386 / 80486 是以提高速度、面向多处理器结构和为需要高性能的应用领域与多用户、多任务操作系统而设计的高性能和先进的 32 位微处理器。80486 在芯片上集成了 8k 字节的超高速缓存器和浮点处理部件，并在它们之间采用了 64 位总线传送指令和数据，使之性能比 80386 提高了 3~4 倍。80386 / 80486 的主要性能及其差别介绍如下：

一、80386 的主要性能：

1. 灵活的 32 位微处理器：
 - 8 位、16 位或 32 位数据类型；
 - 8 个通用的 32 位寄存器。
2. 较大的寻址空间：
 - 4 千兆字节物理空间；
 - 64 兆字节虚拟空间；
 - 存储器的分段结构，一个段最大可达 4 千兆字节。
3. 具有集成的存储器管理部件：
 - 支持虚拟存储器；
 - 可选择的片内分页机构；
 - 4 级保护；
 - 与 80286 完全兼容。
4. 目标码与所有 8086 系列的微处理器兼容。
5. 虚拟的 8086 方式允许在受保护的和分页的系统中运行 8086 的软件。
6. 支持硬件调试。
7. 优化的系统性能：
 - 指令的流水线结构；
 - 具有片内地址转换的高速缓冲存储器；
 - 时钟为 12.5MHz 和 16MHz；
 - 总线带宽为 32 兆字节 / 秒。
8. 通过 80287 和 80387 协助处理器支持高速数值处理。
9. 完整的系统开发支持工具：
 - 软件：C · P / LM、汇编语言系统生成工具；
 - 调试器：PSCOPE、ICETM—386。
10. 高速 CHMOSIII 技术。
11. 132 引脚网络阵列式封装。

二、80486 主要性能:

- 1.与大型软件库二进制兼容:
 - MS—DOS*, OS/2*, “窗口”;
 - UNIX*** 系统 V/80386;
 - iRMX, iRMK™ 核心。
- 2.芯片集成有:
 - 8k 字节指令和数据超高速缓存;
 - 浮点部件;
 - 分页虚拟存储器管理。
- 3.使用方便:
 - 机内自测试
 - 硬件测试支持
 - Intel 软件支持
 - 扩展的第三者软件支持。
- 4.高性能设计:
 - 常用指令的执行时间为一个时钟周期;
 - 25MHz 和 33MHz 时钟频率;
 - 猝发总线传输率 106 兆字节 / 秒;
 - CHMOS/V 半导体技术。
- 5.完全的 32 位体系结构:
 - 地址总线 and 数据总线;
 - 寄存器。
- 6.多处理器支持:
 - 具有多处理器指令;
 - 具有超高速缓存一致性协议;
 - 支持第二超高速缓存。

三、80486 与 80386 的主要差别

为了提高 80486 的性能,在设计时比 80386 增加了如下功能:

- 1.减少了执行指令的时钟数,以获得较高的性能。
- 2.提高了总线速度。其中包括 1X 时钟、奇偶校验支持、猝发周期、可超高速缓存周期、超高速缓存使无效周期和 8 位总线支持。
- 3.为了支持芯片上超高速缓存,控制寄存器增加了一些新位 (CD 和 NW),总线上增加了一些新管脚。在 CR+0 中 CD 和 NW 被复位后,使芯片上超高速缓存被允许。
- 4.增加了完整的 80387 数值协处理器的指令集和寄存器组。执行浮点指令期间不执行 I/O 周期。在执行 FINIT/FSAVE 指令后,指令和数据指示字被置“0”。不再出现中断 9,而出现中断 13。

5.80486 支持新的浮点出现错报告方式,以保证与 DOS 兼容。这些新的方式需要在

控制寄存器 O 中增加一个新位 (NW) 和两个新的管脚 (FERR#和 IGNE#)。

6.增加了 6 条新的指令:

- 字节交换 (BSWAP) 指令;
- 交换加法 (XADD) 指令;
- 比较交换 (CMPXCHG) 指令;
- 使数据超高速无效 (INVD) 指令;
- 回写和使数据超高速缓存无效 (WBINVD) 指令;
- 使 TLB 条目无效 (INVLPG) 指令。

7.控制寄存器 3 中新定义了两位, 即页表示位和页面目录条目 (PCD 和 PWT)。

8.增加了新的页面保护特性。这个特性要求在寄存器 O 中新增加一位 (WP)。

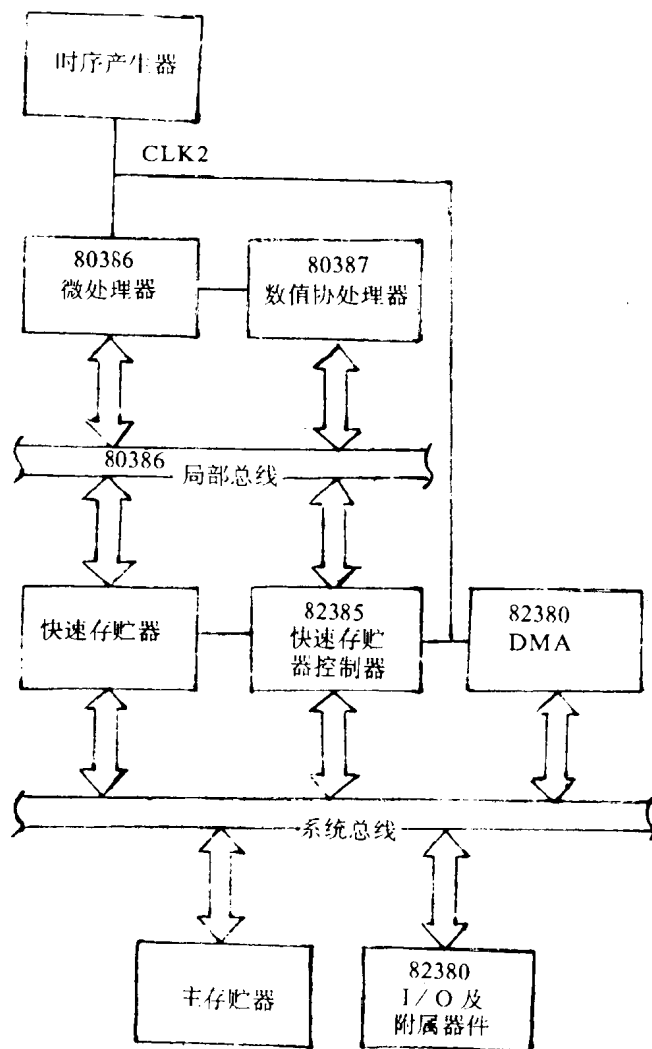


图 1—1 80386 系统的结构框图

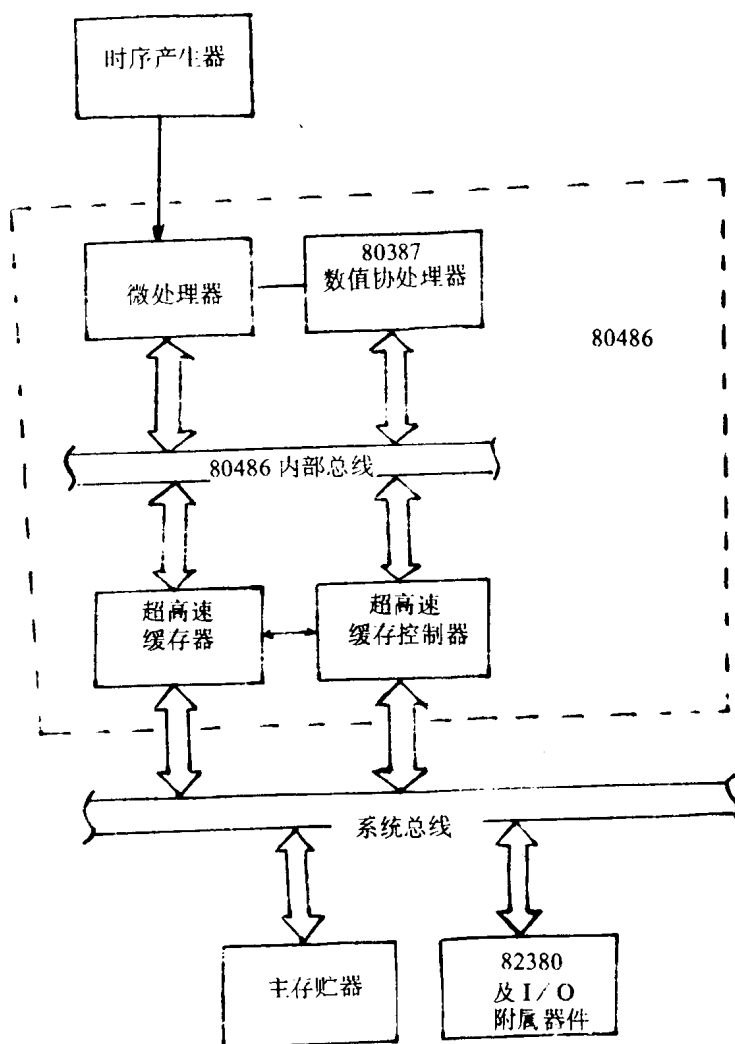


图 1—2 80486 系统的结构框图

9.增加了新的对界检查特性。这个特性要求在标志寄存器中新增加一位 (AC) 和在控制寄存器 0 中新增加一位 (AM)。

10.将转换后援缓冲器的替换算法变换成如同芯片上超高速缓存使用的一种为最近最少使用的算法。

11.增加了三个用于测试片上超高速缓存的新的可测试寄存器 TR3、TR4 和 TR5。增强了 TLB 的可测试性。

12.预取指令排队从 16 字节增加到 32 字节。在修改代码后，始终需要执行一条跳转指令，以保证正确执行新的指令。

13.复位后, DX 寄存器高阶字节中的 ID 为 04。包括浮点寄存器在内的基地址寄存器的内容在复位后可能有差别。

总之, 80486CPU 为 DOS、OS/2、“窗口”和 UNIX 系统 V/80386 的应用提供了最高的性能, 它与 80386CPU100%二进制兼容。芯片上 100 万支晶体管集成了超高速缓存、浮点部件和存储器管理部件, 与以前的 86 结构系统的其他型号保持二进制兼容。常用指令的执行时间为一个时钟周期, 使性能达到了 RISC 水平。在以主频 33.3MHz 工作时, 8k 字节的指令和数据兼用的超高速缓存与 106 兆字节/秒的猝发总线结合确保了高的系统总处理能力。

80486 的新的特点增强了多重处理系统, 新的指令加速了基于信号灯的存储器控制。片上硬件确保超高速缓存一致性, 并为多级超高速缓存提供挂钩。同时, 机内自测试广泛地测试片上逻辑电路、超高速缓存和片上分页转换超高速缓存。调试特性包括执行指令和存取数据时的断点自陷。

四、80386 / 80486 基本系统组成结构

本书探讨 80386 / 80486 的系统组成和接口技术, 基本的 80386 / 80486 系统的组成框图如图 1—1 和图 1—2 所示。图 1—1 主要由 80386 微处理器、主存储器系统、I/O 接口及附属器件系统、协处理器及时序产生器等组成。为配合 80386 的高速度, 80386 的系统存储器通常采用高速缓冲 (Cache)。因此, 整个缓存系统即包括高速缓存器及高速缓存控制器组成的高速缓存子系统, 以及由大量的慢速缓存器所组成的主存储器。

图 1—2 是 80486 为 CPU 的系统结构框图, 从图中看出, 80486 片上集成了与 80386 完全兼容的存储器管理部件 MMU 和 80387 数值协处理器。并集成有 8k 字节的超高速缓存器及其控制器。包含有 80386 所有特点和一些提高性能的新特点。

这里我们将由 80386 / 80486 微处理器开始, 分章逐次介绍整个 80386 / 80486 系统的各个主要部件, 以及这些部件之间如何接口。

1.2 80386 / 80486 的基本结构

一、80386 的功能结构

80386 的结构如图 1—3 所示。

它是由中央处理器 (CPU)、存储器管理部件 (MMU) 和总线接口部件 (BIU) 组成的。

中央处理器又是由指令部件和执行部件所组成的。指令部件可以预取指令, 且对指令操作码进行译码, 并把它们存放在已译码的指令队列里供执行部件作用 (省去取指令和译码的时间)。执行部件包括 8 个既可以用于数据操作, 也可以用于地址计算的 32 位通用寄存器。还包括一个 64 位的桶形移位器 (barrel shifter), 用于加速移位、循环以及乘除法操作, 这使典型的 32 位乘法可在 1 微秒内执行。

存储器管理部件 (MMU) 由分段部件和分页机构组成。分段部件通过提供一个额外的寻址器件对逻辑地址空间进行管理, 可以实现任务之间的隔离也可以实现指令和数据区的再定位。分页机构提供了对物理地址空间的管理, 每一页 4k 字节; 每一段可以是一页

也可以是若干页。为了实现虚拟存储器系统，80386 对所有的页和故障都支持完整的再启动功能。

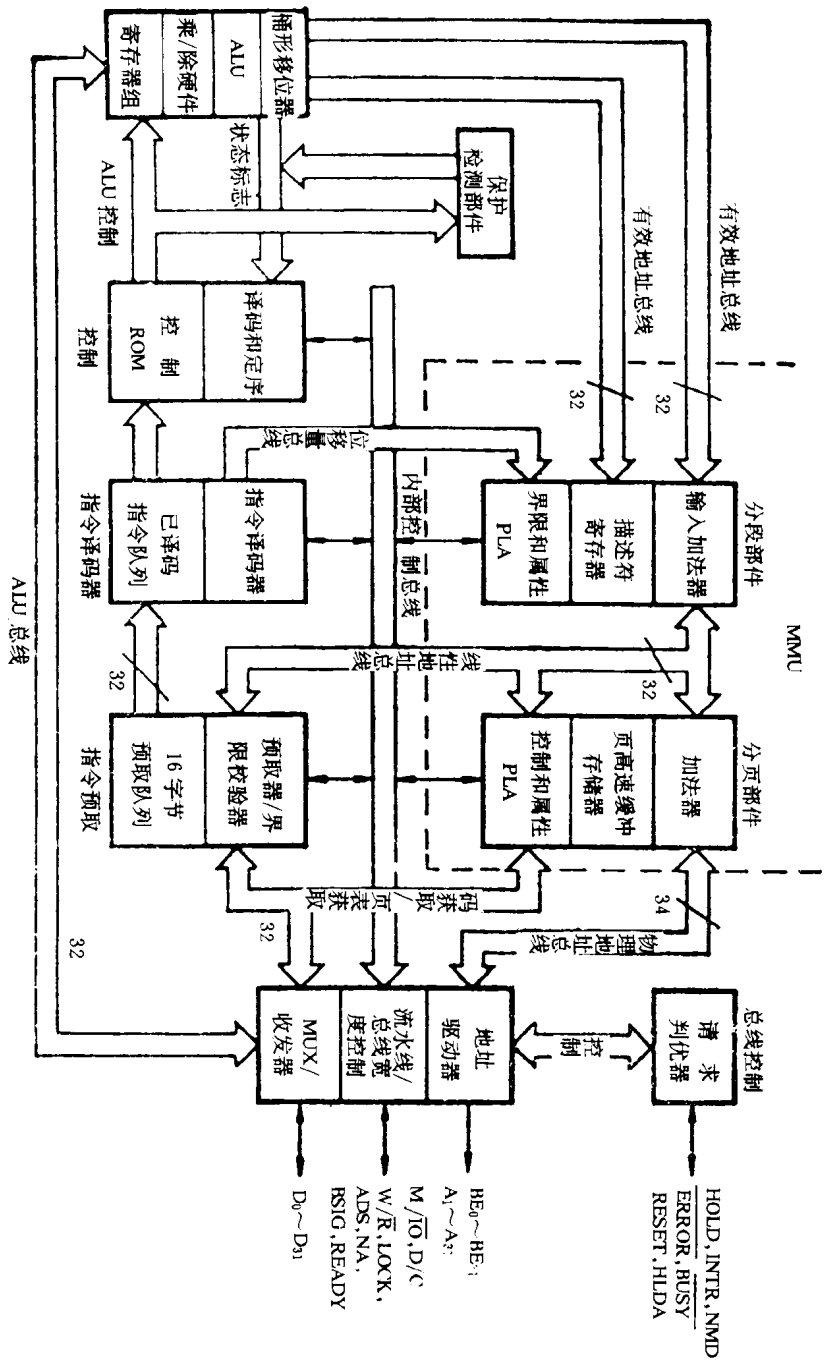


图 1—3 80386 的结构

存储器是按照段来组织的，每一段的大小都可以达到 4 千兆字节。一个给定范围的线性地址空间或一个段可以有相应的属性。这些属性包括它的位置、大小、类型（即是堆栈、码或数据）及其保护特性。80386 的每一个任务都可以有最多 16381 个段，每段最大都可达 4 千兆字节。因此，80386 为每个任务都可提供最大为 64 兆字节的虚拟存储器。

为了使应用程序和操作系统相互隔离和各自得到保护，分段部件提供了 4 级保护。这种由硬件实施的保护，使各种系统的设计具有高度的完整性。

80386 有两种操作方式：实地址方式（Real Address Mode）和受保护的虚拟地址方式（Protected Virtual Address Mode）。在实地址方式下，80386 的操作像一个极快的 8086，不同的是如果需要可以扩展到 32 位。保护方式提供了对复杂的存储器管理部件的存取，以及分页和处理器的各种特殊性能。

在保护方式下，软件可以通过切换进入虚拟的 8086 方式。在这种方式下的每个任务都用 8086 的语义运行，从而可以运行 8086 的各种软件（应用程序或整个操作系统）。通过采用分页和模拟 I/O 指令，各种虚拟的 8086 任务可以与 80386 主操作系统相互隔离并受到保护。

二、80386 的寄存器结构

80386 共有七类 32 个寄存器，它们是：通用寄存器、段寄存器、指令指针和标志寄存器，控制寄存器，系统地址寄存器、排错寄存器、测试寄存器。

这些寄存器包括了全部的 16 位的 8086，80186 和 80286 的寄存器。这些前三类寄存器如图 1—4 所示。

其它类型的寄存器，如控制、系统地址、调试和测试寄存器，主要是用于简化设计和对操作系统进行调试。

（一）通用寄存器

80386 中有 8 个 32 位的通用寄存器如图 1—5 所示。

每一个寄存器都可以存放数据或地址量，它们支持 1，8，16，32 和 64 位的数据操作数以及 1 到 32 位的位场操作数。它们还支持 16 位和 32 位的地址操作数。这些通用寄存器是 8086、80286 的 16 位通用寄存器的扩展，故命名为 EAX，EBX，ECX，EDX，ESI，EDI，EBP 和 ESP。

对这些寄存器的低 16 位可以分别存取，好像 8086 中的 16 位寄存器一样使用，而且它们的命名也与 8086 中的相同。

数据寄存器 EAX、EBX、ECX、EDX 中的最低字节（位 0—7）和较高字节（位 8—15）可以作为 8 位的寄存器单独存取。它们的命名也与 8086 中的一样，如图 1—5 所示。

（二）指令指针和标志寄存器

80386 的地址线是 32 条，故指令指针为 32 位寄存器，IP 的扩展故称为 EIP。EIP 中存放的始终是下一条要取出的指令的偏移量，此偏移量是相对于码段（CS）基址的偏移量。EIP 的低 16 位（位 0—15）称为 IP，它由 16 位的地址操作数作用。

80386 中的标志寄存器是一个命名为 EFLAGS 的 32 位寄存器，它是由 80286 的标志

位扩展而成，所定义的位和位场如图 1—6 所示。它的低 16 位（位 0—15）包含了命名为 FLAGS 的 16 位的标志寄存器，即为 80286 的标志寄存器，它的低 12 位（位 0—11）即为 8086 的标志寄存器。所以，在执行 8086 和 80286 操作码时，这个 16 位标志寄存器是最有用的。

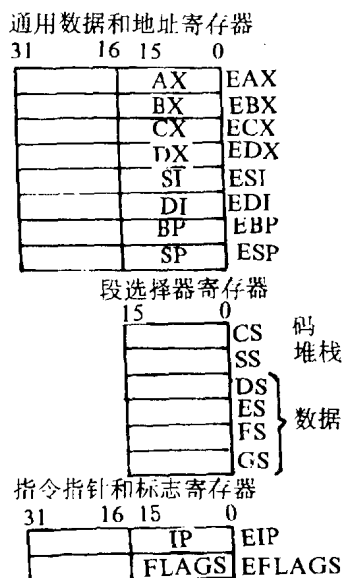


图 1—4 80386 中的基本结构寄存器

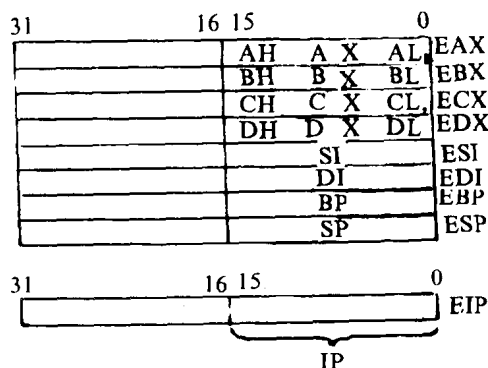


图 1—5 通用寄存器和指令指针

80386 扩展的标志位为 VM（位 17）和 RF（位 16）下面主要介绍这两个标志位的功能。

VM（Virtual 8086 Mode: 虚拟 8086 方式，位 17）

80386 的虚拟方式中，由 VM 位提供一种虚拟 8086 方式。即当 80386 处于保护方式时，如果使 VM 位置位，80386 将转为虚拟 8086 方式。VM 位只能在保护方式下由 IRET 指令（若当前的特权级 = 0）或在任何特权级下由任务切换设置。VM 位不受 POPF 指令的影响，PUSHF 指令总是使该位清零。在中断处理过程中被压入或在任务切换期间被保存的 EFLAGS 映象中的 VM 位将包含一个 1，条件是被中断的码正作为虚拟的 8086 任务而被执行。

RF（Resume Flag: 恢复标志，位 16）

RF 标志是与调试寄存器的断点或单步操作一起使用的。在断点处理之前，在两条指令之间对该位进行检查。RF 位置位时，则在下一条指令执行期间不顾任何调试故障。然而，每当成功地完成一条指令（表明没有故障）时，RF 标志都将自动复位。但是执行 IRET 指令、POP 指令和引起任务切换的 JMP、CALL 和 INT 指令时例外。这些指令设置 RF 的值为根据存储器映象所确定的值。例如，在断点服务子程序的结尾处，IRET 指令可以弹出一个带有 RF 位置位的 EFLAG 映象，并在断点地址处恢复程序的执行而不致在同一位置上产生另一次断点故障。

（三）段寄存器

(80286) 或 32 位 (80386) 的段基地址, 更重要的是可以确定段的一些属性例如行权, 从而为 80286, 80386 的操作系统和保护机构提供了广阔的活动舞台。

80286 和 80386 中的段基地址是由一个 8 个字节的描述符 (如图 1—8 所示) 所确定的。

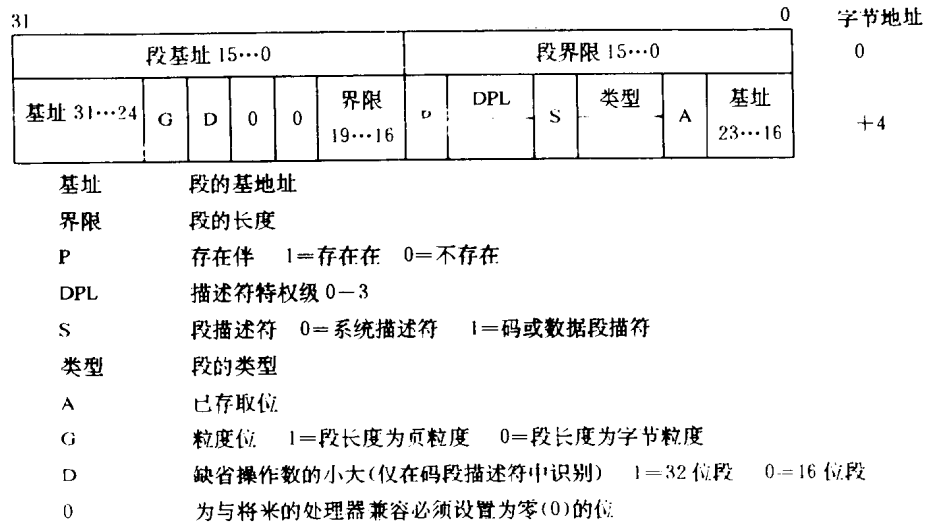


图 1—8 80386 中的段描述符

由相关的描述符组成一个表, 这些表是:

GDT (Global Descriptor Table: 全局描述符表)

IDT (Interrupt Descriptor Table: 中断描述符表)

LDT (Local Descriptor Table: 局部描述符表)

TSS (Task State Segment: 任务状态段)

这些表的基地址和它们的界限 (大小) 由相应的寄存器保存, 如图 1—9 所示。

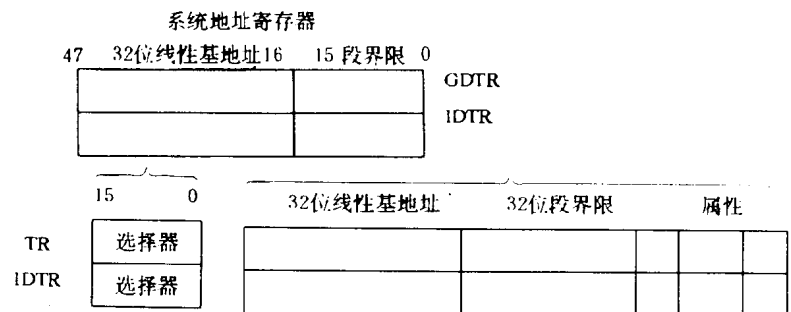


图 1—9 系统地址和系统段寄存器

GDTR 和 IDTR

这两个寄存器分别保存着 GDT 和 IDT 的 32 位的线性基地址以及 16 位的界限值。全局描述符表 GDT 和中断描述符表 IDT 的界限都是 16 位的, 即每一个表最大是 64k, 每个描述符为 8 个字节, 故每个表最大可以有 8k 个描述符。实际上在 80286 和 80386 中, 最多只有 256 个中断或异常向量, 故 IDT 表中最多只有 256 个中断描述符。

由于 GDT 和 IDT 对系统中的所有任务都是全局性的，因此，GDT 和 IDT 所在的段由 32 位的线性地址（如果允许分页则指向页转换）和 16 位的界限值确定。

LDTR 和 TR

局部描述符表 LDT 和任务状态段 TSS 是面向任务的，故它们所在的段不是由这些表本身决定的，而是由任务决定的，即由任务的系统段寄存器中的选择器值决定的。故局部描述符表寄存器 LDTR 和任务状态段寄存器 TR 中的值，只是一个 16 位的选择器。但 80386 中提供了相应的自动装入的、不可见的描述符寄存器，作为对存储单元访问的硬件支持以加快存储单元的访问。

(五) 控制寄存器

80386 中有 3 个 32 位的控制寄存器 CR0, CR2 和 CR3，以保存全局性（不是特定的个别任务）的机器状态。这些寄存器与上面介绍的系统地址寄存器一起，保存着影响系统中所有任务的机器状态。

1. CR0: 机器控制寄存器（包括 80286 的机器状态字）

CR0 中定义了 6 个控制和状态位，如图 1—10 所示。

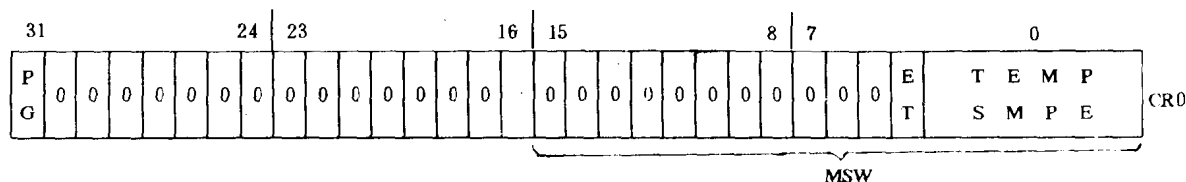


图 1—10 控制寄存器 0

为了与 80286 的保护方式兼容，CR0 的低 16 位还作为机器状态字（Machine Status Word）MSW。

CR0 中各位的定义如下：

PG (Paging Enable: 分页允许，第 31 位)

若 PG 位置位，允许片内分页部件工作；否则，禁止分页部件工作。

ET (Processor Extension Type: 处理器扩展类型，第 4 位)

ET 表示所扩展的协处理器的类型，

即是 80287 或是 80387。这可由 80386 复位后，由 **ERROR*** 输入信号的电平来确定。如果需要，在程序控制之下，通过对 CR0 送数，可以使 ET 位置位或复位。如果 ET 位置位，就使用与 80387 兼容的 32 位规程；如果 ET 位复位，则采用与 80287 兼容的 16 位规程。

注意：为严格保持与 80286 的兼容性，ET 位并不受 LMSW 指令的影响。但当存储 MSW 或 CR0 时，位 4 准确地反映 ET 位的当前状态。

TS (Task Switched: 任务切换，第 3 位)

不论什么时候完成任务切换操作，TS 位都自动置位。一条协处理器操作码如果使 TS 位置位且 MP 位也置位，将引起协处理器无效陷阱（异常 7）。此陷阱处理程序，典型地保存属于上一个任务的 80287/80387 内容，装载属于当前任务的 80287/80387 状态，且在返回失败的协处理器操作码之前，清除 TS 位。

EM (Emulate Coprocessor: 模拟协处理器，第 2 位)