

国外半导体技术

第一辑

《国外半导体技术》编译组

上海科学技术情报研究所

745
00217
2937
T₁



目錄

第一章 緒論

第二章 經濟學概論

第三章 市場與價格

第四章 生產要素市場



国外半导体技术

(第一辑)

《国外半导体技术》编译组

*

上海科学技术情报研究所出版

新华书店上海发行所发行

上海东方红印刷厂印刷

*

1971年3月出版

代号: 1634013 定价: 0.30元

(只限国内发行)

前 言

无产阶级文化大革命,有力地促进了我国社会主义建设的飞跃发展。在以伟大领袖毛主席为首林副主席为副的党中央的领导下,广大工人阶级高举党的“九大”团结、胜利的光辉旗帜和“鞍钢宪法”的伟大红旗,正在认真贯彻落实毛主席“抓革命、促生产”、“备战、备荒、为人民”的伟大战略方针。捷报频传,战果辉煌。一个新的工农业生产和科学技术全面大跃进的局面正在出现。

战斗在电子工业战线的工人、革命干部和革命科技人员,遵循毛主席关于“赶上和超过世界先进水平”的伟大教导,以战无不胜的毛泽东思想为武器,深入批判了叛徒、内奸、工贼刘少奇所推行的一套“爬行主义”、“洋奴哲学”黑货,在毛主席“独立自主、自力更生”思想的指引下大力发展半导体技术,打响了一场大办电子工业的人民战争并夺取了一个又一个的伟大胜利。电子工业战线的形势是一派大好。

为了适应我国工农业生产和科学技术全面大跃进的新形势,更好地为无产阶级政治服务,遵照毛主席“洋为中用”的教导我们在上海市仪表局革委会的领导下,组织了《国外半导体技术》编译组。根据我国电子工业的需要,我组将主要报导有关半导体的国外发展水平和动态并介绍有关新技术、新产品、新工艺和新材料等有一定参考价值的国外资料,不定期地以译丛、专辑和活页等形式出版,供广大工农兵和革命科技人员参考。

毛主席教导我们:“对于外国文化,排外主义的方针是错误的,应当尽量吸收进步的外国文化,以为发展中国新文化的借镜;盲目搬用的方针也是错误的,应当以中国人民的实际需要为基础,批判地吸收外国文化。”对于外国的东西,我们应当认真加以分析和鉴别,并根据我国的具体情况加以改造。对待国外技术,我们一定要坚持革命的大批判,破除迷信、解放思想“打破洋框框,走自己工业发展道路。”

由于我们毛泽东思想学习不够,加上经验缺乏、这项工作本身又处于探索阶段,介绍的内容难免有许多缺点和错误。遵照伟大领袖毛主席“报纸也要靠大家来办”的教导,恳切希望广大工农兵、革命干部和革命科技人员及时给予批评指正,以便改进和提高我们的服务质量。

《国外半导体技术》编译组

1971年2月

目 录

1. 电移动..... (1)
2. 混合微波集成电路的工艺与设计..... (8)
3. 铝-硅肖脱基势垒二极管的特性 (17)
4. 硅的杂质扩散——使用 POCl_3 的硅的浅磷扩散..... (22)
5. 高纯单晶硅的生产方法..... (29)
6. 半导体膜的生长..... (33)
7. 硅枝蔓膜生长和应用的进展..... (40)
8. 金属-氧化物-半导体场效应晶体管的制造问题..... (45)

坚持政治挂帅,加强党的领导,大搞群众运动,实行两参一
改三结合,大搞技术革命。

刘河东

电 移 动

最近已查明,电移动是半导体器件中可能失效的原因。虽然这种电移动效应已发现了几十年,但对它的大部分运动过程仍旧没有搞清楚,尤其是对于络合金属离子和溶解离子的电移动过程更不了解。本文对以前的铝膜设计方程式进行了修改,包括了铝膜的截面积、结构、温度和通过的电流密度等因素的影响,并绘制了设计曲线。根据半导体器件实际使用中可能出现的最大电流和热应力的特殊情况,利用这些曲线可以设计出可靠性好的“长寿命”铝膜。还证明电子流、温度、电流密度或离子扩散系数等的正梯度可能缩短铝膜的寿命。这是因为存在这些梯度的区域内,铝的空位能凝聚而变成大的空洞。

引 言

电移动是在高电流密度下金属中的一种传质现象。这种现象无论在熔化的或固态的金属中都有存在^[1~3]。最近发现,半导体器件

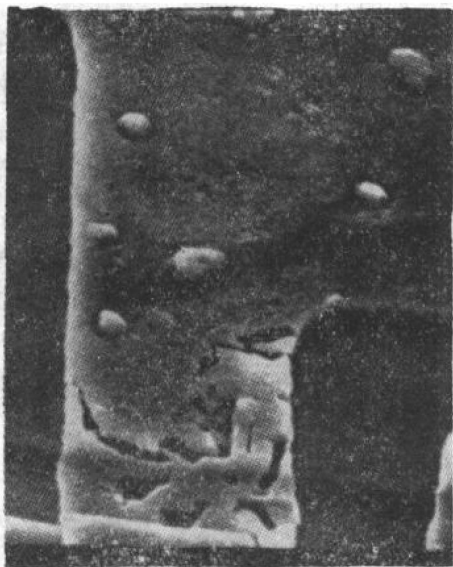


图1 电移动使1密耳宽的铝膜产生空洞而失效

的铝膜截面积设计得不适当时,电移动是这些器件可能失效的原因。因此,必须对金属膜中的传质现象进行深入的研究^[4~11]。这种失效现象是由于金属导体中有金属消失,引起断裂开路。图1是铝膜中这种失效现象的电子显微照片。在一条1密耳宽的铝膜中可以看到有好几个空洞,其中有一个空洞横跨整个导体,造成铝膜断裂开路。

概 述

Huntington 等人所进行的电移动研究结果,使人们对它的过程有所了解,然而至今还有许多情况不清楚^[12~19]。上述研究曾对金属导体上的划痕在通电时的移动进行了观察,结论是:一个金属离子处于热活化并且在其谷点时(其势增加,而且基本上脱离了金属晶格),受到了两种方向相反的力(见图2):

1. 电场对活化正离子施加一个力,其方向与电子流方向相反。

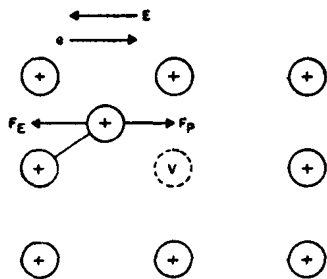


图2 金属导体中热活化离子所受的力

2. 导电电子和活化金属离子相碰撞时发生动量的交换,金属离子受到另一个力,其方向和电子流方向相同。

但由于电子的屏蔽作用,电场对离子的作用力很小,所以主要是“电子气流”对离子的作用力。因而,活化的金属离子是电子流的上流,这些离子占据空位的几率比空位周围的其它离子要大得多。结果是金属离子向导体的正极移动,而空位向负极移动。这些空位凝聚成空洞,而离子则在金属导体结构不连续处形成晶体、晶须和奇形突起小丘。金属导体表面的划痕也和空位一样,能沿着表面向导体负端移动,并发现划痕移动速度的活化能与金属晶格的自扩散活化能完全相同。

在比较复杂的金属中,“空穴气流”对电移动的影响的知识还非常缺乏。在铁和钴等空穴导体中,传质的方向和空穴传导的方向一致;而锌、镉和铅等空穴导体中的传质和电子流动方向相同。此处载流子的平均自由程及其有效质量起着主要作用。

对溶质离子(无论是间隙或替位的离子)所受的力还很不清楚。然而已知空穴导体铁中所溶解的氢和氘等的运动方向和空穴的运动方向相同。电子导体铝中所溶解的硅则沿电子运动的方向移动,这些都和理论上所预料的一致。后一个例子是半导体器件可能损坏的一种机理。因为在引线孔处的铝膜中溶解有硅,在电子气流作用下,硅离子能从铝-硅界面处离开,结果在高电流密度作用下,在硅中形成腐蚀坑,最后腐蚀坑会穿通浅的p-n结,致使p-n结短路而失效^[20]。

最近,根据简单的理论推导,可得出式(1),传质速率和电流密度平方成正比:

$$\frac{1}{MTF} = AJ^2 \exp - \frac{\phi}{kT} \quad (1)$$

式中

MTF = 平均失效时间(小时)

A = 常数(与导体截面积有关)

J = 电流密度(安/厘米²)

ϕ = 活化能(电子伏)

k = 玻尔兹曼常数

T = 导体温度(°K)

用金属薄膜所做的实验证明:若冷却良好,电流密度范围达5:1时,式(1)仍旧适用。

已经证明,活化能和薄膜的结构密切相关^[8]。在小晶粒(1.2微米)铝膜中,溶质离子可以沿晶粒边界扩散,同时也可以沿着表面和穿过晶格扩散,它的活化能为0.48电子伏特。

图3是宽为0.5密耳的小晶粒铝膜中空洞的扫描电子显微照片,所用电流密度达10⁹安/厘米²。传质主要是沿晶粒边界和表面进行。图4是这种薄膜中空洞已扩大到使导体断开的典型的扫描电子显微照片。因为当空洞在继续逐渐扩大时,高的电流密度可使铝膜熔化而断开。

在粗晶粒的而且晶粒取向比较一致的铝膜中,离子的扩散主要在表面和穿过晶格进行,活化能达0.84电子伏特。这是因为晶粒边界表面减少,而且沿晶粒边界扩散所需能量较小所造成。

图5是典型的粗粒铝膜经过高电流密度试验后的扫描电子显微照片。看来表面扩散是主要的传质机理,因为大面积的空洞与晶粒边界无关。图6中有明显的小丘从薄膜的表面突起。图7是一个空洞的放大照片。可以清晰地看到空洞是从上表面生长形成,这表明表面扩散是主要过程。曾在12000埃厚的大晶粒铝膜上沉积一薄层二氧化硅,目的是减少表面扩散,同时也减少晶粒边界扩散。

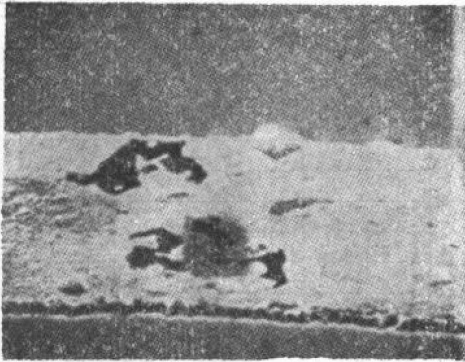


图3 0.5密耳宽小晶粒铝膜中形成的空洞



图4 在0.5密耳宽小晶粒铝膜中形成的空洞、小丘和断路

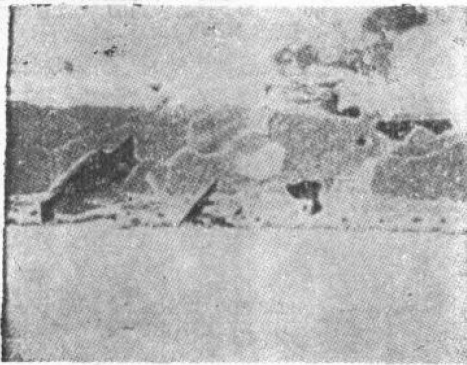


图5 0.5密耳宽大晶粒铝膜中空洞的生长

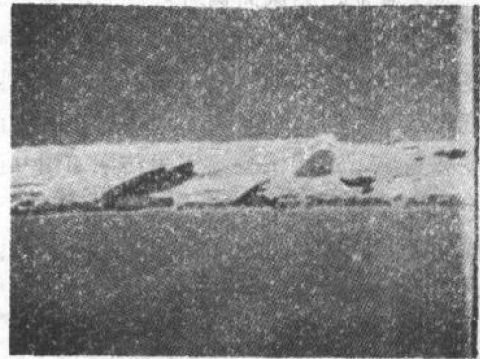


图6 0.5密耳宽大晶粒铝膜中空洞和小丘的生长

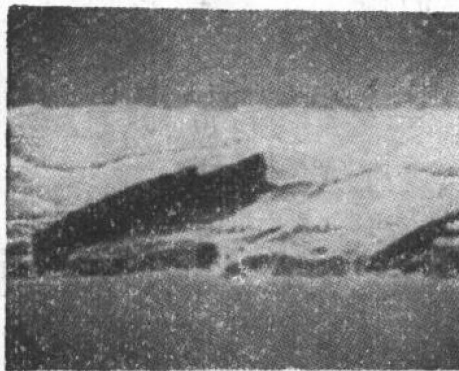


图7 大晶粒铝膜中空洞的放大照片

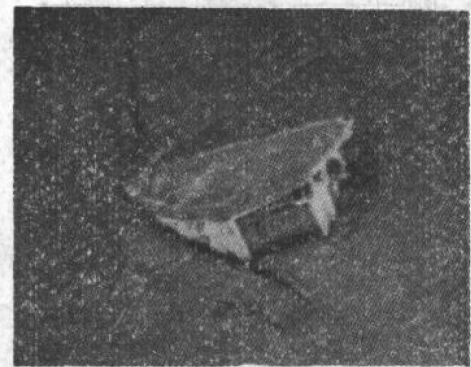


图8 涂有玻璃薄膜的大晶粒铝膜中生长的小丘

在这种铝膜中的电移动活化能高达1.2电子伏。它的活化能比晶格排列好的不涂玻璃的薄膜较高的原因，是由于复盖的玻璃薄膜减少了表面扩散。1.2电子伏特与铝中晶格自扩散的活化能1.48电子伏特相接近。

图8是一个小丘的扫描电子显微照片。它冲破复盖在铝膜上的玻璃。有一块玻璃薄

膜仍旧完整地盖在小丘上，这表明小丘是从铝膜上生长出来的。

导体截面积对寿命的影响

假设平均失效时间和传质速率成反比。还可以简单地认为在一定传质速率下，导体的寿命是它的截面积的直接函数。根据前述

实验结果 (6000 埃、16.25 微米宽的大晶粒铝膜) 可以得到式 (2)

$$\frac{1}{J^2 MTF} = 5.18 \times 10^{-6} \exp - (0.84/kT) \quad (2)$$

若将该铝膜截面积 9.65×10^{-8} 厘米² 代入, 并使式 (2) 标准化, 则该式可写成式 (3):

$$MTF = \frac{(w)(t) \exp(0.84/kT)}{5 \times 10^{-13} J^2} \quad (3)$$

式中 w 和 t 分别为导体的宽和厚 (厘米)。

为了验证铝膜截面积对寿命的影响, 又作了两个实验。第一个实验的铝膜是大晶粒, 厚度保持不变, 在 7000 埃左右。光刻成不同线宽, 从 11.5 至 50.3 微米。然后在大电流密度和高温下进行试验, 实验结果如图 9 所示。用寿命的实验值和式 (3) 计算值作图, 二者成 1:1 对应关系。这表明在上述线宽范围内, 铝膜的寿命是截面积的直接函数。

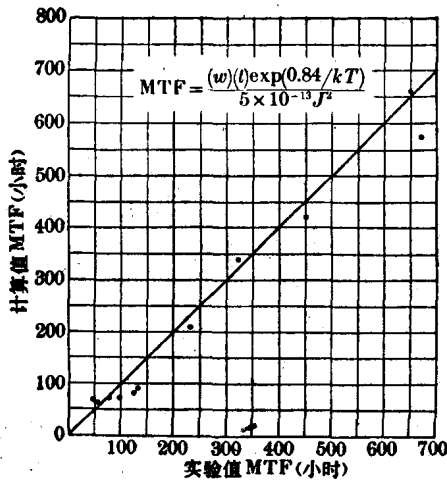


图 9 不同线宽的大晶粒铝膜的平均失效时间

第二个实验试验了线宽约为 12 微米, 厚度在 1921~12540 埃之间的大晶粒铝膜。所得实验数据仍按上法作图。其结果见图 10。得到的结论是: 铝膜的寿命仍旧和它的截面积成正比。

将上述小晶粒、大晶粒和用玻璃复盖的大晶粒三种铝膜的实验结果化成标准化方程式, 得到:

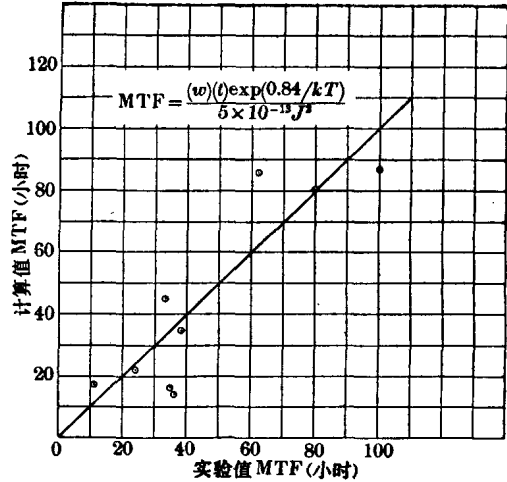


图 10 不同厚度的大晶粒铝膜的平均失效时间

对于 1.2 微米小晶粒铝膜:

$$\frac{wt}{J^2 MTF} = 2.43 \times 10^{-16} \exp - (0.48/kT) \quad (4)$$

或者

$$MTF = \frac{wt \exp(0.48/kT)}{2.43 \times 10^{-16} J^2} \quad (5)$$

对于 8 微米大晶粒铝膜:

$$\frac{wt}{J^2 MTF} = 5 \times 10^{-13} \exp - (0.84/kT) \quad (6)$$

或者

$$MTF = \frac{wt \exp(0.84/kT)}{5 \times 10^{-13} J^2} \quad (7)$$

对于涂玻璃层的大晶粒铝膜:

$$\frac{wt}{J^2 MTF} = 8.5 \times 10^{-10} \exp - (1.2/kT) \quad (8)$$

或者

$$MTF = \frac{wt \exp(1.2/kT)}{8.5 \times 10^{-10} J^2} \quad (9)$$

这些标准化曲线均画在图 11 中, 曲线相交于 275°C 附近。处于或高于这个温度, 主要是晶格扩散, 而不是沿表面和晶粒边界扩散。所以, 高于这个温度, 对铝膜结构的影响不大; 然而在 275°C 以下, 用大晶粒或涂玻璃的办法, 铝膜的寿命可以提高好几个数量级。

图 12、13、14 是所求得的设计曲线。这些曲线均采用集成电路中铝膜导线的典型截

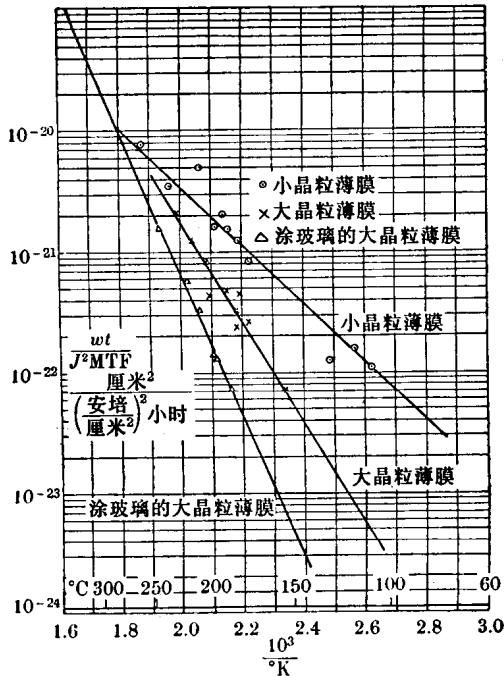


图 11 铝膜导体平均失效时间与电流密度、温度及截面尺寸等的函数关系

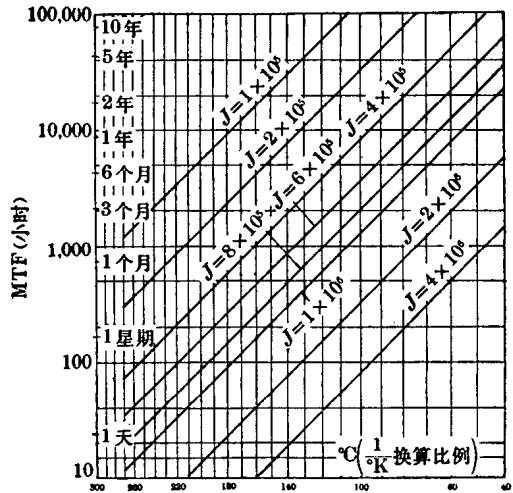


图 12 小晶粒铝膜导体的寿命，截面积为 10^{-7} 厘米²

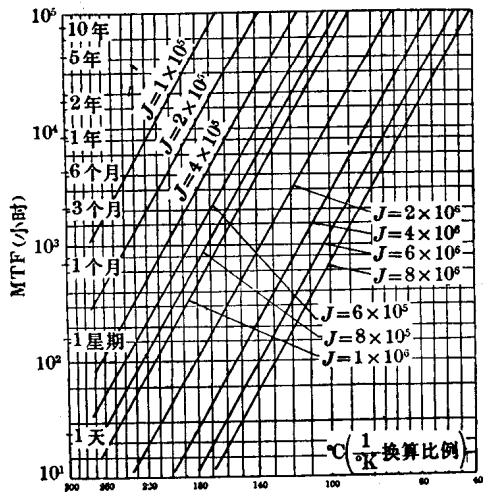


图 13 大晶粒铝膜导体的寿命，截面积为 10^{-7} 厘米²

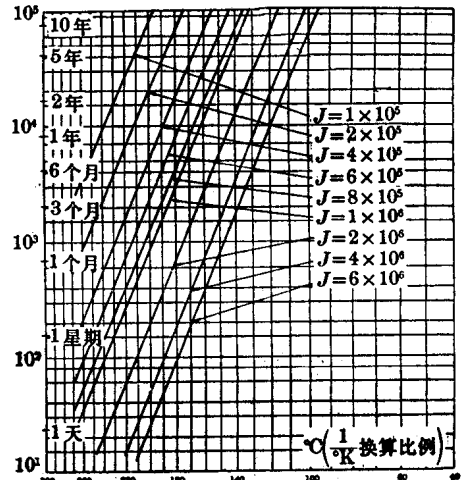


图 14 涂玻璃大晶粒铝膜导体的寿命，截面积为 10^{-7} 厘米²

面积， 10^{-7} 厘米²。由于寿命和铝膜截面积成正比关系，所以可很快地求出用其它截面积时的寿命。

梯度对导线寿命的影响

在以上讨论中，以及所推导出来的铝膜寿命方程式中，都不包含温度梯度、电流密度

梯度或离子扩散系数梯度等因素。若有这些梯度存在(其定义见图 15)，则小丘和空洞将在如图 15 所示的某一定区域内优先生长形成。这是因为在平的区域内的铝离子向右边移动达到负梯度，比较它们越出这一区域快。铝离子便堆积在负梯度前端平的区域，形成了晶体、晶须或奇形怪状的突起物。在

同样方式下，铝离子在正梯度后部平的区域移动而离开的速度比移入的速度为快。结果在这里有过剩的空位，这些空位凝聚成空洞。而在平的区域中部，空洞和晶须的形成慢得多，因为在这些区域中离子移出后所形成的空位，立即又被移入的离子所填满。

正因为有这些梯度的存在，铝膜的寿命将比本文前几节方程式所预计的值为短，由于在这些区域中空位更迅速地凝聚成空洞，

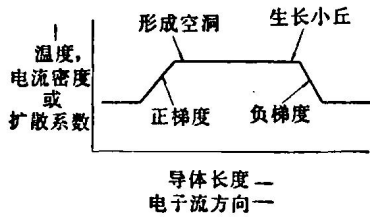


图 15 梯度的定义

很快便造成断路。为了验证这些梯度对导体寿命的影响，设计了一种试验样品，其截面如图 16 所示。实际上是集成电路中典型的 p 型扩散电阻。

对一系列这种电阻试样进行了 230 小时的老化试验。电流密度是 1.3×10^5 安/厘米²，温度为 235°C 。图 17 是两组老化试验后的照片。在电阻负端接头处长出晶须和小丘，而在电阻正端接头处出现空洞，有些空洞已造成铝膜断开。

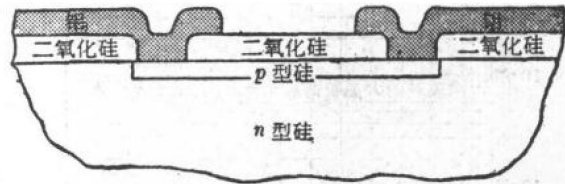


图 16 硅扩散电阻的截面图

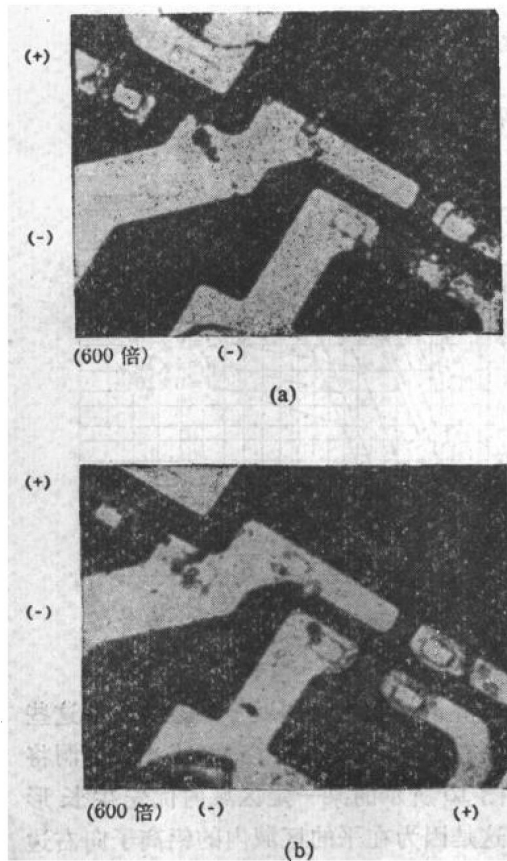


图 17 250 小时老化试验后的硅扩散电阻上的铝导线
 $J=1.3 \times 10^5$ 安/厘米², 235°C

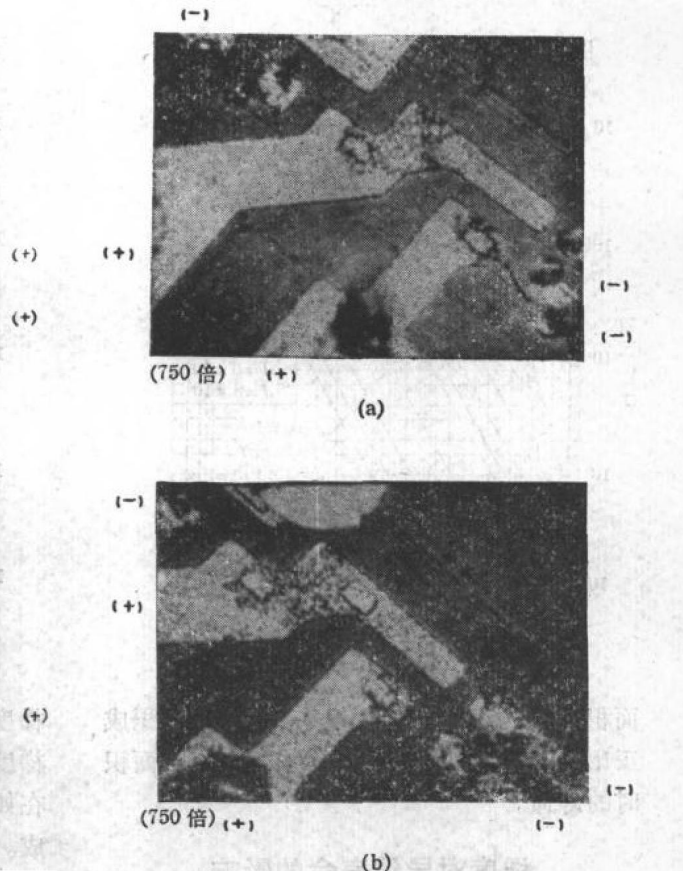


图 18 230 小时老化试验后硅扩散电阻的铝导线
 $J=1.3 \times 10^5$ 安/厘米², 235°C

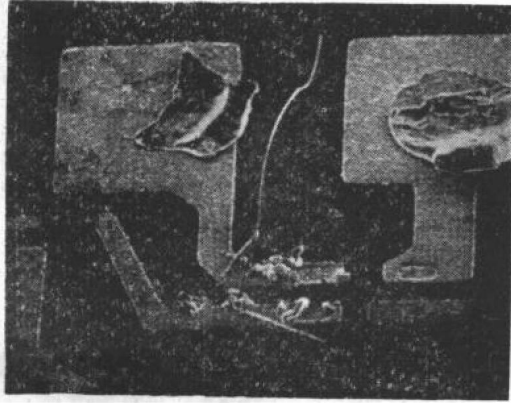


图 19 硅扩散电阻负极铝膜上生长的晶须和小丘
(引线孔为 0.5×0.3 密耳)

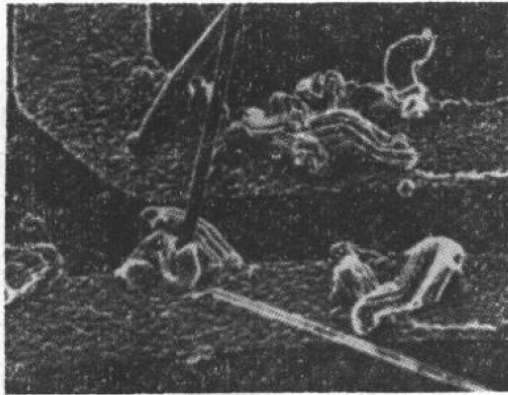


图 20 图 19 的放大照片

图 18 是另一组同样的试验,所加的电压极性正好和图 17 的相反。小丘和晶须仍旧在负接头处长出,空洞也仍旧在正接头处出现。这说明电子流的方向决定了小丘和空洞出现

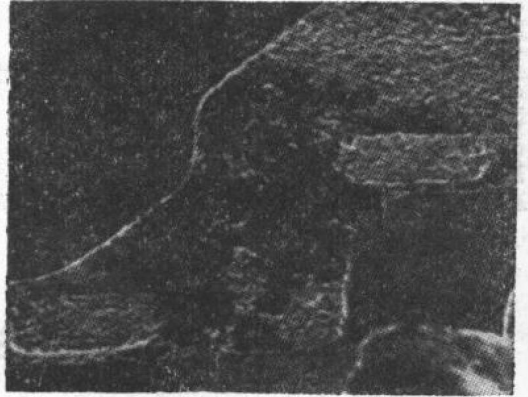


图 21 硅扩散电阻正极铝膜上形成的空洞
(引线孔为 0.5×0.3 密耳)

的位置,又进一步证明了铝的传质方向和电子流方向一致。图 19 是一个类似样品的扫描电子显微照片。可以清晰地看到在电阻负端接头处生长出晶须,其中有一根长达 5.5 密耳。图 20 是这个区域的放大照片,可以看到小丘突起的情况。从铝膜和小丘的相对高度,表明了输送到这个区域里来的铝的数量是相当可观的。

图 21 是两个电阻正接头处的扫描电子显微照片。在引线孔处电子的运动方向是由硅流入铝膜。铝已大量消失,出现空洞,结果造成断路。

(参考资料从略)

(译自《IEEE Transactions on Electron Devices》1969 年第 ED-16 卷第 4 期第 338~347 页)

人民,只有人民,才是创造世界历史的动力。

毛泽东

混合微波集成电路的工艺与设计

同一般的集成电路一样,微波集成电路有单片和混合之分。本文仅介绍目前工业中应用的混合电路的工艺,讨论基片、导体、电阻、介质薄膜和有源器件的工艺,并叙述了微带传输线和集总元件组元两种电路的电设计。

1965年前,几乎所有的微波设备均应用波导、同轴或带状线电路。近年来,集成方法已应用于微波频段,并且,实际上已经表明,在各种中等和低功率微波功能中,微波集成电路是可行的。

倾向于采用集成电路的主要原因是可靠性较高、能改进生产重复性、体积较小和重量较轻,有改进某些应用中的性能和降低成本的可能性。微波固体器件技术发展的主要因素是制作微波集成电路已获得成功。

本文讨论用于微波集成电路的集成方式和工艺,并介绍设计资料和各种混合微波集成电路的实例。

微波集成电路的集成方式

与一般的集成电路相同,混合微波集成电路能制作成单片或混合这两种形式。然而,在一般单片集成电路中采用低阻片的 $p-n$ 结隔离,由于损耗过大和隔离不足,不适用于微波频段。在单片微波集成电路中,采用电阻率超过1000欧姆-厘米的高阻片电阻隔离。在片上沉积外延层,在这个层上制作有源器件。去除掉多余的外延物质,沉积金属,并在已去除外延物质区域中划定形成器件和无源电路的接触。对单片集成必须应用全部顶面接触

的平面器件。

混合微波集成电路制作在高质量的陶瓷、玻璃或铁氧体基片上。无源电路元件沉积在基片上,有源器件装置在基片上并同无源电路相连接。有源器件可采用小片形、小片载体或小的塑料封装或密封封装。

当前,混合集成工艺仅应用于1~15千兆赫频段范围。由于产量、制造问题、损耗和器件性能上的限制等原因,在这个频率范围单片工艺实际上已被废弃。然而,单片工艺具有一些潜在的优点可供将来应用中考考虑。其中最重要的优点是能降低和控制器件同电路连接中所遇到的寄生电感。这一优点对高频特别重要,因而单片电路应用于毫米波电路就引起人们注意。本文仅讨论目前在工业中应用的混合电路工艺。

混合集成电路的方式

有两类常用的电路能应用于混合微波集成电路上:分布元件(传输线)和集总元件(电感器和电容器)。在某些情况下,一个电路能同时组合分布和集总两类组元。

图1所示的微带传输线是微波集成电路中最普通的形式。传输线包括一带状导体,用介质层和基板面分开。整个电路在带状导体

面上进行定型。线的长度和阻抗决定电路的特性。传布场的主要部分限于带状导体下面的介质区域。

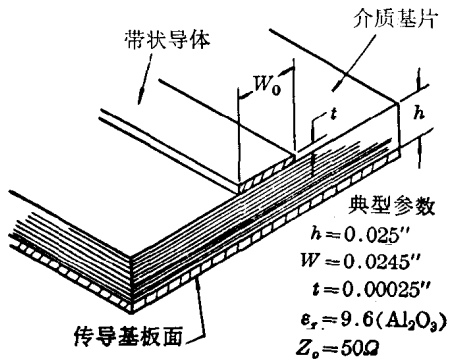


图1 微带传输线

图2所示的悬挂基片传输线是另一种常用的分布电路，所用的带状导体置于陶瓷基片的上表面，然后将基片悬挂于金属包壳中。这种结构的主要传布场是陶瓷和基板面间的空间。传输特性由基片厚度、介质系数、空间高度和带状导体的宽度所决定。

最近提出的另外两种分布电路形式示于图3。图3a所示为槽线式^[1]，而3b为共面波导线式^[2]，因为这两种线的导体均仅在基片的一面，它们在器件并联安装时一般可以不必象微带线那样需在基片上穿孔。除横向射频磁场外它们也有纵向磁场，并且具有极化性质，这对非互易铁氧体器件是有用的，至今这些线尚没有象微带线或悬挂基片线应用得这样普遍。

集总元件形式电路组合的各种组元的尺寸仅为波长的分数，起着电容器、电感器或电阻的作用。在使用频率范围内组元值与频率无关。过去，由于制作技术尚不能做足够小的、起到真正集总元件作用的线圈和电容器，这种电路形式往往不用于微波频率，但目前采用半导体工业中发展的清晰划线工艺，这些元件就能够生产了。

集总元件电路能制成两种形式。第一种是小片器件和小片薄膜电感、电容及电阻组合，把各种小片安装在基片上用细丝压焊互

连。第二种形式是和电路元件同时沉积互连，这时只有细丝压焊在器件上。第二种形式较第一种重复性好。

集总元件形式较之分布形式能形成更小的电路。虽然在某些情况下小尺寸是有好处的，但在大多数应用中，微带电路往往已足够小巧了。然而，应用集总电路所获得的两个关键优点都是由于尺寸小的结果。这两个优点就是降低成本和集总电路组元在混合分系统中的适应性。

因为集总元件电路的尺寸小，许多器件能同时制作在一个陶瓷片上。

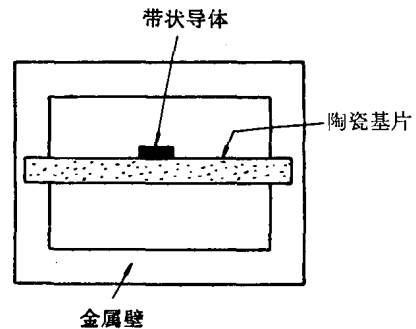


图2 悬挂基片传输线

例如图4示出一个三端点集总元件混合电路阵列制作在一片1.0×3/4吋的蓝宝石基片上。器件同晶体管一样是成批地制作的。这样，由于采用成批制造，集总元件的费用将低于微带线，因为微带线往往是要一片一片地做的。

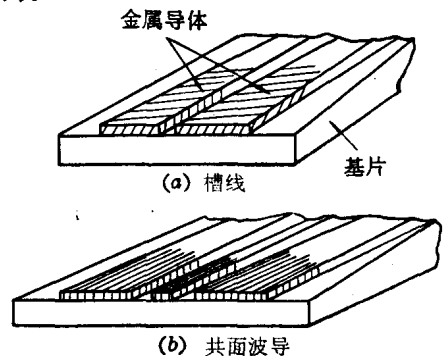


图3 另外两种分布电路

各种不同电路形式的一般比较列于表1。表中用数字对各种电路形式分成从1(表示最佳)到5各级。

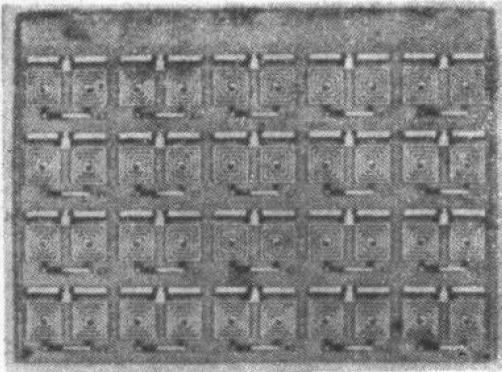


图4 一块沉积互连超高频三端混合电路基片
(基片为1"×0.75"蓝宝石)

表1 电路技术比较

| | 微带线 MIC | 槽线或 共面 MIC | 集总 元件 MIC | 一般 带状 线 | 同轴 波导 |
|-------|------------|------------------|-----------------|---------------|----------|
| 尺寸和重量 | 2 | 3 | 1 | 4 | 5 |
| 成本 | 2 | 2 | 1 | 2~3 | 4 |
| 重复性 | 1 | 1 | 2 | 2~3 | 4 |
| 可靠性 | 1 | 1 | 1 | 2 | 3 |
| 电路损耗 | 2~3 | 3 | 4 | 2 | 1 |

(注: MIC——微波集成电路的缩写)

混合微波集成电路工艺

基片

应用于微波集成电路的基片必须具有下列基本性能:

1. 微波频率损耗低。
2. 同导体能良好粘附。
3. 抛光的表面(2~5微吋光洁度)和基片没有洞孔。
4. 在电路制作过程中不变形。

选择基片材料还取决于对电路损耗、电路功能的要求和所应用的电路形式。

为了减小尺寸,应用微带线电路的基片应具有较高的介电常数(高于9)。每批基片材料的介电常数必须均匀,介电常数随温度也没有显著变化。

在薄膜集总元件电路中用的基片必需没有表面微孔。此外,这些基片应能被锯割或

划开,以便在成批制作后把每个电路分割开。

复合基片在微波集成电路中仅偶而用作铁氧体组元或高热耗散电路,虽然在铁氧体基片上可以制作全微带系统,但在某些使用中,可将铁氧体或石榴石晶片插到氧化铝基片中。当系统中采用环行器的时候可典型地应用这一工艺。高功率器件需要良好散热,当器件不能直接装上金属散热器时,可以装置在氧化铍基片上,然后和制作在较低热导率基片上的无源电路相连接。

几种常用基片的性能和应用列于表2。

表2 基片的性能

| 材 料 | 10千兆 赫时的 $\tan\delta$ | ϵ_r | k (瓦/厘米 ² ·°C) | 应 用 |
|-----------------|-----------------------------|--------------|--------------------------------|-----------------------|
| 氧化铝 | 2×10^{-4} | 9.6~9.9 | 0.2 | 微带线, 悬挂基片 |
| 蓝宝石 | 10^{-4} | 9.2~11.7 | 0.4 | 微带线, 集总元件 |
| 玻 璃 | 4×10^{-4} | 5 | 0.01 | 集总元件 |
| 氧化铍 | 10^{-4} | 6 | 2.5 | 复合基片 |
| 金红石 | 4×10^{-4} | 100 | 0.02 | 微带线 |
| 铁氧体 或 石榴石 | 2×10^{-4} | 13~16 | 0.03 | 微带线, 槽线,共 面复合基片 |

导体

在微波集成电路中应用的各种导体的特性和薄膜沉积方法示于表3。表中所示的导体可分成两类:与基片粘附性不好的良导体和与基片粘附性良好的不良导体。铝同时具有较好的导电性和粘附性。在基片和良导体间先粘附一层导电性差的薄膜,有可能使高导电性的材料获得良好的粘附性。几种典型的组合是Cr-Au、Cr-Cu和Ta-Au。典型的粘附层容许具有每平方500到1000欧姆的表面电阻率,后面将讨论到这种粘附层并不增添损耗。

选择导电材料往往决定于同电路中所用的其它材料的配合和制作过程的需要。选择时要考虑的其它因素是有利于所用的操作设备和需要的性能。

表3 导体的特性

| 材 料 | 相对于 Cu 的直流电阻率 | 2 千兆赫时的趋肤深度 (微米) | 表面电阻率 欧/方 $\times 10^{-7}$ \sqrt{f} | 热胀系数 ($\alpha_T/^\circ\text{C}$ $\times 10^{-6}$) | 同介质薄膜或基片的粘附性 | 沉 积 方 法 |
|-------|---------------|------------------|---------------------------------------|---|--------------|---------------|
| Ag | 0.95 | 1.4 | 2.5 | 21 | 差 | 蒸发, 漏印 |
| Cu | 1.0 | 1.5 | 2.6 | 18 | 极差 | 蒸发, 镀复 |
| Au | 1.36 | 1.7 | 3.0 | 15 | 极差 | 蒸发, 镀复 |
| Al | 1.60 | 1.9 | 3.3 | 26 | 极好 | 蒸发 |
| W | 3.2 | 2.6 | 4.7 | 4.6 | 好 | 溅射, 电子束蒸发, 气相 |
| Mo | 3.3 | 2.7 | 4.7 | 6.0 | 好 | 电子束蒸发, 溅射 |
| Cr | 7.6 | 4.0 | 7.2 | 9.0 | 好 | 蒸发 |
| Ta | 9.1 | 4.4 | 7.9 | 6.6 | 极好 | 电子束蒸发, 溅射 |
| Mo-Mg | 5 \times Mo | — | — | — | 极好 | 漏印 |

为了降低损耗, 导体的厚度应是 3~5 倍于趋肤深度, 就是良导体薄膜要求约 10 微米厚。这种厚度的膜能用蒸发或镀复或任何一种标准的厚膜方法来制作。导体的图形能用光刻、通过光致抗蚀剂上的开孔进行镀复或漏印法形成。用漏印法制作导体的线条对于精密电感是不够精细的。

介质薄膜

在微波集成电路中介质薄膜用于制作电容、阻挡层和一些耦合线结构等。几种代表性的介质薄膜的特性示于表 4。介质薄膜所要求的性能是具有重复的介电系数、足够的耐击穿强度并极少有针孔和残缺, 介质薄膜的微波性质尚不很清楚, 至今仅有氧化硅和二氧化硅方面的数据^[3, 4]。

表4 介质薄膜的特性

| 材 料 | ϵ_r | 介电强度 (伏/厘米) | 微波 Q 值 |
|---|--------------|-----------------|----------|
| SiO (蒸发) | 6~8 | 4×10^5 | 30 |
| SiO ₂ (沉积) | 4 | 10^7 | 100~1000 |
| Al ₂ O ₃ (阳极化或蒸发) | 7~10 | 4×10^6 | — |
| Ta ₂ O ₅ (阳极化或溅射) | 22~25 | 6×10^6 | 100 |
| Si ₃ N ₄ (气相) | 7.6 | 10^7 | — |
| (溅射) | 6.5 | 10^7 | — |

虽然蒸发氧化硅是一种普通的介质薄膜, 但它不是一种非常稳定和理想的材料, 故

仅能用于那些如旁路电容等非关键性的应用中。用热生长二氧化硅和金属化铝比较容易制作金属氧化物-半导体(MOS)电容器, 但它们的 Q 值往往小于 100。MOS 电容不能用于完全沉积电路。从硅烷(Silane)热解生长二氧化硅用于金属-氧化物-金属电容器已获得成功。采用适当的工艺, Q 值在 100 以上的二氧化硅电容器已制作成功, 并能很好地重复生产。

用于功率集成电路中的电容器的击穿电压要求超过 200。生产这种电容器时薄膜的厚度应在 0.5~1.0 微米数量级和具有低几率的针孔及残缺。用二氧化硅薄膜做的电容器每平方密耳的电容值为 0.02~0.05 微微法。

电阻

在微波集成电路中电阻薄膜用于偏压网络、终端和衰减器。一个好的微波电阻应具有同低频电阻相似的性能, 即: 高稳定性、低电阻温度系数、适当的耗散量和每平方 10 到 1000 欧姆范围内的片电阻值。对于完全沉积的电路, 电阻材料必须同所用的其它材料相适应。厚膜电阻可在电路中同膜片组元组合使用。

表 5 列出几种在微波集成电路中使用的薄膜电阻材料。蒸发镍铬和氮化钽是最普通和有用的材料。所得到的确实的电阻温度系数决定于成膜条件。

表 5 电阻薄膜的特性

| 材 料 | 电阻率 (欧/方) | 电阻温度系数 (%/°C) | 稳定性 |
|--------------------------|--------------|------------------|-----|
| Cr (蒸发) | 10~1000 | -0.1~+0.1 | 不好 |
| NiCr (蒸发) | 40~400 | +0.002~+0.1 | 好 |
| Ta (在氩-氮 中溅射) | 5~100 | -0.01~+0.01 | 很好 |
| Cr-SiO (蒸 发或金属陶 瓷) | 600 以下 | -0.005~-0.02 | 尚好 |
| Ti (蒸发) | 5~2000 | -0.1~+0.1 | 尚好 |

有源器件

在理论上任何微波固体器件都能组合于混合微波集成电路中。因为对于大多数微波器件不可能获得好的模式，在微波电路设计中常用的程序是基于测量所用某一器件的参数来组成电路。然后用短线和调谐螺丝作最后微调。但是由于微波集成电路只有很小一点地方可供微调，所以在设计和测量器件参数时必须十分精确和仔细。必须确切知道供器件参数测量的参考面，使在测试装置(Characterization jig)和末级电路间寄生电抗的任何差异都能估计进去。

散射参数便于用来设计线性电路，因为这些参数用终端 50 欧姆的端点代替开路或闭路测量，在 y 和 z 特性上的许多稳定问题可以消除。

在非线性电路设计中，例如功率放大器，不能再采用线性电路分析，而必须在动态条件下测量器件在给定频率和功率水平情况下的参数。如图 5 所示的系统可供这种测量。用短线(stubs)将器件调谐到需要的工作点。拿去器件架，测量器件面上的阻抗。能组成一个接近于给定频带所需阻抗的电路。然后，以分布形式或集总元件形式来实现这种

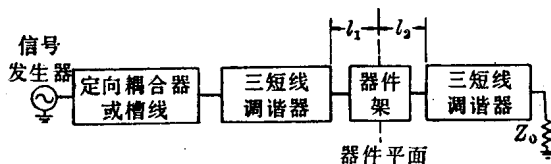


图 5 器件动态特性的测量系统

电路。

梁式引接在高频电路中应用于微波开关二极管和肖特基势垒二极管上是很成功的。在低频电路(低于 2 千兆赫)中，晶体管和二极管经常用细丝压焊接到无源电路上。

微波集成电路的电学设计

微带传输线

如图 1 所示的微带线的基本传播方式是 TEM 波，在低的微波频率，大部分能量在带状导体下的介质中传播。传播是一种边缘场，它们中有些扩展到介质上面的空间。在微带线中的 TEM 波传播的特性能用保角变换(Conformal mapping)来确定。Wheeler^[6, 7]提出了应用于微带线的专门变换，Caulton、Hughes 和 Sobol^[8]采用 Wheeler 的结果推导微带线设计数据，已证明到 3 千兆赫都十分精确。特征阻抗和波长分别示于图 6 和图 7。

在最近某些微带线的波的分析工作中^[9]，已表明混合的 TE 和 TM 模式分布是对在微带中高频传播的较好近似。这个分析表明基于无色散 TEM 模解的波长在 10 千兆赫时可能高到 5%，但在 2~3 千兆赫范围和以下则是正确的。

微带线单位长度的损耗反比于基片的厚度 h ^[8, 10]，因此，微带腔的 Q_0 (空载 Q) 正比于 h 。此外， TEM 模式分析尚表明微带腔所获

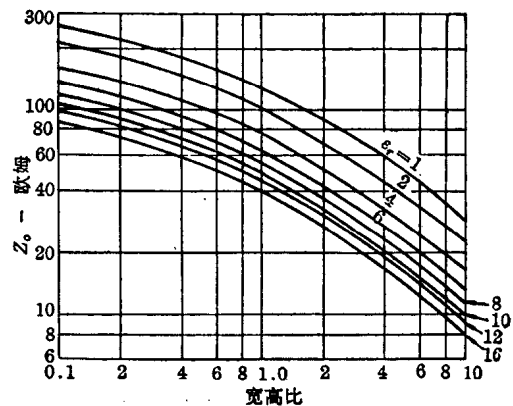


图 6 微带线的特征阻抗