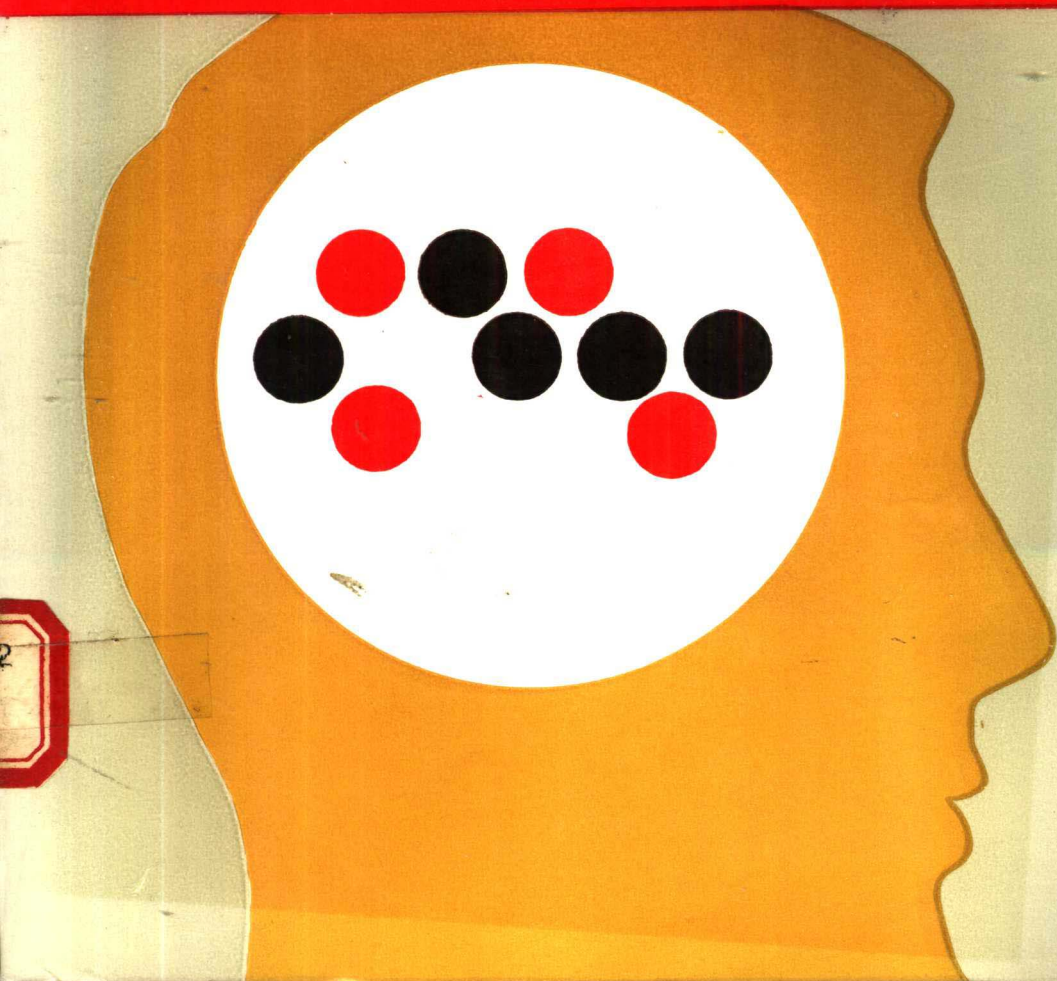


邏輯設計實習

朱惠勇・康峻源著

科學技術叢書 / 三民書局印行



邏 輯 設 計 實 習

朱 惠 勇

學歷：國立成功大學電機
工程研究所碩士

現職：任教國立成功大學
電機系

康 峻 源

學歷：國立臺灣教育學院
工業教育學系學士

現職：任教省立新化高二
電工科

三 民 書 局 印 行

教育部教科圖書發售具審定執照

茲據三民書局呈送

定於本年九月一日

限至本年九月一日

合行發給執照

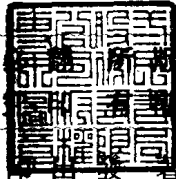
右給三民書局收執

中華民國



三民書局

行政院新聞局登記證版業字第二〇〇號



編輯設計實習

基本定價貳元陸角柒分

中華民國七十五年八月初版

作者 朱康 惠源
 發行人 劉振 強
 出版者 三民書局股份有限公司
 刷所 三民書局股份有限公司

臺北市重慶南路一段六十一號
 郵撥：〇〇〇九九九八一五號

編 輯 大 意

- 一、本書係遵照民國七十二年一月教育部頒布之五年制工業專科學校電機工程科「邏輯設計實習」之課程標準編寫而成。
- 二、本書全一冊，適合五年制工專電機工程科第二學年上學期，每學期1學分，每週實習3小時教學之用。
- 三、本書編寫時均說明每一實驗項目的目的及其相關理論，以使讀者能了解邏輯電路的原理。為了方便實驗，本書亦列出了所須的實驗材料及實驗過程，讀者可按其內容按部就班的實驗。同時本書在編寫時，假設讀者已熟悉三用電錶和示波器的基本原理及使用方法，若讀者尚不熟悉，可參考相關書籍。
- 四、本書所用專有名詞悉依教育部七十一年四月公布之電機工程名詞為準，同時所用的單位均採用公制。
- 五、本書之資料參考許多中英文書籍，讀者若欲深入探討，可查閱書後的參考文獻。同時為了配合實驗，附錄一編列了相關儀器的規格，以供教師參考選用儀器，附錄二編列本書實驗中所使用 IC 的接腳圖，以方便學生接線的參考。
- 六、本書雖經精心之編撰和多次校訂，錯誤仍所難免，尚祈讀者及先進隨時予以指正，俾再版時得以訂正。

編 者 謹識

七十四年六月

1144 607/3

三民科學技術叢書(五)

書名	著 作 人	任 職
材料力學	蔡 旭 容	臺 北 工 專
基礎工程	唐 山	桃 園 農 工 專 學
基礎工程學	金 永 斌	成 功 大 學
土木工程概論	常 正 之	成 功 大 學
土木製圖	顏 榮 記	成 功 大 學
土木施工法	顏 榮 記	成 功 大 學
土木材料	黃 榮 吾	成 功 大 學
土木材料試驗	蔡 攀 鰲	成 功 大 學
土壤力學	莊 長 賢	成 功 大 學
土壤力學實驗	蔡 攀 鰲	成 功 大 學
混凝土	王 櫻 茂	成 功 大 學
混凝土施工	常 正 之	成 功 大 學
瀝青混凝土	蔡 攀 鰲	成 功 大 學
鋼筋混凝土	蘇 應 憲	成 功 大 學
混凝土橋設計	彭 耀 南	交 通 大 工 專
房屋結構設計	彭 耀 南	交 通 大 工 專
鋼結構設計	彭 耀 南	交 通 大 學
結構學	左 利 時	逢 甲 大 學
結構學	徐 德 修	成 功 大 學
結構設計	劉 新 民	前 成 功 大 學 教 授
水利工程	姜 承 吾	前 成 功 大 學 教 授
給水工程	高 肇 藩	成 功 大 學
水文學精要	鄒 日 誠	榮 民 工 程 處
施工管理	顏 榮 記	成 功 大 學
契約與規範	張 永 康	審 計 部
計畫管制實習	張 益 三	成 功 大 學
工廠管理	劉 漢 容	成 功 大 學
工廠管理	魏 天 柱	臺 北 工 專
工業管	廖 桂 華	成 功 大 學
工業安全(工程)	黃 清 賢	嘉 南 藥 專
工業安全與管理	黃 清 賢	嘉 南 藥 專
工廠佈置與物料運輸	陳 美 仁	成 功 大 學
工廠佈置與物料搬運	林 政 榮	成 功 大 學
生產計劃與管制	郭 照 坤	成 功 大 學
甘蔗營	夏 雨 人	新 埔 工 專

大學專校教材，各種考試用書。

邏輯設計實習 目次

編輯大意

第一章 IC 閘靜態特性之測定

實驗 1.1 輸入輸出電壓及電流測試	1
實驗 1.2 功率消耗測試	3
實驗 1.3 扇出 (Fan-Out) 測試	6
實驗 1.4 TTL 與 CMOS IC 閘靜態特性比較	11

第二章 IC 閘動態特性之測定

實驗 2.1 訊號傳送延遲時間測定	13
實驗 2.2 TTL 與 CMOS IC 閘動態特性比較	15
實驗 2.3 不同族類 IC 之介面連接法	17

第三章 以 SSI IC 作組合邏輯設計

實驗 3.1 NAND、NOR、AND、OR 及 Exclusive-OR 閘的功能實驗	23
實驗 3.2 AND-OR 及 OR-AND 電路實驗	39
實驗 3.3 三狀態電路的實驗	45

第四章 以 MSI IC 作組合邏輯設計

實驗 4.1	全加器電路實驗	49
實驗 4.2	減法器電路實驗	54
實驗 4.3	多位元十進位制加法器電路實驗	59

第五章 序向電路設計與實驗

實驗 5.1	正反器電路實驗	65
實驗 5.2	二進位計數器電路實驗	80
實驗 5.3	移位器電路實驗	97
實驗 5.4	邏輯比較器電路實驗	109

第六章 計時脈波電路之設計及實驗

實驗 6.1	利用 TTL 閘組成無穩態振盪器之實驗.....	119
實驗 6.2	石英晶體振盪器之實驗.....	123
實驗 6.3	利用 IC 555 計時器做計時脈波之實驗.....	126
實驗 6.4	使用商用 AC 電源做計時脈波之實驗.....	129

第七章 各式顯示器及其驅動器的實驗

實驗 7.1	LED 的實驗	133
實驗 7.2	LED 數字顯示器驅動電路之實驗	138
實驗 7.3	液晶顯示器 (Liquid Crystal Display, LCD) 之實驗	145

第八章 數字鐘之設計與實驗

實驗 8.1	以 SSI 及 MSI 設計數字鐘.....	153
實驗 8.2	以 LSI 時鐘元件設計數字鐘.....	159

參考文獻

附錄一 本書使用之相關儀器的規格

附錄二 本書使用 IC 的接腳圖

第一章 IC 閘靜態特性之測定

實驗 1.1 輸入輸出電壓及電流測試

I. 實驗目的:

利用三用電表來測量 TTL 與 CMOS IC 的輸入和輸出電壓及電流。

II. 理論簡介:

74系列 IC 的特性說明如下:

V_{CC} : 所使用的電源電壓。

$V_{IN}(1)$: 指輸入邏輯 1 時所需之最低電壓, 若由特性資料可見輸入電壓在 2.0V 以上為 1 之狀態。

$V_{IN}(0)$: 指輸入邏輯 0 時之最高電壓, 由特性表可見, 輸入欲為邏輯 0, 則輸入電壓應限制在 0.8V 以下。

$I_{IN}(0)$: 指輸入邏輯 0 時, 輸入端之最大電流。

$I_{IN}(1)$: 指輸入邏輯 1 時, 輸入端之最大電流。

$V_{OUT}(1)$: 指輸出高態電位 (邏輯 1), 且輸出電流為 $400\mu A$ 時之輸出端的電壓。

$V_{OUT}(0)$: 指輸出低態 (邏輯 0), 且吸入 (Sink) 電流 16mA 時的輸出端電壓。

I_{OS} : 當輸出高態 (邏輯 1) 時, 將輸出端對地短路, 此輸出短路電流即 I_{OS} 。

2 邏輯設計實習

有些的 IC 特性表中以 V_{IH} 表 $V_{IN}(1)$, V_{IL} 表 $V_{IN}(0)$, V_{OH} 表 $V_{OUT}(1)$, V_{OL} 表 $V_{OUT}(0)$, I_{IL} 表 $I_{IN}(0)$, I_{IH} 表 $I_{IN}(1)$, 字母 H(High) 表示邏輯 1, L(Low) 表示邏輯 0。表 1-1 列出了 TTL 和 CMOS 系列基本閘的輸入和輸出特性。

表 1-1 TTL 和 CMOS 系列基本閘的輸入及輸出特性表

	所需邏輯輸入		邏輯輸出		電 源	
	V_{IL}/I_{IL} (V/mA)	V_{IH}/I_{IH} (V/ μ A)	V_{OL}/I_{OL} (V/mA)	V_{OH}/I_{OH} (V/ μ A)	V_{CC} (V)	G (V)
74	0.8/1.6	2.0/40	0.4/16	2.4/400	5	0
74H	0.8/2	2.0/50	0.4/20	2.4/500	5	0
74 L	0.7/0.18	2.0/10	0.3/2	2.4/100	5	0
74 S	0.8/2	2.0/50	0.5/20	2.5/1000	5	0
74 LS	0.8/0.4	2.0/20	0.25/8	2.7/400	5	0
CMOS	1.5/ 0.3×10^{-3}	3.5/ 0.3×10^{-3}	0.05/0.44	4.95/-0.16	5	0
	3.0/ 0.3×10^{-3}	7.0/ 0.3×10^{-3}	0.05/1.1	9.95/-0.4	10	0
	4.0/ 0.3×10^{-3}	11.0/ 0.3×10^{-3}	0.05/3.0	14.95/-1.2	15	0

III. 實驗材料:

IC: 7400, 74L00, 74H00, 74S00, 74LS00, 4011 各 1 個。

IV. 實驗過程:

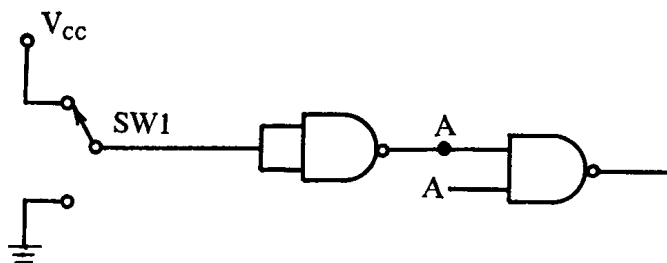


圖 1-1 電壓、電流測試線路圖

1. 由於 TTL 和 CMOS 邏輯閘的接腳並不相同，所以實驗接線時，請先參考本書之附錄二之 IC 接腳圖，以免誤接線。
2. 先將一個7400安裝於萬用電路板上。
3. 如圖 1-1 所示，連接線路。
4. 設定開關 $SW1=L$ ，利用三用電表 DCV 檔，量測 A 點的電壓和電流，並記錄之。
5. 設定開關 $SW1=H$ 利用三用電表 DCV 檔，量測 A 點的電壓和電流，並記錄之。
6. 改用 74 Lxx 系列，74 Hxx 系列，74 Sxx 系列，74 LSxx 系列與 CD 4011 系列，重覆(2)，(3)，(4)步驟，並比較量測值。

實驗 1.2 功率消耗測試

I. 實驗目的:

瞭解各類 IC 的功率消耗。

II. 理論簡介:

功率消耗是指從電源供應器供給一個 IC 所消耗的功率 (以 mW, 毫瓦表示)，一般而言在一片 IC 內包含了幾組的線路，因此較典型的功率測量是指當一半的線路處於高準位，而另一半線路處於低準位時，所消耗的功率。這種功率的消耗也會受輸入信號的頻率所影響，

4 邏輯設計實習

即會受邏輯閘改變狀態的速率所影響，當頻率逐漸增高時，功率消耗亦隨之增加。

功率消耗之所以重要，雖然它會影響電源供應器的成本，更重要的是當功率消耗增加時，IC 附近及儀器箱內的溫度亦會隨之增高，過熱往往是電子電路發生故障的主要原因。假若將修復及維護成本考慮在內的話，我們不難發現一位設計工程師為什麼要花那麼大的精力，在他設計線路的功率消耗之上。

功率消耗是 IC 重要特性之一。在廠商規格表內皆會陳列出來，通常均以平均功率 P_D 來代表。但有些廠商是以 IC 的電源供應器所輸出的電流 I_{CC} 來代表它，因為若知道了 I_{CC} ，又知道電源供應器的電壓，將電壓與電流 I_{CC} 相乘，即是功率消耗 P_D 。例如有一基本的 TTL NAND 邏輯閘，其電源的供應電流 $I_{CC}=2\text{ mA}$ ，供應電壓為 5V，因此即可計算出 $P_D=2\text{mA}\times 5\text{ V}=10\text{ mW}$ 。

III. 實驗材料：

IC: 7400, 74 H00, 74 S00, 74 L00, 74 LS00 各 1 只。

IV. 實驗步驟：

1. TTL 邏輯閘：

- (1)將一個 74L00, 74H00, 74S00, 7400, 74LS00 安裝於萬用電路板上。
- (2)依圖 1-2 所示，連接線路。

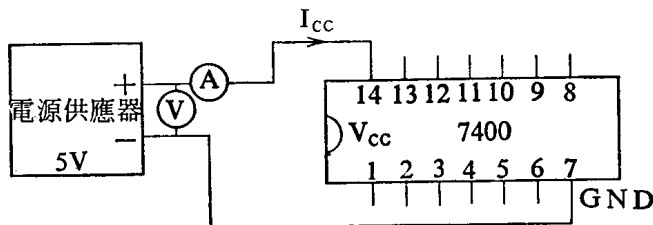


圖 1-2 TTL 功率消耗測試

(3)將電流表及電壓表指示的數值，記錄於表 1-2 之中。

(4)更換一個 IC，重覆(2)，(3)，(4)步驟。

表 1-2 TTL 功率消耗測試

IC 編 號	I_{cc}	V	$P_D = I_{cc} \times V$
7400			
74 L00			
74 H00			
74 S00			

2. CMOS 邏輯閘：

(1)將一個 CD 4001 安裝於萬用電路板上。

(2)依圖 1-3 所示，連接線路。

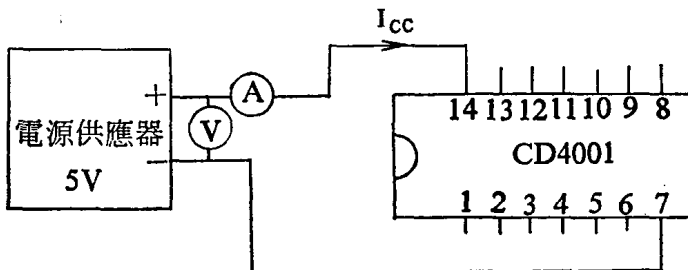


圖 1-3 CMOS 功率消耗測試

(3)將電流表及電壓表所指示的數值，記錄於表 1-3 中，並計算 P_D 。

表 1-3 CMOS 功率消耗測試

IC 編號	I_{cc}	V_D	$P_D = I_{cc} \times V_D$
CD 4001			

實驗 1.3 扇出 (Fan-Out) 測試

I. 實驗目的:

1. 計算每一族類 IC 的扇出 (Fan-Out) 數。
2. 瞭解每一族類 IC 的扇出 (Fan-Out) 之測試方式。

II. 理論簡介:

TTL 邏輯族的電路可以直接串接使用，一個輸出端可連接至另一個，或幾個其他 IC 的輸入端。此種數位邏輯電路輸出的推動能力稱為扇出 (Fan-Out)，所需的輸入稱為扇入 (Fan-In)。

一般標準 TTL 閘能推動10個 TTL 閘，若其扇出數過多，作為扇出閘之輸出電壓將會改變，使得代表 H 之高電壓下降，而代表 L 之低電壓上升，故對直流雜訊的免除性就大大降低，若負載再增大時，則輸出電壓將使 H 之高電壓輸出低於容許最低之高電壓，而其低電壓輸出高於最高之低電壓，因而此電路即失去邏輯特性，即不能使用。所以每一個邏輯閘的扇出數有一定限制。

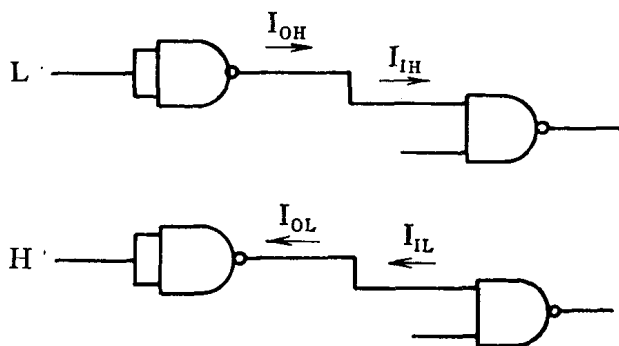


圖 1-4 扇出個數的計算

關於扇出個數的計算法可如下說明：如圖 1-4 所示

I_{OH} : 輸出端為H時的負載電流。

I_{OL} : 輸出端為L時的負載電流。

I_{IH} : 輸入端為H時的輸入電流。

I_{IL} : 輸入端為L時的輸入電流。

扇出個數的算法如下:

(1)在邏輯 H 之扇出 $= I_{OH} \div I_{IH}$

(2)在邏輯 L 之扇出 $= I_{OL} \div I_{IL}$

若邏輯為 H 及邏輯為 L 之扇出個數不相等, 應選擇較小者使用。

【例一】 一個74系列標準閘, 其 $I_{OH}=400 \mu A$, $I_{OL}=16 \text{ mA}$,
 $I_{IH}=40 \mu A$, $I_{IL}=1.6 \text{ mA}$, 試計算其扇出個數。

解:

(1)邏輯 H 的扇出個數 $= I_{OH} \div I_{IH} = 400 \div 40 = 10$

(2)邏輯 L 的扇出個數 $= I_{OL} \div I_{IL} = 16 \div 1.6 = 10$, 故扇出數為 10 個。

【例二】 如圖 1-5 所示, 試計算其輸出是否超載

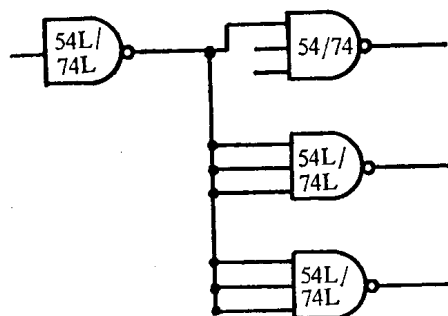


圖 1-5 計算扇出個數的最大值

解: 參考圖1-1的輸入及輸出特性表:

$$(1) \text{邏輯 H 時的負載電流} = 40 \mu\text{A} + 10 \mu\text{A} \times 6 = 100 \mu\text{A} \\ = I_{OH}$$

$$(2) \text{邏輯 L 時的負載電流} = 1.6 \text{ mA} + 0.18 \text{ mA} \times 6 = 2.68 \text{ mA} \\ = I_{OL}$$

因 I_{OL} 電壓之負載電流已超過 2 mA ，故不足以推動，其扇出數過大，已超載了，故必須減少至推動一個 54/74 輸入和兩個 54L/74L 輸入，方足以推動。

III. 實驗材料：

IC: 7400, 74 L00 各 2 個

IC: 7420, 7410, 7430 各 1 個

IV. 實驗步驟：

1. 標準開關出數之實驗

- (1) 將一個 7400, 7420 和 7430 安裝於萬用電路板上。
- (2) 如圖 1-6 所示，連接線路。
- (3) 設定 $SW1 = H$ ，用三用表量測 7400 的輸出電壓 V_{OL} 。
- (4) 設定 $SW1 = L$ ，用三用表量測 7400 的輸出電壓 V_{OH} 。
- (5) 將 7400 的扇出數逐次增加，直至扇出數為 16 為止記錄於表 1-4，比較 V_{OL} 和 V_{OH} 。

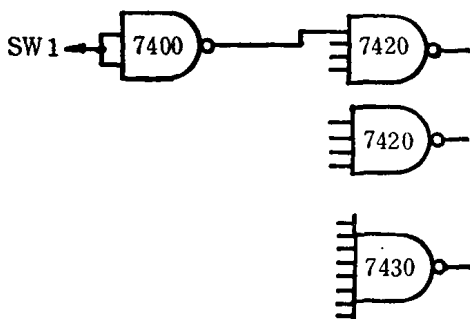


圖 1-6 標準開關出數實驗之接線

