

RISC

RISC 技术参考大全

夏仁霖 胡传国 卢克盛 陈福生等 编

电子工业出版社

RISC 技术参考大全

夏仁霖 胡传国 等编
卢克盛 陈福生

电子工业出版社

(京)新登字 055 号

内容提要

RISC (精简指令集计算机) 技术为计算机体系结构带来了重大变革, 正在深刻地改变着整个计算机工业的面貌。基于 RISC 技术的微处理器的性能价格比大大优于传统的 CISC (复杂指令集计算机) 产品。到九十年代末, 基于 RISC 技术的单片微处理器的运算速度将达到 10 亿次/秒。RISC 技术是开放的、相互兼容并行将成为计算机体系结构的工业标准, 能满足各种计算机平台的需要。本书由浅入深地介绍了 RISC 技术的过去、现在和将来; 它的主要特点和设计方法; 世界上各主要公司的 RISC 体系结构, 特别介绍了代表着世界 RISC 技术发展缩影的 R2000/R3000/R4000/R6000 计算机系统的体系结构、指令格式和操作、机器语言和汇编语言的编程技术等等; 本书还介绍了 RISC 技术的 R 系列器件、RISC 技术支持的标准化规范、嵌入式应用范例、十多种 RISC 计算机系统的框图和详细规范、RISC 支撑软件以及 RISC 系统性能评测技术等。

RISC 技术参考大全

夏仁霖 胡传国 等编
卢克盛 陈福生

责任编辑: 郭延龄 陈晓莉

电子工业出版社出版 (北京市万寿路)

电子工业出版社发行 各地新华书店经售

上海电子计算机厂技术资料科电脑排版

人民卫生出版社印刷厂印刷

开本: 787×1092 毫米 1/16 印张: 48 字数: 1221 千字

1992 年 12 月第一版 1992 年 12 月第一次印刷

印数: 4000 册 定价: 37.50 元

ISBN 7-5053-1823-3/TP·512

前 言

随着半导体集成电路的发展，特别是 VLSI 技术和微细加工工艺的突飞猛进，精简指令集计算机（简称 RISC——Reduced Instruction Set Computer）技术应运而生。RISC 技术给计算机体系结构的发展史上带来了又一次重大变革，深刻地改变了整个计算机工业的面貌。自八十年代中期至今，单 CPU RISC 计算机平均每隔 15 个月，其运算速度就提高一倍；到九十年代末，基于 RISC 技术的处理器速度将达到 10 亿次/秒 (1GMIPS)。RISC 技术已被广泛地应用于巨型机，大中小型机，工程工作站，高级服务器，各类 PC 机、嵌入式控制器中。在数字信号处理系统、专用算法处理、自适应处理、模糊逻辑运算、图象处理和神经网络计算机中，也都已开始采用 RISC 技术。根据预测，到 1994 年 RISC 微处理器在计算机领域中的应用数量将比 1990 年增长七倍，而在嵌入式应用中将增加十倍以上。

简单、固定长度、单周期执行指令的 RISC 计算机系统，与传统的复杂、可变长度、指令级并行执行指令的复杂指令集计算机（简称 CISC——Complex Instruction set Computer）的计算机系统相比较：在相同条件下，RISC 技术的速度快 2~5 倍，具有巨大的性能价格比优势；RISC 技术正推动着从封闭的专用性 CISC 系统结构，走向开放的、相互兼容的，适用于全功能范围，从而被工业界广泛支持，行将成为工业标准的 RISC 体系结构，满足各种计算机平台发展的需要。所以，世界各半导体生产厂不断地研制、生产性能更强、集成度更高的 RISC 处理器芯片，而全世界几乎所有计算机系统制造商，又都竞相采用 RISC 技术的芯片，制造出性价比极佳的计算机系统产品，赢得市场。

为了促进和推动我国半导体集成电路和计算机产业发展的需要，借鉴国外的先进科技成就，上海电子计算机厂夏仁霖、胡传国和华东计算技术研究所卢克盛、陈福生等四位高级工程师，受电子工业出版社的委托编写了《RISC 技术参考大全》这本书。本书有六部份共二十七章，它包含了 RISC 技术的硬件、软件、器件、应用以及标准和评测方法等方面，力求全面系统和完整。鉴于 RISC 技术的体系结构的设计思想、产品及其应用，在我国都还是比较新，所以我们采用了从“什么是 RISC？”到“嵌入式应用”的由浅入深的编写方法，使本书具有完整统一而各部份又相对独立自成体系的特点，以适应各个领域内不同层次的专家学者们各取所需。

本书的第一部份全面阐述 RISC 技术的过去、现在和将来；RISC 技术的主要特点及其设计方法；RISC 技术的主要类型。本部份还全面介绍了包括 sun、SPARC、IBM、Intel 和 MOTOROLA 等国际著名厂商所研制生产的典型 RISC 处理器的特点、性能和应用梗概。第二、三部份系统完整地介绍了 MIPS 公司研制生产的 R2000/R3000/R4000 计算机系统的体系结构、指令格式和操作、机器语言和汇编语言的编程技巧等等。MIPS 公司在 RISC 技术和系统开放性等方面都处于国际领先地位，从 R2000 到 R4000 的 RISC 微处理器，代表着 RISC 计算机从全 32 位到全 64 位的体系结构，是 RISC 技术发展 to 第三代的缩影。MIPS 公司的产品具有以下特点：品种齐全性能价格比好；包括体系结构和编译软件源码等关键技术均可以转让；它广泛采用国际标准已成为得到工业界广泛

支持的开放式系统,行将成为 RISC 计算机结构体系的工业标准等。本书的第四部份是 MIPS 公司 R 系列的芯片,着重对 R 系列的处理器、控制器、浮点加速器、集成控制器和写缓冲等 RISC 芯片的基本原理、主要特性、详细技术规范、封装形式和外引线排列等作了详细介绍。第五、六两部份,分别是 RISC 技术支持的标准化规范和 RISC 技术应用的范例。除了介绍 RISC 技术的嵌入式应用外,本手册还详细介绍了 RS2030、RC3230、RC3240、RC3260/M2000、RC3350、RC3360、M3000、R6260 及 R6280 等十多种类型、不同用途的 RISC 计算机系统的系统框图和详细规范,以便各位行家选择、对照、摸索走自己的路。在本书的附录中还介绍了 RISC 系统性能评测技术和 RISC 技术的支撑软件。

综上所述,《RISC 技术参考大全》的内容新而全,可适用于初学者入门,也可适用于对 RISC 技术已有相当造诣的人员参考借鉴。它特别适用于科研单位、高等院校、工矿企业内从事半导体集成电路和二进制数字逻辑技术领域的科研、教学、生产和应用的需要。由于水平的限制,在本书中定有许多不足之处,欢迎广大读者批评指正。

本书第一部分、第二部分的第一章、第三部分的第一、三、八、九章、第四部分的第二、五章、第六部分及附录由卢克盛、陈福生、严明东编,夏仁霖审校;第二部分的第二、三、四、五、六、七、八、九章、第三部分的第四、五、六、七章、第五部分由胡传国编,卢克盛审校;第三部分第二章、第四部分的第一、三、四、六章由夏仁霖编,胡传国审校。

上海电子计算机厂的徐建平、郑金宝、邱江、田淑臻、赵秋萍、杨明仪、张寿玲、吕丽芳、汪伟芬、王婵娟、黄再生、李清慈、顾慧琴、陈刘琴、杜月琴、周秀琴、蔡兰芳和张永权等同志为本书的出版做了大量的工作,借此机会向他们表示深切的谢意。

编者 于 1992.6

目 录

第一部份 RISC 技术综述	(1)
第一章 RISC 技术的发展	(1)
1.1 RISC 技术的由来	(2)
1.1.1 复杂指令集计算机(CISC)	(2)
1.1.2 精简指令集计算机(RISC)	(2)
1.2 RISC 技术的类型	(3)
1.2.1 IBM 801 小型计算机	(3)
1.2.2 柏克莱分校的 RISC I、RISC II 型	(4)
1.2.3 MIPS R×000 系列型	(4)
1.2.4 CRAY-I 型	(4)
1.3 RISC 技术的设计技巧	(5)
1.3.1 短周期时间	(5)
1.3.2 单周期执行指令	(5)
1.3.3 Load(取)/store(存)结构	(5)
1.3.4 简单固定格式的指令系统	(6)
1.3.5 不用微码技术	(6)
1.3.6 大寄存器堆	(6)
1.3.7 哈佛(Harvard)总线结构	(6)
1.3.8 高效流水线操作	(7)
1.3.9 延迟转移	(7)
1.3.10 硬连线控制	(7)
1.3.11 重叠寄存器窗口技术	(7)
1.3.12 优化编译程序	(7)
1.3.13 增强存贮管理功能	(8)
1.3.14 面向高级语言	(8)
1.4 新一代 RISC 微处理器的发展	(9)
1.4.1 90 年代的 RISC 微处理器	(9)
1.4.2 采用并行处理技术	(10)
1.4.3 支持多处理机技术	(11)
1.4.4 多级 Cache 存贮器结构	(12)
1.4.5 RISC 在嵌入式控制系统中的应用	(12)
第二章 典型的 RISC 微处理器	(15)
2.1 Sun 公司 SPARC RISC 微处理器	(15)

2.1.1 SPARC 的体系结构	(15)
2.1.2 SPARC 的指令系统	(16)
2.1.3 流水线技术	(17)
2.2 MOTOROLA 公司的 MC88000 微处理器	(18)
2.2.1 MC88100 的体系结构	(18)
2.2.2 MC88100 的指令系统	(19)
2.2.3 MC88200 存贮管理部件	(20)
2.3 Intel 80860 微处理器	(21)
2.3.1 i80860 的体系结构	(21)
2.3.2 i80860 的数据带宽控制	(22)
2.3.3 i80860 的向量处理	(23)
2.3.4 i80860 的性能分析	(24)
2.4 IBM RS/6000 微处理器系列	(26)
2.4.1 RS/6000 的体系结构	(26)
2.4.2 RS/6000 执行部件	(27)
2.4.3 RS/6000 的存贮管理	(28)
2.5 T414、T800 微处理器	(30)
2.5.1 Transputer 微处理器的体系结构	(30)
2.5.2 Transputer 微处理器的指令系统	(32)
2.6 R2000/R3000/R6000/R4000 微处理器	(33)
2.6.1 R2000/R3000 微处理器	(33)
2.6.2 R6000 微处理器	(34)
2.6.3 R4000 微处理器	(36)
2.6.4 R3000、R6000 和 4000 性能比较	(39)

第二部份 R2000/R3000 RISC 计算机系统 (41)

第一章 R2000/R3000 综述	(42)
1.1 R2000/R3000 处理器特性	(42)
1.2 R2000/R3000/CPU 寄存器	(43)
1.3 指令集概况	(43)
1.4 R2000/R3000 处理器程序设计模型	(45)
1.4.1 数据格式及寻址	(45)
1.4.2 R2000/R3000 CPU 寄存器	(46)
1.5 R2000/R3000 系统控制协处理器(CP0)	(47)
1.6 存贮管理系统	(48)
1.6.1 TLB 翻译后援缓冲器	(49)
1.6.2 R2000/R3000 操作方式	(49)
1.7 R2000/R3000 流水线结构	(50)

1.8 存贮系统层次	(51)
1.8.1 外部高速缓存	(52)
1.8.2 指令高速缓存和数据高速缓存	(52)
1.8.3 写缓冲	(52)
第二章 R2000 的指令格式和操作	(53)
2.1 指令类别和指令格式	(53)
2.1.1 指令类别	(53)
2.1.2 指令格式	(53)
2.2 指令表示法约定	(53)
2.3 取数和存贮指令	(55)
2.4 运算指令	(57)
2.5 跳转和转移指令	(60)
2.6 特殊指令	(61)
2.7 协处理器指令	(62)
2.8 系统控制协处理器(CP0)指令	(63)
2.9 R2000 指令流水线	(63)
2.10 延迟的指令时间片	(64)
2.10.1 延迟的取	(65)
2.10.2 延迟的跳转和转移	(65)
2.11 R4000 指令格式和操作	(66)
2.12 R2000 指令操作码的位编码	(96)
第三章 存贮管理系统	(98)
3.1 存贮器系统的体系结构	(98)
3.1.1 特权状态	(98)
3.1.2 用户方式虚地址	(99)
3.1.3 核心方式虚地址	(99)
3.2 虚拟存贮器和 TLB	(100)
3.2.1 TLB 项	(100)
3.2.2 EntryHi 和 EntryLo 寄存器	(101)
3.2.3 虚地址转换	(102)
3.2.4 变址寄存器	(102)
3.2.5 随机寄存器	(102)
3.2.6 TLB 指令	(104)
第四章 例外情况处理	(106)
4.1 例外处理寄存器	(107)
4.2 Cause(原因)寄存器	(108)
4.3 EPC(例外程序计数器)寄存器	(108)

4.4 Status(状态)寄存器	(109)
4.5 状态寄存器的方式位和例外情况处理	(110)
4.6 Bad VAddr 寄存器	(111)
4.7 Context 寄存器	(112)
4.8 处理器版本标识符寄存器	(112)
4.9 例外情况的详细描述	(112)
4.9.1 例外向量单元	(113)
4.9.2 地址错例外	(113)
4.9.3 断点例外	(113)
4.9.4 总线错例外	(114)
4.9.5 协处理器不可使用例外	(115)
4.9.6 中断例外	(115)
4.9.7 溢出例外	(116)
4.9.8 保留指令例外	(116)
4.9.9 Reset(复位)例外	(117)
4.9.10 系统调用例外	(117)
4.9.11 TLB 不命中例外	(118)
第五章 R2010 浮点加速器(FPA)综述	(121)
5.1 R2010FPA 的特性	(121)
5.2 R2010FPA 的编程模块	(122)
5.2.1 浮点通用寄存器(FGR)	(122)
5.2.2 浮点寄存器	(122)
5.2.3 浮点控制寄存器	(123)
5.3 浮点格式	(126)
5.4 数的定义	(127)
5.4.1 规格化数	(127)
5.4.2 非规格化数	(128)
5.4.3 无穷大	(128)
5.4.4 零	(128)
5.5 协处理器操作	(128)
5.5.1 取数、存贮和传送指令	(128)
5.5.2 浮点操作	(128)
5.5.3 例外	(129)
5.6 指令集综述	(129)
5.7 R2010 的流水线体系结构	(130)
第六章 R2010 的指令格式和操作	(132)
6.1 指令集摘要	(132)

6.1.1 取数、存贮和传送指令	(132)
6.1.2 浮点运算指令	(133)
6.1.3 浮点关系操作	(134)
6.1.4 FPA 条件转移指令	(136)
6.2 指令流水线	(137)
6.3 指令执行的时序	(137)
6.4 FPA 指令的重叠执行	(138)
6.5 R2010FPA 指令集	(139)
6.5.1 指令格式	(140)
6.5.2 指令表示法约定	(141)
6.5.3 取数和存贮指令	(142)
6.5.4 运算指令	(143)
6.6 R2010 FPA 指令操作码的位编码	(152)
第七章 浮点例外情况	(154)
7.1 例外的自陷处理	(154)
7.2 “不精确”例外(I)	(155)
7.3 无效操作例外(V)	(156)
7.4 “除 0”例外(Z)	(156)
7.5 上溢例外(O)	(157)
7.6 下溢例外(U)	(157)
7.7 “未实现之操作”例外(E)	(157)
7.8 状态的保存和恢复	(158)
第八章 机器语言编程技巧	(159)
8.1 32 位的地址或常量	(159)
8.2 变址寻址	(160)
8.3 使用跳转寄存器指令实现子程序返回	(161)
8.4 跳转到 32 位的地址	(161)
8.5 在算术比较后转移	(161)
8.6 填充转移延迟时间片	(162)
8.7 测试进位	(163)
8.8 测试溢出	(164)
8.9 多精度算术运算	(165)
8.10 双字移位	(167)
第九章 汇编语言编程技巧	(169)
9.1 寄存器的使用和链接	(169)
9.1.1 通用寄存器	(169)
9.1.2 专用寄存器	(170)

9.1.3 浮点寄存器	(170)
9.2 汇编语言指令摘要	(171)
9.3 寻址	(176)
9.3.1 寻址格式	(176)
9.4 伪操作码	(177)
9.5 链接约定	(181)
9.6 程序设计	(182)
9.6.1 栈帧	(182)
9.6.2 例子	(185)
9.7 内存分配	(188)
9.8 基本的机器定义	(189)
9.8.1 取数和存贮指令	(190)
9.8.2 运算指令	(190)
9.8.3 转移指令	(190)
9.8.4 协处理器指令	(191)
9.8.5 特殊指令	(191)
第三部分 R4000 的 RISC 技术	(192)
第一章 R4000 处理器综述	(192)
1.1 什么是 RISC?	(192)
1.1.1 RISC 设计的好处	(192)
1.1.2 优化编译器	(193)
1.1.3 编译器产品	(194)
1.2 64 位结构	(194)
1.3 R4000 处理器	(194)
1.3.1 处理器通用特性	(195)
1.3.2 CPU 寄存器	(196)
1.3.3 CPU 指令集概述	(196)
1.3.4 数据格式和编址	(198)
1.3.5 系统控制协处理器(CP0)	(202)
1.3.6 浮点处理器(FPU).....	(203)
1.3.7 在片高速缓冲存贮器(Cache)	(205)
1.4 存贮器管理系统	(205)
1.4.1 翻译后援缓冲器(TLB).....	(205)
1.4.2 操作方式	(205)
1.5 R4000 流水线结构	(206)
1.6 Cache 存贮器的分级	(207)
1.7 二级 Cache 接口	(207)

1.8 系统接口	(207)
1.9 R4000 配置	(208)
1.10 兼容性	(208)
第二章 R4000 的指令格式和操作	(209)
2.1 指令类别和指令格式	(209)
2.1.1 指令类别	(209)
2.1.2 指令格式	(209)
2.2 指令表示法约定	(210)
2.3 取数和存贮指令	(212)
2.4 运算指令	(216)
2.5 跳转和转移指令	(221)
2.6 特殊指令	(223)
2.7 例外指令	(224)
2.8 协处理器指令	(225)
2.9 系统控制协处理器(CP0)指令	(227)
2.10 R4000 指令格式和操作	(228)
2.11 CPU 指令操作代码位的编码	(313)
第三章 R4000 的流水线	(315)
3.1 基本的流水线操作	(315)
3.1.1 IF—第一次取指令	(316)
3.1.2 IS—第二次取指令	(316)
3.1.3 RF—读寄存器文件	(317)
3.1.4 EX—ALU 操作	(317)
3.1.5 DF—第一次取数据	(317)
3.1.6 DS—第二次取数据	(317)
3.1.7 TC—数据标记检查	(317)
3.1.8 WS—返写到寄存器	(317)
3.2 转移和取数延迟	(317)
3.3 互锁和例外定时	(318)
3.3.1 特殊情况	(322)
第四章 R4000 的存贮管理系统	(323)
4.1 内存贮器系统的体系结构	(323)
4.1.1 操作方式	(323)
4.1.2 用户方式下的虚拟寻址	(323)
4.1.3 管理员方式下的虚拟寻址	(325)
4.1.4 核心方式下的虚拟寻址	(327)
4.2 虚拟存贮器和 TLB	(328)

4.2.1 系统控制协处理器	(329)
4.2.2 TLB 项的格式	(329)
4.2.3 EntryHi、EntryLo0、EntryLo1 和 PageMask 寄存器	(332)
4.2.4 变址寄存器(0)	(333)
4.2.5 随机寄存器(1)	(334)
4.2.6 “固定项”寄存器(6)	(334)
4.2.7 虚地址转换	(335)
4.2.8 TLB 指令	(335)
第五章 例外处理	(338)
5.1 例外处理操作	(338)
5.2 例外处理寄存器	(338)
5.2.1 现场寄存器(CP0 寄存器 4)	(339)
5.2.2 坏的虚地址寄存器(BadVAddr)(8)	(340)
5.2.3 计数寄存器(9)	(340)
5.2.4 比较寄存器(11)	(340)
5.2.5 状态寄存器(12)	(341)
5.2.6 原因寄存器(13)	(343)
5.2.7 例外程序计数器(EPC)寄存器(14)	(344)
5.2.8 处理器版本标识符(PRId)寄存器(15)	(345)
5.2.9 配置寄存器(16)	(345)
5.2.10 取链接地址(LLAddr)寄存器(17)	(346)
5.2.11 WatchLo(18)和 WatchHi(19)寄存器	(347)
5.2.12 XContext 寄存器(CP0)寄存器(20)	(347)
5.2.13 出错校正代码(RCC)寄存器(26)	(348)
5.2.14 高速缓存出错寄存器(27)	(348)
5.2.15 高速缓存标志(TagLo 和 TagHi)寄存器(21,29)	(349)
5.2.16 出错例外程序计数器(Error EPC)寄存器(30)	(350)
5.3 例外的详细描述	(351)
5.3.1 例外操作	(351)
5.3.2 例外向量单元	(352)
5.3.3 例外的优先级	(353)
5.3.4 复位例外	(353)
5.3.5 软件中断例外	(354)
5.3.6 不可屏蔽中断(NMI)例外	(354)
5.3.7 地址错例外	(355)
5.3.8 TLB 例外	(355)
5.3.9 高速缓存出错例外	(357)
5.3.10 虚相关性例外	(358)

5.3.11 总线错例外	(358)
5.3.12 整数溢出例外	(359)
5.3.13 自陷例外	(359)
5.3.14 系统调用例外	(359)
5.3.15 断点例外	(360)
5.3.16 保留指令例外	(360)
5.3.17 协处理器不可使用例外	(360)
5.3.18 浮点例外	(361)
5.3.19 Watch 例外	(361)
5.3.20 中断例外	(362)
第六章 浮点部件	(363)
6.1 功能综述	(363)
6.2 FPU 的特征	(364)
6.3 FPU 的编程模式	(364)
6.3.1 浮点通用寄存器(FGR)	(364)
6.3.2 浮点寄存器	(365)
6.3.3 浮点控制寄存器	(366)
6.4 浮点格式	(369)
6.5 二进制定点格式	(370)
6.6 指令集综述	(371)
6.6.1 取数、存贮和传送指令	(372)
6.6.2 浮点转换指令	(373)
6.6.3 浮点运算指令	(374)
6.6.4 浮点比较操作	(375)
6.6.5 按 FPU 条件转移指令	(376)
6.7 FPU 的指令流水线	(377)
6.7.1 指令的执行	(377)
6.7.2 指令执行时间	(378)
6.7.3 调度 FPU 的指令	(379)
6.8 FPU 流水线的重叠	(379)
6.8.1 指令调度的制约	(379)
6.8.2 指令延迟时间、重复速率和流水线阶段序列	(383)
6.8.3 资源调度规则	(384)
6.9 FPU 指令集	(386)
6.9.1 指令格式	(386)
6.9.2 取数和存贮指令	(388)
6.9.3 运算指令	(389)
6.9.4 FPU 指令操作码的位编码	(411)

6.10 浮点例外.....	(412)
6.10.1 例外自陷的处理	(413)
6.10.2 状态的保存和恢复	(417)
6.10.3 IEEE 标准例外的自陷处理程序	(417)
第七章 R4000 的高速缓冲存储器	(418)
7.1 高速缓冲存储器的组织	(418)
7.1.1 一级高速缓存	(418)
7.1.2 二级高速缓存	(421)
7.1.3 一级高速缓存和二级高速缓存的交互作用	(422)
7.2 高速缓存行组的所有权	(423)
7.3 高速缓存的操作	(423)
7.3.1 高速缓存相关性	(423)
7.3.2 高速缓存状态的改变	(425)
7.3.3 高速缓存行组写回	(425)
7.3.4 由外部媒介管理高速缓存	(425)
7.3.5 排序方面的考虑	(427)
7.4 相关性冲突	(428)
7.4.1 相关性冲突是如何产生的	(428)
7.4.2 相关性冲突的系统涵义	(430)
7.4.3 相关性冲突的处理	(432)
7.5 二级高速缓存接口	(434)
7.5.1 二级高速缓存接口信号	(434)
7.5.2 二级高速缓存接口的操作	(435)
第八章 R4000 的接口技术	(439)
8.1 系统接口	(439)
8.1.1 系统接口功能描述	(439)
8.1.2 处理器请求排序	(443)
8.1.3 非高速缓存的装入或存贮	(445)
8.1.4 高速缓存操作	(445)
8.1.5 外部请求处理	(446)
8.1.6 失效和更新取消	(446)
8.1.7 系统接口协议	(446)
8.1.8 用于系统接口相互作用的周期时序	(467)
8.1.9 系统接口语法	(469)
8.1.10 系统接口地址	(475)
8.1.11 处理器内部地址映射	(476)
8.2 时钟/控制接口	(476)

8.2.1 基本系统时钟	(476)
8.2.2 系统时序参数	(477)
8.2.3 与锁相系统的时钟接口	(479)
8.2.4 与没有相位锁定系统的时钟接口	(479)
8.2.5 处理器状态输出	(483)
8.3 初始化接口	(484)
8.3.1 功能概述	(484)
8.3.2 初始化接口操作	(485)
8.3.3 引导时间模式	(485)
8.3.4 重新启动操作	(488)
第九章 出错检测和校正	(491)
9.1 出错检测和校正	(491)
9.2 SECDED (单错误校正, 双错误检测) 码	(493)
第四部分 R 系列的芯片	(496)
第一章 R3000 CPU 处理器	(496)
1.1 特性	(496)
1.2 R3000 CPU 寄存器及其指令	(497)
1.2.1 概述	(497)
1.2.2 指令集综述	(498)
1.2.3 指令的基本格式	(498)
1.2.4 R3000 指令的基本类型	(499)
1.2.5 R3000 系统控制协处理器 (CP0)	(501)
1.3 R3000 的操作方式	(503)
1.3.1 用户方式	(503)
1.3.2 核心方式	(503)
1.4 R3000 的流水线结构	(504)
1.4.1 存储器系统的层次结构	(505)
1.5 R3000 处理器子系统接口	(507)
1.5.1 高速缓存控制接口	(507)
1.5.2 存储器控制器接口	(508)
1.5.3 协处理器接口	(508)
1.6 支持多重处理	(508)
1.7 R3000 的高级特性和对 R2000 的向下兼容性	(509)
1.7.1 R3000 的高级特性	(509)
1.7.2 对 R2000A 的向下兼容性	(509)
1.7.3 高的抗干扰性	(509)
1.8 R3000 封装、外引线排列及其电参数和工作环境条件	(510)

1.8.1 R3000 的封装和外引线排列	(510)
1.8.2 电参数和工作环境条件	(513)
1.8.3 器件型号命名	(517)
第二章 R3001 RISC 控制器	(518)
2.1 概述	(518)
2.2 特性	(518)
2.3 硬件概述	(519)
2.3.1 运算器	(519)
2.3.2 R3001 存储器接口	(520)
2.3.3 同步存储器系统	(521)
2.3.4 标记(TAG)总线	(522)
2.3.5 Cache 修改	(523)
2.3.6 写周期	(524)
2.4 异步存储器接口	(525)
2.4.1 协处理器接口	(526)
2.4.2 中断	(527)
2.4.3 DMA 接口	(528)
2.4.4 先进的特性	(528)
2.5 处理器结构	(529)
2.5.1 R3001 CPU 寄存器	(530)
2.5.2 指令集概述	(530)
2.5.3 R3001 系统控制协处理器(CP0)	(534)
2.5.4 R3001 操作方式	(535)
2.5.5 翻译后备缓冲器(TLB)	(537)
2.6 R3001 与 R2000A 和 R3000 处理器逆向兼容性	(538)
2.7 信号说明	(538)
2.8 最大额定值范围	(540)
2.9 直流电特性—工业用温度范围	(541)
2.10 交流电特性—工业用温度范围	(542)
2.11 信号脚排列图	(543)
2.11.1 172 条引脚的陶瓷扁平封装(侧视)	(543)
2.11.2 144 条引脚的 PGA 封装(顶视)	(543)
2.12 时序图	(544)
第三章 R3010 浮点加速器(FPA)	(552)
3.1 特性	(552)
3.1.1 R3010 的功能框图	(552)
3.2 R3010 FPA 的寄存器	(553)