

737006

82988-3

5087

2338

赠阅

INTEL

微型计算机系列器件手册

下 册

上海交通大学科技交流室
微机研究室

一九八三年十二月

二、存储器控制器

8202A

动态RAM控制器

- 提供控制 2104A、2117 或 2118 动态存储器所有必需信号
- 无需外接驱动器可直接寻址和驱动 64K 字节存储器
- 提供地址多路转换电路和选通信号
- 提供再生时钟和再生计数器
- 可由内部也可由外部请求再生
- 具有透明再生能力
- 和 8080A、8085A、iAPX88 和 iAP86 系列微处理器完全兼容
- 可对 CPU 状态进行译码从而具有超前读能力
- 提供系统响应信号和传送响应信号
- 8202A-1 和 8202A-3 具有内步时钟

Intel 8202A 是动态 RAM 系统控制器，可提供微型计算机系统中所用的 2104A、2117 或 2118 动态 RAM 所有必需信号，还可提供多路转换，地址选通信号以及进行再生/访问裁决。8202A-1 和 8202A-3 具有内部晶体振荡器。

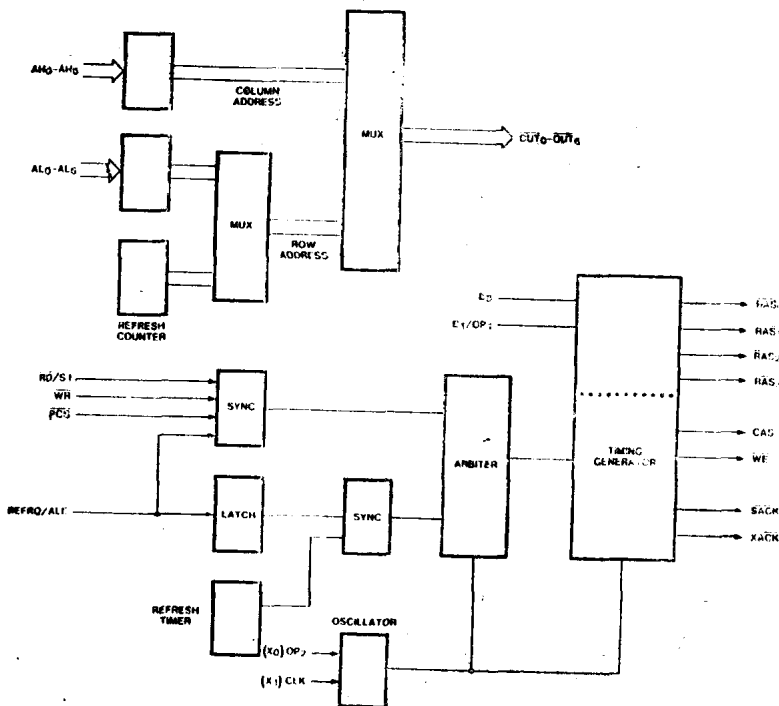


图 1 8202A 框图

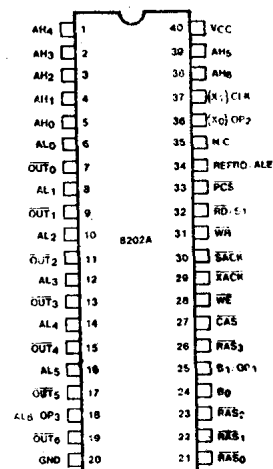


图 2 引脚图

表 1 引脚说明

符 号	引脚号	类别	名 称 和 功 能
AL ₀	6	输入	Address Low(低位地址): CPU 地址的输入端, 用以产生存储器行地址。 AL ₅ /OP ₂ 用以选择 4K RAM 模式。
AL ₁	8	输入	
AL ₂	10	输入	
AL ₃	12	输入	
AL ₄	14	输入	
AL ₅	16	输入	
AL ₆ /OP ₃	18	输入	
AH ₀	5	输入	Address High(高位地址): CPU 地址的输入端, 用以产生存储器列地址。
AH ₁	4	输入	
AH ₂	3	输入	
AH ₃	2	输入	
AH ₄	1	输入	
AH ₅	39	输入	
AH ₆	38	输入	
BO B ₁ /OP ₁	24 25	输入 输入	Bank Select Inputs(体选输入端): 从行选通信号 RAS ₀ -RAS ₃ 中输出一个, 以选择一个存储库。E ₁ /OP ₁ 还可以用来选择超前读模式。
PCS	33	输入	
WR	31	输入	Memory Write Request(存储器写请求)
RD/S ₁	32	输入	Memory Read Request(存储器读请求): S ₁ 用于由 OP ₁ 选择的超前读模式。
REFRQ/ALE	34	输入	External Refresh Request(外部再生请求): ALE 用于由 OP ₁ 选择的超前读模式。
OUT ₀	7	输出	Output of the Multiplexer(多路转换器输出): 用以驱动动态 RAM 阵列的地址线, 对于 4K RAM, OUT ₀ 驱动 2104A 的 CS 端, (OUT ₀ -OUT ₆ 一般无需再加反相器或驱动器)
OUT ₁	9	输出	
OUT ₂	11	输出	
OUT ₃	13	输出	
OUT ₄	15	输出	
OUT ₅	17	输出	
OUT ₆	19	输出	
WE	28	输出	Write Enable(写使能): 驱动动态 RAM 阵列写允许输入端。
CAS	27	输出	Column Address Strobe(列地址选通): 用于锁存传送到动态 RAM 阵列的列地址。
RAS ₀	21	输出	Row Address Strobe(行地址选通): 用以锁存传送到动态 RAM 体上的行地址, 由体选端(B ₀ 、B ₁ /OP ₁)决定选中哪一个体。
RAS ₁	22	输出	
RAS ₂	23	输出	
RAS ₃	26	输出	
XACK	29	输出	Transfer Acknowledge(传送响应): 这是一个选通信号, 以指示在 读、写周期时数据何时有效, 它还可以用来锁存来自 RAM 阵列的有效数据。

SACK	30	输出	System Acknowledge(系统响应): 指出存储器访问周期开始, 可以用来做超前传送响应信号, 以消除等待状态。(注: 若访问请求是在存储器再生期间发生的, 则SACK将延时, 直到XACK发出)
(X ₀)OP ₁ (X ₁)CLK	36 37	输入/ 输出 输入/ 输出	Oscillator Inputs(振荡器输入): 用于外接石英晶体, 以控制振荡器频率, 若 X ₀ /OP ₂ 通过 1KΩ 电阻上拉到 12V, 则 TTL 电平的外部时钟可从 X ₁ /CLK 输入。
N.C	35		为将来使用保留
V _{CC}	40		Power Supply(电源): +5V
GND	20		Ground(地)

注: 仅 8202A-1 和 8202A-3 可外接晶体。

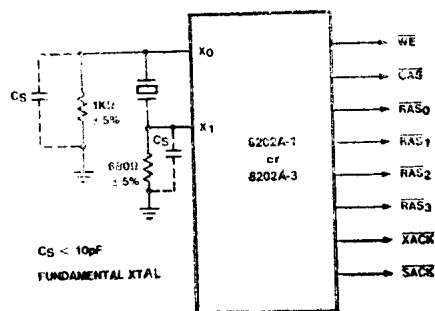


图 3 8202A-1和8202A-3 与晶体连接

功能说明

8202A 为微机系统以及存储器扩展板提供了一个完整的 RAM 控制器。它具有 2104A、2117 和 2118 动态 RAM 所需要的全部控制信号。

8202A 的各种时序, 都是由一个基准时钟产生的。该基准时钟来自外部振荡器或是芯片本身的晶体振荡器。除了响应信号 SACK 和 XACK 外, 8202A 所有的输出信号都和基准时钟同步。

CUP 的访存请求是向 $\overline{\text{RD}}$ 和 $\overline{\text{WR}}$ 端输出的, 在超前读模式时, ALE 和 S₁ 将代替 $\overline{\text{RD}}$ 。

失效保险再生是由内部再生定时器发出的内部再生请求实现的, 再生请求也可以从 REFREQ 端输入。

芯片的同步器/裁决器将避免访存请求和再生请求影响正在进行的周期。READ, WRITE 和外部 REFRESH 请求信号对 8202A 是异步的。芯片上的逻辑电路使这些请求同步, 如果有周期正在进行, 裁决器将使这些请求延时。

可选择使用的引脚

8202A 具有三个多功能引脚, 引脚 25 作为 OP₁ 时(仅对 16K 模式)引脚 32 的功能由 $\overline{\text{RD}}$ 变为 S₁, 引脚 34 的功能由 REFREQ 变为 ALE, 详情可参看“再生周期”和“读周期”部分。使引脚 25 功能为 OP₁ 是通过用 5.1KΩ 电阻将引脚 25 上拉到 +12V 来实现的。

将引脚 36 通过 1KΩ 电阻上拉到 +12V, 则其功能为 OP₂, 此时引脚 37 从外接晶体端(X₁)变为 TTL 电平的外部时钟输入端。

将引脚 18 通过 5.1K Ω 电阻上拉到 +12V, 则其功能为 OP₃, 8202A 的内部再生定时从 128 行再生(2118, 2117), 变为 64 行再生(2104A)。

再生定时器

再生定时器是用来监控上一次再生之后的时间的, 当一定时间过去之后, 定时器将发出再生请求, 外部再生请求使内部再生定时器复位。

再生计数器

再生计数器是用来顺序再生存储器所有行, 每进行一次再生后, 8 位计数器加 1。

地址多路转换器

地址多路转换器将输入的地址和再生计数器值在适当的时候从地址输出端输出。和 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 一起决定在读、写和再生时 RAM 的地址。在读、写周期时, 多路转换器先将 $\overline{\text{AL}}_0\text{--}\overline{\text{AL}}_6$ 从 $\overline{\text{OUT}}_0\text{--}\overline{\text{OUT}}_6$ 输出, 然后再将 $\overline{\text{AH}}_0\text{--}\overline{\text{AH}}_6$ 输出。

在再生期间, 多路转换器将再生计数器值从 $\overline{\text{OUT}}_0\text{--}\overline{\text{OUT}}_6$ 输出, 在再生时, 仅需 $\overline{\text{RAS}}$ ($\overline{\text{CAS}}$ 无效)。

为了减少缓冲器的延时, 多路转换器是反相输出。

除非需要增加驱动能力, $\overline{\text{OUT}}_0\text{--}\overline{\text{OUT}}_6$ 不需外接反相器或驱动器。

Description	Pin #	Normal Function	Option Function
B1/OP ₁	25	Bank(RAS)Select	Advanced-Read Mode
X ₁ /OP ₂	36	Crystal Oscillator(8202A-1 or 8202A 3)	External Oscillator
AL ₆ /OP ₃	18	Address Input	64-ROW Refresh

图 4 8202A 引脚的可选功能

同步器/裁决器

8202A 有三个输入端: REFRQ/ALE(引脚 34), $\overline{\text{RD}}$ (引脚 32) 和 $\overline{\text{WR}}$ (引脚 31), $\overline{\text{RD}}$ 和 $\overline{\text{WR}}$ 用来接受 CPU 的读、与请求, REFRQ/ALE 是外部再生请求输入端。

这三个输入信号对 8202A 都是异步的, 裁决器将解决再生和访存请求之间的矛盾, 访存请求将优先于再生请求。

系统工作

8202A 总是处于下列状态之一:

- 闲置
- 测试周期
- 再生周期
- 读周期
- 写周期

8202A 通常是处在闲置状态, 但只要其它四个周期之一被请求, 8202A 将脱离空闲态而进入被请求的周期。周期执行完毕, 如果没有其它周期请求, 8202A 将返回闲置状态。

测试周期

测试周期是用来检验 8202A 内部功能的, 测试周期是通过将 $\overline{\text{RD}}$ 和 $\overline{\text{WR}}$ 置于有效而实

现的, 与 $\overline{\text{PCS}}$ 无关。测试周期将使再生地址计数器复位并执行写周期, 在系统正常工作时, 将不进行测试, 以免影响动态 RAM 再生。

再生周期

8202A 对于动态 RAM 有两种再生方法:

- 1) 内部(失效保险)再生
- 2) 外部(隐藏式)再生

在这两种再生方式中, $\overline{\text{RAS}}$ 均需有效, 而 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ 、 $\overline{\text{SACK}}$ 和 $\overline{\text{XACK}}$ 无效。

内部再生请求是由芯片上的再生定时器产生的。定时使用了 8202A 时钟, 以保证每 2ms 各行再生一次。如果无 $\overline{\text{REFRQ}}$, 则内部定时器每隔 10-16 μS 将请求一次再生。

外部再生请求是通过 $\overline{\text{REFRQ}}$ (引脚 34) 输入的, 当是在超前读模式时, 外部再生请求是无效的。外部再生请求将被锁存, 以和 8202A 时钟同步。

仅当 8202A 不处于一个周期之中时, 裁决器才允许再生请求起动再生周期。

如果访存请求和再生请求同时发出, 则访存请求优先, 这个特点被用于在系统工作期间进行“隐藏”再生。类似图 5 的电路将能对 CPU 取指令译码以产生外部再生请求。当 8202A 在执行取指令操作时, 再生请求被锁存, 当存储器周期执行完后, 将立即启动再生周期, 即使 $\overline{\text{RD}}$ 仍处在有效状态。CPU 的指令译码时间是足够长的, 在下一个存取周期未到之前, 8202A 有足够时间进行一次再生。

有些系统设计是完全依靠外部再生请求。如果外部请求比内部最小定时 t_{REF} 快的话, 则再生周期将是由外部请求引起的, 内部再生定时器将没有机会产生再生请求。

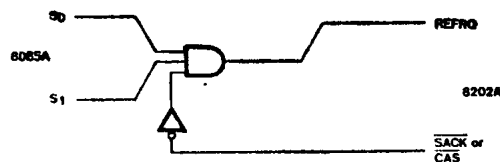


图 5 隐藏再生

读周期

8202A 可以接受两类存储器读请求:

- 1) 由 $\overline{\text{RD}}$ 输入的正常读
- 2) 由 S_1 和 $\overline{\text{ALE}}$ 决定的超前读

用户可以通过对 B_1/OP_1 的选接以选择所希望的读请求方式。正常读是由 $\overline{\text{RD}}$ 请求的, 并且直到 8202A 发出 $\overline{\text{XACK}}$ 脉冲前, 一直是有效的。XACK 来到之后 $\overline{\text{RD}}$ 再保持 t_{CHS} 时间后无效。

超前读周期是在 S_1 有效时, 由 $\overline{\text{ALE}}$ 脉冲引起的, 如果 S_1 无效(低电平), 仅有 $\overline{\text{ALE}}$ 脉冲是不起作用的。超前读时序除了以 $\overline{\text{ALE}}$ 脉冲的下降沿作为周期起始的基准点外, 其它类似正常读时序。

如果再生周期正在进行, 又有读周期被请求, 则 8202A 将锁存 $\overline{\text{SACK}}$, 当读周期终于开始, 8202A 仍延时 $\overline{\text{SACK}}$ 的发出, 直到 $\overline{\text{XACK}}$ 有效以后, 参看交流时序图。延时的目的是为了补偿 CPU $\overline{\text{READY}}$ 电平的建立和保持时间。在每个读周期后, 为延迟 $\overline{\text{SACK}}$ 。

而进行的锁存被清除。

根据系统的需要, $\overline{SACK}$ 和 $\overline{XACK}$ 都能用来产生CPU的READY信号,通常使用 $\overline{XACK}$ 。如果CPU能够允许超前READY,则也可以用 $\overline{SACK}$,但这要求CPU能够容许 $\overline{SACK}$ 的超前到来,如果对于提供适当数量的WAIT状态而 $\overline{SACK}$ 又嫌早,则可用 $\overline{XACK}$ 或 $\overline{SACK}$ 的延时信号。

	Normal Read	Advanced Read
Pin25	E1 input	+ 12 Volt Option
Pin32	RD input	S1 input
Pin34	REFRQ input	ALE input
* RAM banks	4($\overline{RAS}_{0-3}$)	2($\overline{RAS}_{2-3}$)
Ext.Refresh	Yes	No

图 6 8202A 读选择

写周期

除了写周期数据是输出外,其它都类似读周期。在读周期时 $\overline{WE}$ 无效,而在写周期有效。8202A的写周期是“早写”周期, $\overline{WE}$ 在 $\overline{CAS}$ 有效之前先有效,以保证RAM输出缓冲器有足够时间关闭。

系统的一般情况

对存贮器的所有请求(正常读、超前读、写)都是受 $\overline{PCS}$ 制约的。在 $\overline{RD}$ 、 $\overline{WR}$ 和ALE的前沿来到之前, $\overline{PCS}$ 必须稳定有效或是无效。如果是用电池供电,则需上拉 $\overline{PCS}$ 以避免误请求,也需要上拉 $\overline{WR}$,以防止进入测试模式。

为了尽可能减少传输延迟,8202A采用了没有锁存的反相地址多路转换器。系统必需提供足够的地址建立、保持时间以保证 $\overline{RAS}$ 和 $\overline{CAS}$ 的建立和保持。

B_0 - B_1 输入信号类似地址信号,不锁存。在存贮周期中 B_0 和 B_1 是不变化的,因为它们是直接控制 $\overline{RAS}$ 的。

对于存贮器的请求信号($\overline{RD}$, $\overline{WR}$, ALE),8202A使用了一个两级同步器。对于外部再生请求(REFRQ)使用了另外一个两级同步器。正如任何同步器那样,总有一定比率处于暂稳态而引起系统失误。8202A的同步器设计指标为:系统失误每三年小于一个存贮周期,而在这三年中,8202A是满工作状态。

微处理器系统中一个需要注意的参数是: $\overline{RD}$ 有效后,数据何时有效(参看图7)。为了计算存贮器的取数时间,需要了解动态存贮器的交流参数,特别是 $\overline{RAS}$ 有效到数据有效时间 t_{RAC} 和 $\overline{CAS}$ 有效到数据有效时间 t_{CAC} 。取数时间主要是受 t_{CAC} 所限制。数据在读周期开始以后需经过 $t_{CC, \max}(8202A) + t_{CAC}(RAM)$ 时间以后才稳定。在计算取数时间时,还必须加上存在的各种延时(缓冲器、锁存器等)。

由于8202A写周期是早写周期,因此在 $\overline{CAS}$ 进入有效以前,数据在RAM的输入端应该已经稳定。如果系统没有足够的时间使数据稳定,则必需延迟 $\overline{WR}$ 或 $\overline{WE}$ 。

延迟 $\overline{WR}$ 输入,将导致8202A整个时序的延时,其中包括READY的交换信号 $\overline{SACK}$ 和 $\overline{XACK}$,这将增加CPU的WAIT状态数。

如果 $\overline{WE}$ 被延到 $\overline{CAS}$ 有效以后，则 RAM 将用 $\overline{WE}$ 的下降沿来选通写入 RAM 的数据。 $\overline{WE}$ 在 $\overline{CAS}$ 有效期间不能来得太迟，否则 $\overline{WE}$ 与 $\overline{CAS}$ 间的关系不能满足。

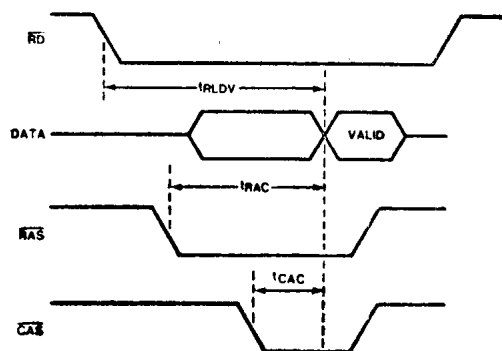


图 7 读取时间

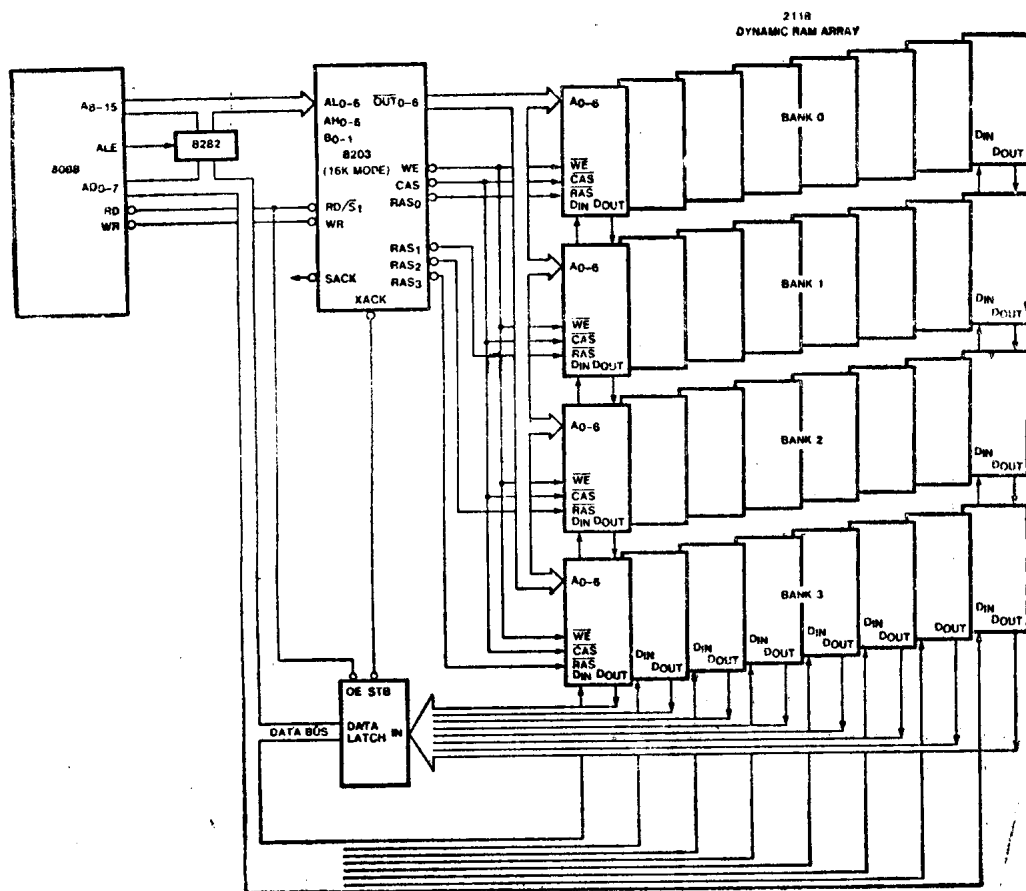


图 8 典型的8088系统

极限参数:

加偏压下的环境温度	0℃到70℃
贮藏温度	-65℃到+150℃
任何一引脚与地之间电压	-0.5V到+7V
功耗	1.5W

直流特性 $T_A = 0^\circ\text{C}$ 到 70°C : $V_{CC} = 5.0\text{V} \pm 10\%$, 对于 8202A-3 $V_{CC} = 5.0\text{V} \pm 5\%$,
地 = 0V

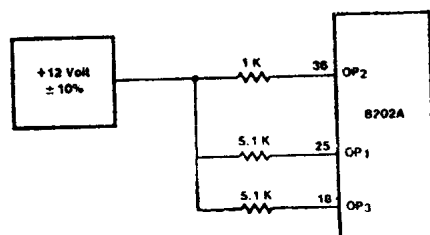
Symbol	Parameter	Min	Max	Units	Test Conditions
V_C	Input Clamp Voltage		-1.0	V	$I_C = -5\text{mA}$
I_{CC}	Power supply current		270	mA	
I_F	Forward Input Current CLK All Other Inputs ³		-2.0 -320	mA μA	$V_F = 0.45\text{V}$ $V_F = 0.45\text{V}$
I_R	Reverse Input Current ³		40	μA	$V_R = V_{CC}(\text{Note } 1)$
V_{OL}	Output Low Voltage SACK, XACK All Other Outputs		0.45 0.45	V V	$I_{OL} = 5\text{mA}$ $I_{OL} = 3\text{mA}$
V_{OH}	Output High Voltage SACK, XACK All Other Outputs	2.4 2.6		V V	$V_{IL} = 0.65\text{V}$ $I_{OH} = -1\text{mA}$ $I_{OH} = -1\text{mA}$
V_{IL}	Input Low Voltage		0.8	V	$V_{CC} = 5.0\text{V}(\text{Note } 2)$
V_{IH1}	Input High Voltage	2.0		V	$V_{CC} = 5.0\text{V}$
V_{IH2}	Option Voltage			V	(Note 4)
C_{IN}	Input Capacitance		30	pF	$F = 1\text{ MHz}$ $V_{BIAS} = 2.5\text{V}$, $V_{CC} = 5\text{V}$ $T_A = 25^\circ\text{C}$

注: 1. 在采用外部时钟模式时, 引脚 37(CLK)反向电流 $I_R = 200\mu\text{A}$ 。

2. 在测试模式时, $\overline{RD}$ 和 $\overline{WR}$ 必须为地电平。

3. 引脚36除外。

4.



电阻容差 $\pm 5\%$

交流特性

$T_A = 0^\circ\text{C}$ 到 70°C , $V_{CC} = 5V \pm 10\%$, 对于 8202A-3 $V_{CC} = 5V \pm 5\%$

与 $\overline{RAS}_0$ 、 $\overline{RAS}_3$, $\overline{CAS}$, $\overline{WE}$, $\overline{OUT}_0$ – $\overline{OUT}_6$ 有关的测量是在它们的高电平为 2.4V, 低电平为 0.8V 时测量的。其它引脚是在 1.5V 时测量的。时间均以毫微秒为单位。

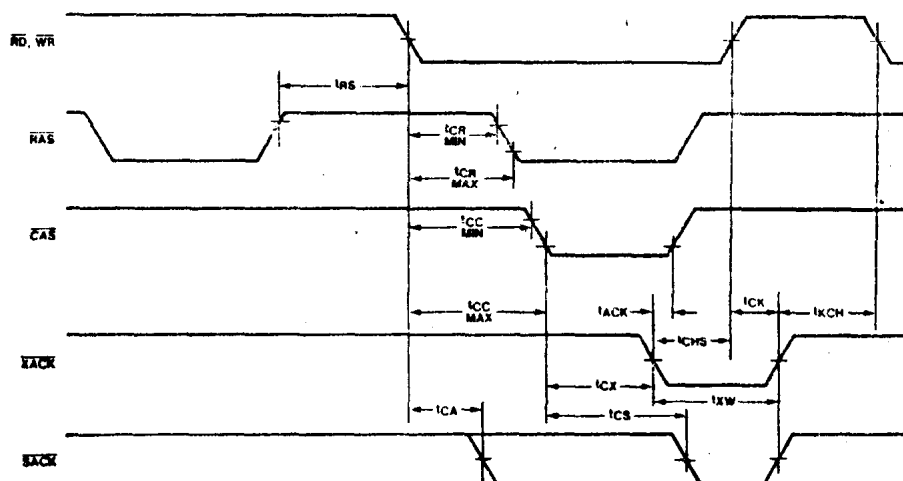
Symbol	Parameter	Min	Max	Notes
t_P	Clock Period	40	54	
t_{PH}	External Clock High Time	20		
t_{PL}	External Clock Low Time—above($>$)20 mHz	17		
t_{PL}	External Clock Low Time—below($<$)20 mHz	20		
t_{RC}	Memory Cycle Time	10tp – 30	12tp	4, 5
t_{REF}	Refresh Time(64 cycles—4K mode)	548tp	576tp	
t_{REF}	Refresh Time(128 cycles—16K mode)	264tp	288tp	
t_{RP}	$\overline{RAS}$ Precharge Time	4tp – 30		
t_{RSH}	$\overline{RAS}$ Hold After $\overline{CAS}$	5tp – 30		3
t_{ASR}	Address Setup to $\overline{RAS}$	tp – 30		3
t_{RAH}	Address Hold From $\overline{RAS}$	tp – 10		3
t_{ASC}	Address Setup to $\overline{CAS}$	tp – 30		3
t_{CAH}	Address Hold from $\overline{CAS}$	5tp – 20		3
t_{CAS}	$\overline{CAS}$ Pulse Width	5tp – 10		
t_{WCS}	$\overline{WE}$ Setup to $\overline{CAS}$	tp – 40		
t_{WCH}	$\overline{WE}$ Hold After $\overline{CAS}$	5tp – 35		8
t_{RS}	$\overline{RD}$, $\overline{WR}$, ALE, REFRQ delay from $\overline{RAS}$	5tp		
t_{MRP}	$\overline{RD}$, $\overline{WR}$ setup to $\overline{RAS}$	0		5
t_{RMS}	REFRQ setup to $\overline{RD}$, $\overline{WR}$	2tp		
t_{RPM}	REFRQ setup to $\overline{RAS}$	2tp		5

续 表

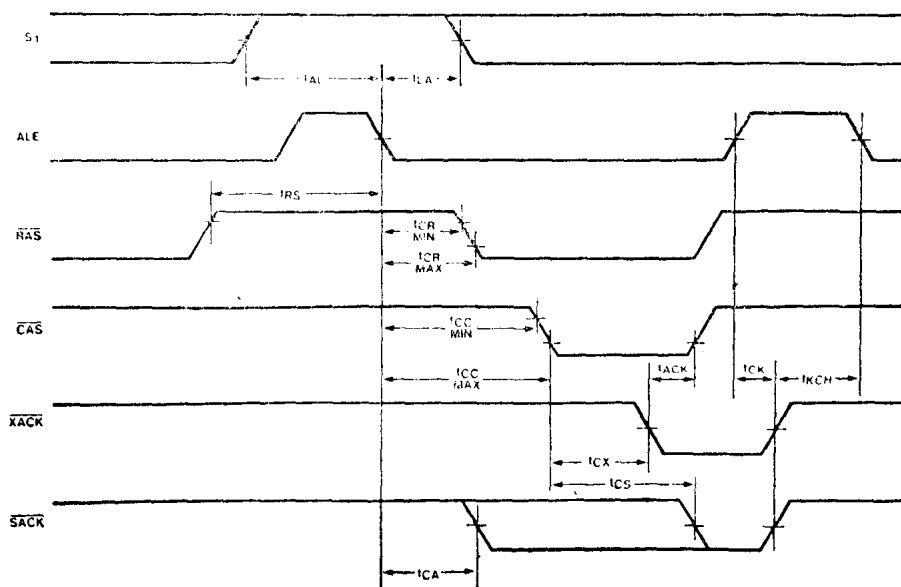
t_{PCS}	$\overline{PCS}$ Setup to $\overline{RD}$, $\overline{WR}$, ALE	20		
t_{AL}	S1 Setup to ALE	15		
t_{LA}	S1 Hold from ALE	30		
t_{CR}	$\overline{RD}$, $\overline{WR}$, ALE to $\overline{RAS}$ Delay	$t_p + 30$	$2t_p + 70$	2
t_{CC}	$\overline{RD}$, $\overline{WR}$, ALE to $\overline{CAS}$ Delay	$3t_p + 25$	$4t_p + 85$	2
t_{SC}	CMD Setup to Clock	15		1
t_{MRS}	$\overline{RD}$, $\overline{WR}$ setup to REFRQ	5		
t_{CA}	$\overline{RD}$, $\overline{WR}$, ALE to $\overline{SACK}$ Delay		$2t_p + 47$	2
t_{CX}	$\overline{CAS}$ to $\overline{XACK}$ Delay	$5t_p - 25$	$5t_p + 20$	
t_{CS}	$\overline{CAS}$ to $\overline{SACK}$ Delay	$5t_p - 25$	$5t_p + 40$	2
t_{ACK}	$\overline{XACK}$ to $\overline{CAS}$ Setup	10		
t_{XW}	$\overline{XACK}$ Pulse Width	$t_p - 25$		7
t_{CK}	$\overline{SACK}$, $\overline{XACK}$ turn-off Delay		35	
t_{KCH}	CMD Inactive Hold after $\overline{SACK}$, $\overline{XACK}$	10		
t_{LL}	REFRQ Pulse Width	20		
t_{CHS}	CMD Hold Time	30		
t_{RFR}	REFRQ to $\overline{RAS}$ Delay		$4t_p + 100$	6
t_{WW}	$\overline{WR}$ to $\overline{WE}$ Delay	0	50	8
t_{AD}	CPU Address Delay	0	40	3

波形图

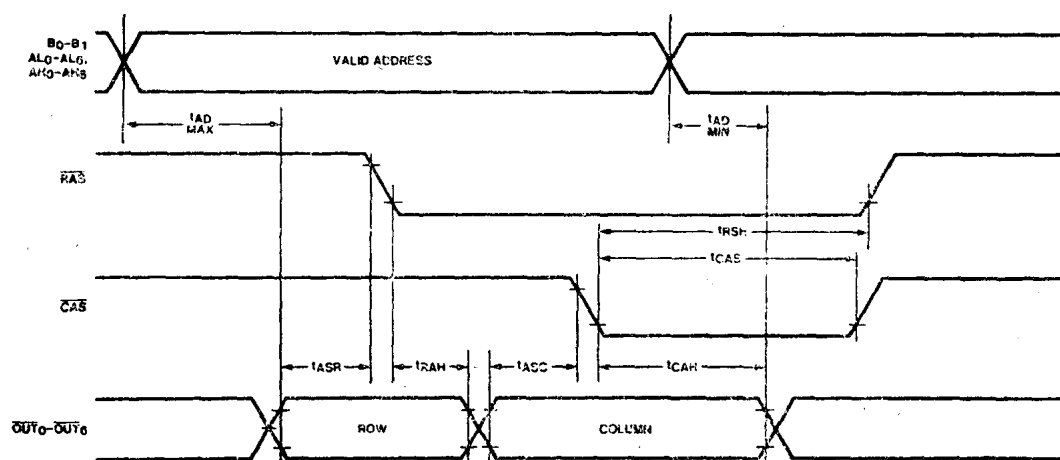
正常读或写周期



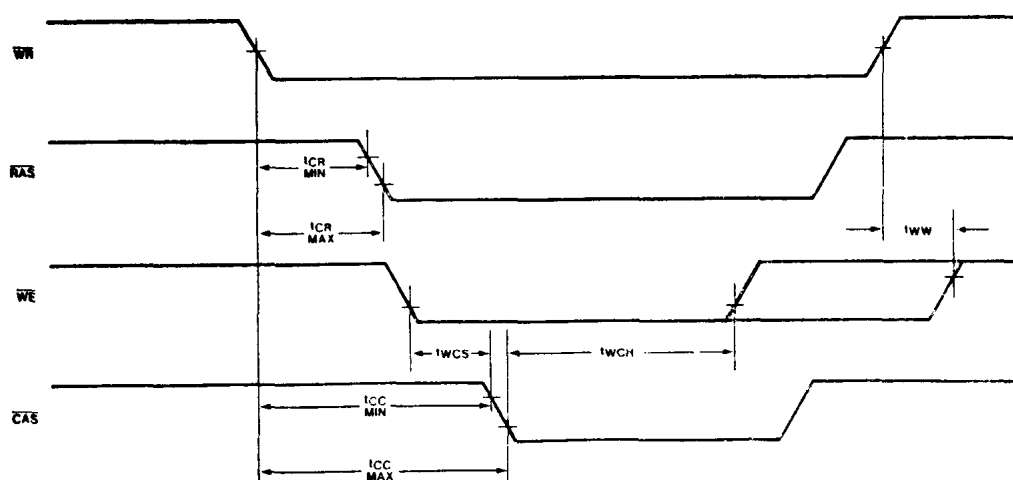
超前读模式



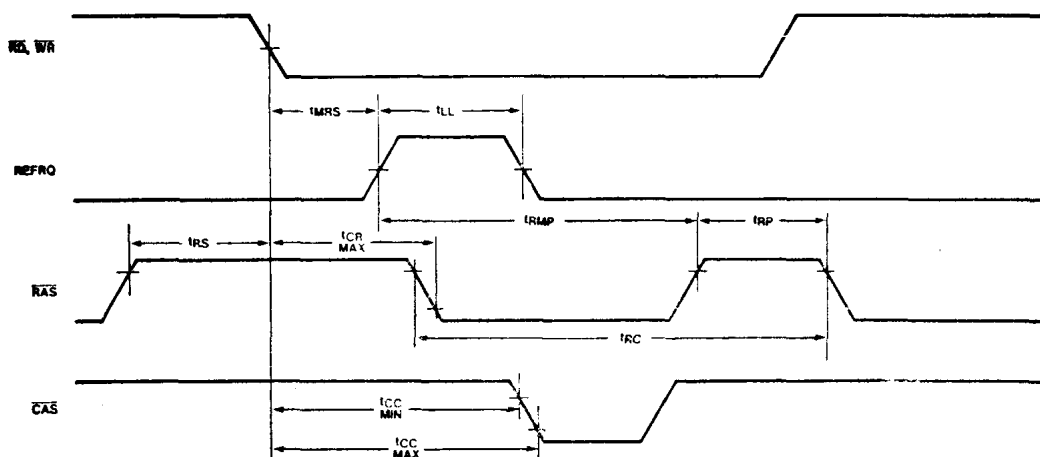
存储器时序图



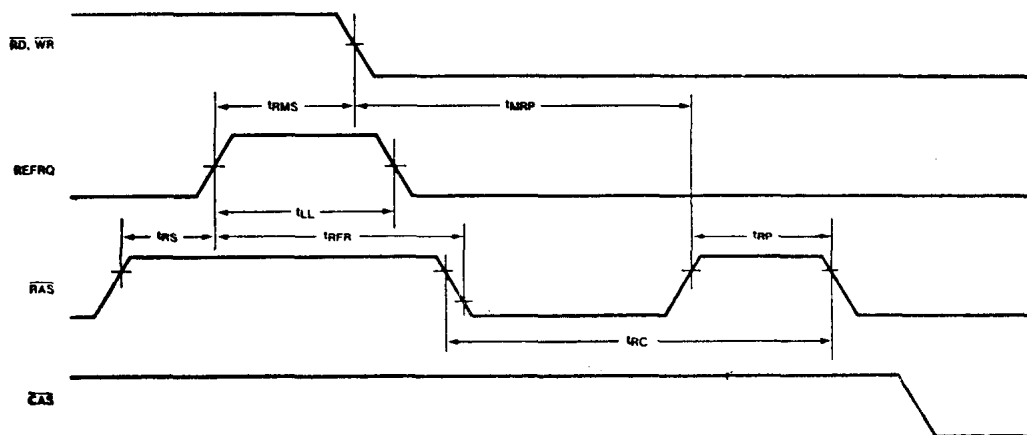
写周期时序图



读或写以后跟着进行再生的时序图



外部再生以后跟着进行读或写的时序图



时钟和系统时序图

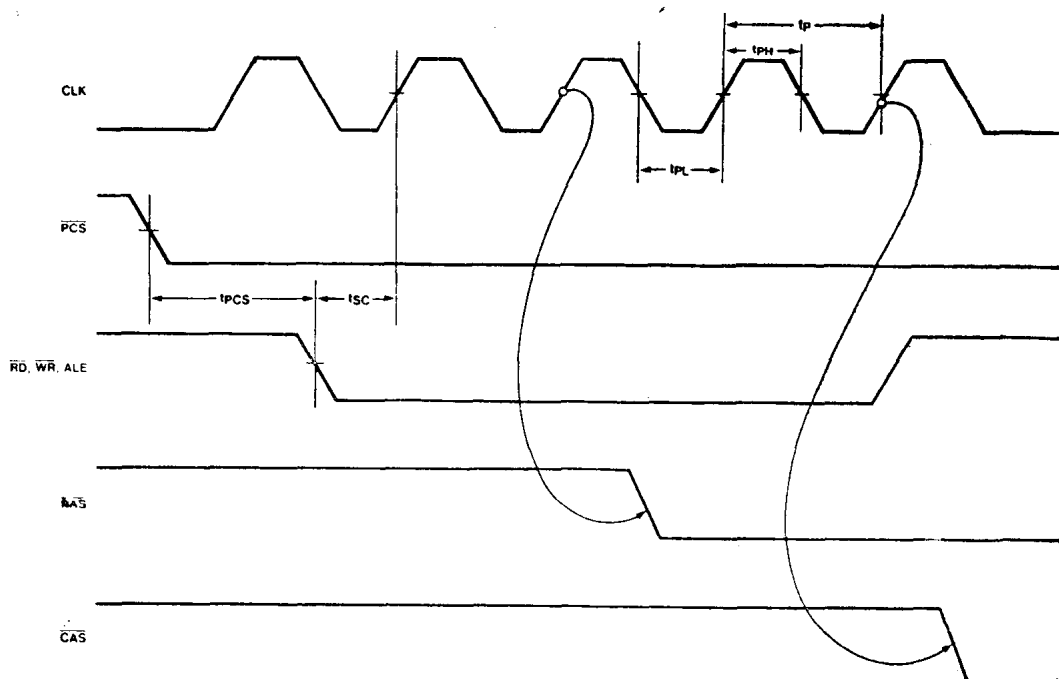
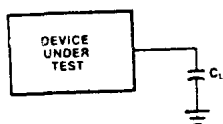


表 2 测试时8202A 输出负载

Pin	Test Load
SACK, XACK	$C_L = 30\text{pF}$
$\overline{\text{OUT}}_0 - \overline{\text{OUT}}_6$	$C_L = 160\text{pF}$
$\overline{\text{RAS}}_0 - \overline{\text{RAS}}_3$	$C_L = 60\text{pF}$
$\overline{\text{WE}}$	$C_L = 224\text{pF}$
$\overline{\text{CAS}}$	$C_L = 320\text{pF}$

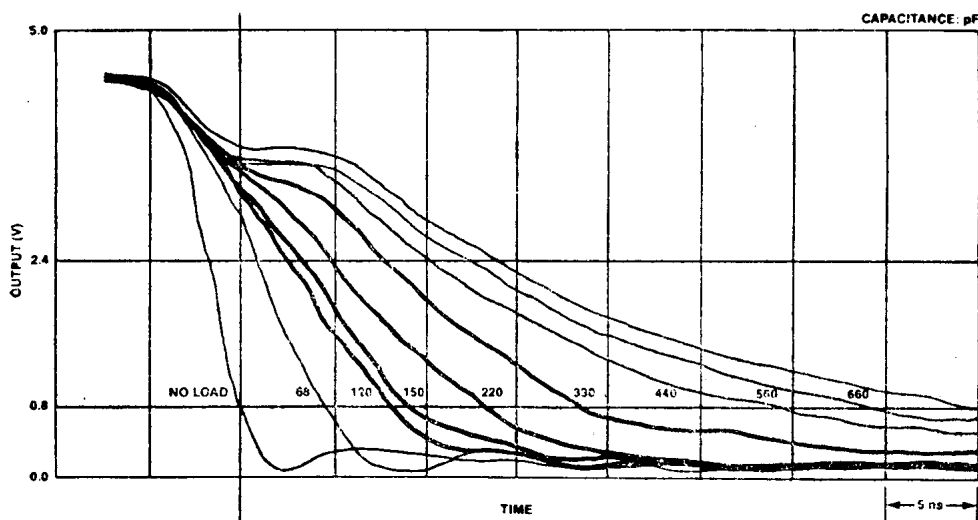
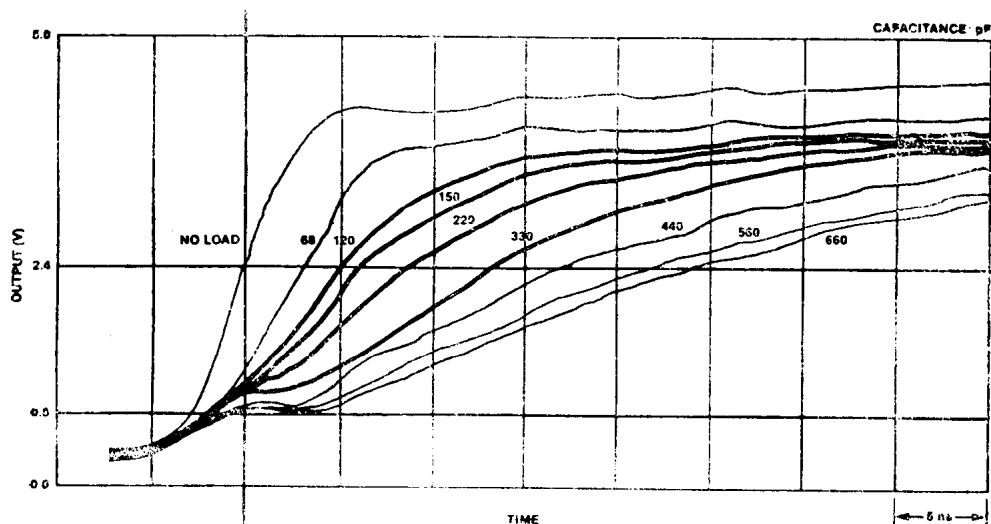
- 注：1. t_{SC} 仅是参考点。ALE, $\overline{\text{RD}}$, $\overline{\text{WR}}$ 和 REFRQ 输入端与 8202A 不同步。
2. 如果 t_{RS} 和 t_{MS} 都是最小值，则 t_{CA} , t_{CR} 和 t_{CC} 有效，否则 t_{CS} 有效。
3. t_{ASR} , t_{RAH} , t_{ASC} , t_{CAH} 和 t_{RSH} 与 $B_0 - B_1$ 以及 CPU 地址有关，地址输入端不锁存。
4. 在连续再生周期中， $t_{RCmax} = 13t_P$
5. 仅当 t_{RMP} 为最小或 t_{MRP} 最小时， t_{RCmax} 才有效。
6. 仅当 t_{RS} 和 t_{MS} 都为最小值时， t_{RFR} 才有效。
7. 当 $\overline{\text{RD}}$ 和 $\overline{\text{WR}}$ 已经为高后， $\overline{\text{XACK}}$ 脉冲才能结束。
8. $\overline{\text{WE}}$ 结束时间为 t_{WCH} 或 t_{WW} 。

交流测试负载电路



OUT, RAS, CAS 和 WE 输出缓冲器的典型上升和下降特性曲线, 可以用于决定负载电容对交流特性的影响。应用下面的特性曲线及时序波形图, 可以决定由于系统负载电容而引起的时间延迟。

各种不同电容负载的交流特性



注:

为了估算时间的延时, 以电容作为测试负载。

测试条件:

$T_A = 25^\circ\text{C}$

$V_{CC} = +5\text{V}$

$t_p = 50\text{ns}$

没有测试的引脚以测试负载电容作为负载。

例: 若用 64 个 2118 动态 RAM 组成 4 个存储体, 求对 t_{CR} 和 t_{CC} 的影响。

1. 首先决定 RAS 和 CAS 负载电容的典型值。

根据数据表 $RAS = 4pF$, $CAS = 4pF$

$\therefore$ RAS 负载电容 = $64pF$ + 分布电容

CAS 负载电容 = $256pF$ + 分布电容

假设分布电容每英寸为 $2pF$ 。

2. 根据波形图可以决定 t_{CR} 和 t_{CC} 的下降时间。根据曲线 RAS 为 $68pF$, CAS 为 $330pF$ 为最好近似。

3. 如果以 $72pF$ 作为 RAS 的负载, 则 $t_{CR}(\max)$ 增加 $1ns$, 如果以 $288pF$ 作为 CAS 负载, 则 $t_{CC}(\min)$ 和 $t_{CC}(\max)$ 减少约 $1ns$ 。

64K 动态 RAM 控制器

- Intel 8203 是动态 RAM 系统控制器, 提供 2164, 2118, 2117 或 2104A 动态 RAM 提供所有必需信号。8203 还提供地址多路转换、地址选通、再生逻辑、再生/访存裁决。再生周期可为内部或外部启动, 8203-1 和 8203-3 具有晶体振荡器。8203-3 电源可偏差 $\pm 5\%$ 。

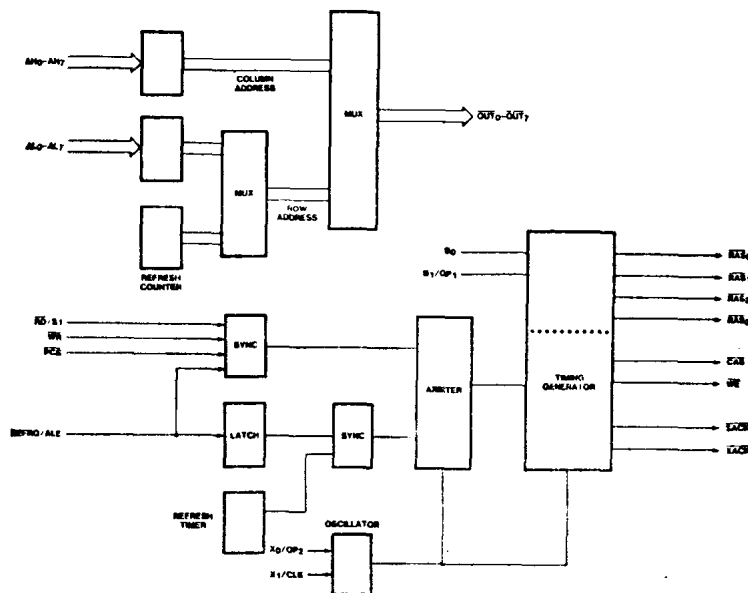


图 1 8203框图

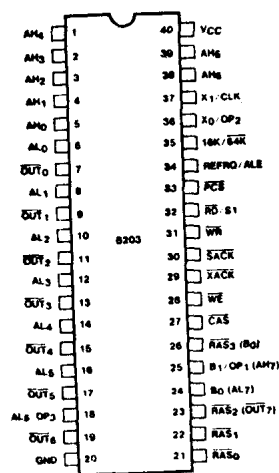


图 2 引脚图