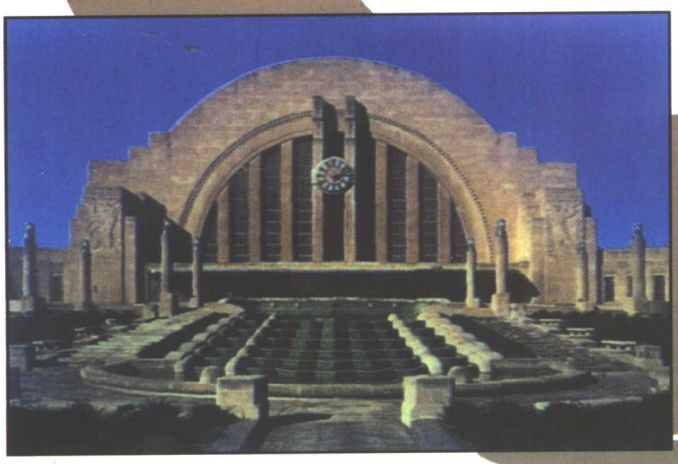
Addison Wesley

现代体系结构上的UNIX系统

——内核程序员的SMP和Caching技术

[美] Curt Schimmel 著
张 辉 译



ADDISON-WESLEY PROFESSIONAL COMPUTING SERIES

人民邮电出版社
POSTS & TELECOMMUNICATIONS PRESS

现代体系结构上的 UNIX 系统

——内核程序员的 SMP 和 Caching 技术

[美] Curt Schimmel 著

张 辉 译

人 民 邮 电 出 版 社

图书在版编目（CIP）数据

现代体系结构上的 UNIX 系统：内核程序员的 SMP 和 Caching 技术 /（美）希梅尔（Schimmel,C.）著；张辉译. —北京：人民邮电出版社，2003.4

ISBN 7-115-10876-5

Ⅰ. 现… Ⅱ. ①希… ②张… Ⅲ. UNIX 操作系统 Ⅳ. TP316.81

中国版本图书馆 CIP 数据核字（2003）第 016159 号

版 权 声 明

现代体系结构上的 UNIX 系统

—— 内核程序员的 SMP 和 Caching 技术

◆ 著 [美] Curt Schimmel

译 张 辉

责任编辑 李 际

◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号

邮编 100061 电子函件 315@ptpress.com.cn

网址 http://www.ptpress.com.cn

读者热线 010-67132705

北京汉魂图文设计有限公司制作

北京鸿佳印刷厂印刷

新华书店总店北京发行所经销

◆ 开本：787×1092 1/16

印张：19.25

字数：460 千字 2003 年 4 月第 1 版

印数：1-4 000 册 2003 年 4 月北京第 1 次印刷

著作权合同登记 图字：01 - 2002 - 2768 号

ISBN 7-115-10876-5/TP • 3195

定价：39.00 元

本书如有印装质量问题，请与本社联系 电话：(010)67129223

内容提要

本书首先回顾了与全书其他内容切实相关的 UNIX 系统内幕。回顾的目的是增进读者对 UNIX 操作系统概念的了解，并且定义随后使用的术语。本书接下来的内容分为 3 个部分。第一部分“高速缓存存储系统”介绍了高速缓存体系结构、术语和概念，详细考察了 4 种常见的高速缓存实现——3 种虚拟高速缓存的变体和物理高速缓存。第二部分“多处理机系统”讨论了调整单处理机内核的实现，使之适合于紧密耦合、共享存储多处理机上运行时所面临的问题和设计事宜，还研究了几种不同的实现。最后一部分介绍多处理机高速缓存一致性，这一部分通过研究高速缓存加入到一个紧密耦合、共享存储器多处理机系统时出现在操作系统和高速缓存体系结构上的问题，从而将前两个部分的内容结合到一起。

本书适合于大学计算机及相关专业高年级本科生或者研究生使用。每一章都包含有一组练习题，问题都需要采用这一章所提供的信息以及一些额外学到的知识来解答，习题大都建立在这一章中所出现的例子的基础之上。在本书的末尾有选择地给出了习题的答案。

序

本书的目标在于，为了让操作系统能够在采用了高速缓存（cache memory）以及（或者）多处理机（multiprocessor）技术的现代计算机系统上运行，就若干必须要解决的问题提供实用的信息。在撰写本书的时候，已经有一些讲述 UNIX 系统实现的书籍，但是却没有一本书详细描述应该如何管理高速缓存和多处理机。许多计算机体系结构方面的书籍都是从硬件方面介绍高速缓存和多处理机的，但是却没有一本书能够成功地解决这些现代体系结构给操作系统所带来的问题。本书的意图就是通过建立计算机体系结构和操作系统之间的桥梁来填补这些缺憾。

本书是为操作系统开发人员编写的，它从系统程序员的角度阐述了高速缓存和多处理机的操作。虽然本书的读者对象是 UNIX 系统程序员，但是本书的编写形式使之能够适用于任何操作系统，其中包括所有的 UNIX 变体。通过概念层次上阐述的问题和解决方案，并且使用 UNIX 系统服务（system service）为例来展示这些问题出现的地方，从而达到了这一效果。所以本书提供的解决方案也可以应用到相应环境下的其他操作系统上。

本书打算采取两种途径向操作系统开发人员提供帮助。首先，读者将学习如何调整现有的操作系统，使之能够在现代体系结构上运行。为了做到这一点，本书从操作系统的角度来详细研究这些体系结构的操作，并且阐述了操作系统要管理这些体系结构必须做什么。其次，读者将学习现代体系结构在不同方法之间进行抉择时所涉及的若干权衡考虑。在投身于采用高速缓存和多处理机的新型计算机系统设计工作时，这会给予操作系统开发人员所需要的背景知识。

本书假定读者熟悉 UNIX 系统调用接口（system call interface）和 UNIX 内核原理的高级概念。读者还应该熟悉计算机体系结构（computer architecture）和计算机系统组织（computer system organization）在这两方面应该具备计算机科学系本科生水平的课程所教授的知识。

本书扩充了为计算机产业界的 UNIX 系统专业人员所开发的 I 级课程（course I）。在过去的 4 年中，这门课一直在美国的 USENIX 大会和欧洲的 UKUUG 大会上讲授。由于它是一门为期

一天的辅导课，因而在所含材料的数量上就有所限制。本书更为细致地涵盖了有关高速缓存和多处理机课程的所有材料，并且还包含了其他主题。

本书适合于大学高年级本科生或者研究生使用。每一章都包含有一组练习题。选出的问题都需要采用这一章所提供的信息以及一些额外学到的知识来解答，并不是简单地模仿他人的材料来出题。在许多情况下，习题都建立在这一章中所出现的例子的基础之上。答案往往采取一小段话的形式（大多数情况下有 4~5 句话，有时会长一些）。希望读者能够尝试解答所有的问题，以此增进对所学概念的掌握。在本书的末尾有选择地给出了习题的答案。

我们首先回顾了与本书其他内容切实相关的 UNIX 系统内幕。回顾的目的是增进读者对 UNIX 操作系统概念的了解，并且定义随后使用的术语。本书接下来分成 3 个部分：高速缓存存储系统（cache memory system）、多处理机 UNIX 实现以及多处理机高速缓存一致性（cache consistency）。第一部分“高速缓存存储系统”介绍了高速缓存体系结构、术语和概念。接下来详细讲述了 4 种常见的高速缓存实现：3 种虚拟高速缓存（virtual cache）的变体和物理高速缓存（physical cache）。第二部分“多处理机系统”讨论了调整单处理机（uniprocessor）内核的实现，使之适合于在紧密耦合（tightly-coupled）、共享存储多处理机（shared memory multiprocessor）上运行时所面临的问题和设计事宜，还研究了几种不同的实现。最后一部分介绍多处理机高速缓存一致性，这一部分通过研究高速缓存加入到一个紧密耦合、共享存储器多处理机系统时所出现的操作系统和高速缓存体系结构上的问题，从而将前两个部分的内容结合到一起。

本书因地制宜地使用一组经过挑选的现代多处理机体系结构来举例说明相关的概念。其中 Motorola 68040 和 Intel 80X86 系列（80386、80486 和 Pentium）代表了传统的 CISC（complex instruction set computer，复杂指令集计算机）处理器。RISC（reduced instruction set computer，精简指令集计算机）方法则以 MIPS 系列（R2000、R3000 和 R4000）、Motorola 88000 以及来自德州仪器公司（Texas Instruments，TI）的 SPARC v8 兼容处理器（MicroSPARC 和 SuperSPARC）为代表。另外还出现了其他几个例子，包括 Sun 和 Apollo 工作站和 Intel i860。在附录 A 中可以找到这些处理器特性的一份汇总介绍。

我要向在本书付梓之前耗费时间评审书稿的人士表示我的感激之情。特别要感谢下面这些人：Steve Albert、Paul Borman、Steve Buroff、Clement Cole、Peter Collinson、Geoff Collyer、Bruce Curtis、Mukesh Kacker、Brian Kernighan、Steve Rago、Mike Scheer、Brian Silverio、Rich Stevens、Manu Thapar、Chris Walquist 和 Erez Zarok。我也要向 Addison-Wesley 公司的员工们表示感谢，感谢他们在本书出版的过程中所提供的帮助和建议，特别要感谢 Kim Dawley、Kathleen Duff、Tiffany Moore、Simone Payment、Marty Rabinowitz 和 John Wait。他们的帮助使得这本书比我一个人努力的结果要好得多。我还要感谢许多在上辅导课期间花时间填写课程评语，从而提供其深思熟虑后的反馈意见的人士。

符号约定

本部分举例说明在本书的示例中所采用的符号约定。

常数（constant）

十进制、八进制和十六进制常数都以 C 编程语言的标准记法来表示。十进制常数总是以数字 1~9 中的一个开头。八进制常数以 0 开头。十六进制常数以字符序列“0x”开头。这里是一些例子：

12345	十进制常数
07654	八进制常数
0x3af	十六进制常数

字长（word size）

存储器中的一个字（word）为 4 字节（byte）。每字节 8bit，所以每一个字是 32bit。

字节顺序（byte order）

存储器最容易想成是字的数组（array）。要引用一个字中的单个字节，需要有一种给它们编号的约定。所有展示存储器中字节排列的例子都使用了高字节结尾（big-endian）的字节顺序。这意味着每个字的最高有效字节（Most Significant Byte，MSB）拥有最低的地址，而最低有效字节（Least Significant Byte，LSB）拥有最高的地址。在字中的字节是从左到右读取的，首先读取最高有效字节。例如，下面的字节编号方式会运用到字长为 4 字节的机器上：

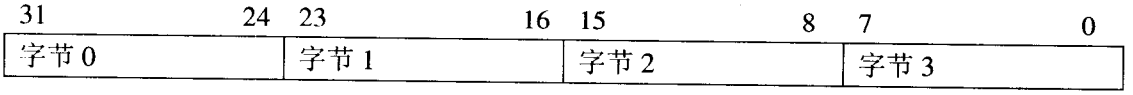
	MSB			LSB
字 0	字节 0	字节 1	字节 2	字节 3
字 1	字节 4	字节 5	字节 6	字节 7
字 2	字节 8	字节 9	字节 10	字节 11

Motorola 的处理器、Sun SPARC 兼容类型的处理器以及 IBM 的处理器（IBM PC 的处理

器除外）都使用高字节结尾的字节顺序。DEC 和 Intel 处理器使用低字节结尾（little-endian）的字节顺序，在这类处理器中，一个字里面的字节是按照逆序编号的。MIPS 处理器可以配置成任何一种字节顺序，在生产基于 MIPS 处理器的系统的所有厂商中，除了 DEC 之外，都选择高字节结尾的字节顺序。

比特位顺序（bit order）

在一个字或者字节内，各个比特位的顺序遵循低字节结尾的顺序，这意味着最低有效比特位（least significant bit，LSb）的编号为 0 位，而 4 字节长的字中，最高有效比特位（most significant bit，MSb）是 31 位。最高有效比特位始终在最左边。在需要用比特位的编号来说清楚一个例子的时候，就在一个字节或者字的上方给出比特位的编号来。例如，下面的字显示出了每个字节内的最高和最低有效比特位，每个字节则按照字内的比特位顺序进行编号。



比特位范围（bit range）

有时需要从一个字或者字节中引用一串连续的比特位，这就称为比特位范围（bit range）。比特位范围可以用尖括号括起范围两端的比特位号来表示。例如，在上面所示的一个字中，构成字节 2 的比特位序列被表示成“比特位<15..8>”。最高有效比特位号始终出现在左边，右边跟着最低有效比特位号。这种记法所表示的范围始终包括这两个比特位的位置本身。

存储器大小的单位（memory size unit）

千字节（kilobyte）被缩写成 K 或者 KB，它包含 1024 字节。兆字节（megabyte）被缩写成 M 或者 MB，它包含 1024KB。吉字节（gigabyte）被缩写成 G 或者 GB，它包含 1024MB。例如，4KB 是 4096 字节，而 8MB 是 8 388 608 字节。存储器大小始终是以字节来衡量的。K、KB、M、MB、G 和 GB 等缩写均会在本书中使用。

前　言

在计算机系统发展历史中的许多时期，构建整体上速度更快的系统的愿望都集中在系统的三大组成部分——CPU、存储子系统和 I/O 子系统——的速度都更快上面。通过提高时钟速度就可以制造出更快的 CPU。通过降低存取时间就可以制造出更快的存储子系统。通过提高数据传输速率就可以制造出更快的 I/O 子系统。但是，随着时钟速度和传输速率的提高，要提高系统的整体速度就变得越来越困难了，因此要设计和构建这样的系统，成本也变得越来越高。随着速度的提高，传输延迟（propagation delay）、信号上升时间（signal rise time）、时钟同步和分发（clock synchronization and distribution）等等都变得越发重要起来。这类高速设计的高成本更难获得有效的性能价格比。

因为受这样和那样的因素影响，系统设计人员扩大了他们的关注范围，以找出提高系统整体性能的其他途径。精简指令集计算机（Reduced Instruction Set Computer，RISC）系统的概念就是其成果之一，在 RISC 系统中对 CPU 指令集进行了简化，从而让一个低成本的快速硬件实现就能完成这些指令。另一项成果是高速缓存存储系统的发展。高速缓存通过把程序中引用最频繁的数据和指令保存在一小块高速存储器中，以此降低主存储系统的负载，从而提高系统的性能。通过增加一小块成本划算、高速度的高速缓存而不是一个成本高、规模大的高速主存储子系统就能加速存储器整体存取速度。采用高速缓存存储器有可能带来更快的存储器整体存取时间，这对于 RISC 系统来说尤为重要，因为要完成相同的任务，使用精简的指令集通常要求 RISC CPU 比传统的 CPU 体系结构取得和执行更多的指令。一般而言，RISC 系统需要更高的带宽来以峰值性能运行。

通过并行运行更多台设备而不是提高任何单台设备的速度就能获得更高的 I/O 传输速率。这就导致了诸如廉价磁盘冗余阵列（Redundant Arrays of Inexpensive Disks，RAID）之类设备的发展，在 RAID 中，多块磁盘并行运行以提供更高的整体传输率。通过增加一个系统中 CPU 的数量来构建多处理机，这样的技术也可以用于提高 CPU 的速度。多处理机把系统负载分散到多个处理器上来增加整个系统的吞吐率。

多处理机和高速缓存是密切相关的。紧密耦合多处理机系统（tightly coupled multiprocessor system）有一个共享的主存储子系统，随着处理器数量的增加，它需要更高的主存储带宽，因为每个处理器在取得和执行一条独立的指令流的同时，都必须在存储器中访问一组独立的数据。将一块高速缓存和每个处理器进行耦合，从高速缓存而不是共享的主存储器来满足处理器大部分的存储器访问请求，就可以降低主存储器的负载。这是一种颇为划算的提高系统性能的途径。

虽然高速缓存能够在多处理机中增加有效的存储器带宽，但是高速缓存结构对于管理它所需要的操作系统开销有很大的影响，这又反过来影响了系统的整体性能。

总而言之，构建速度更快的计算机系统不仅仅是一件诸如提高 CPU 时钟速度这样的事。虽然这样的技术实际上造就了更快的系统，但是它们不一定就是经济上划算的解决方法。通过集中研究如何利用现有的系统部件来提供更高的系统性能，人们已经发现高速缓存和多处理机是划算的解决方案。因此，我们就从这里开始研究高速缓存和多处理机的体系结构，以及它们给操作系统带来的问题。

目　录