

国外场效应大规模集成电路技术

上海半导体器件研究所编

上海科学技术情报研究所



国外场效应大规模集成电路技术

上海半导体器件研究所编

上海科学技术情报研究所出版

新华书店上海发行所发行

上海商务印刷厂印刷

开本: 787×1092 1/16 印张: 4 字数: 100,000

1974年5月第1版 1974年5月第1次印刷

印数: 1—6,600

代号: 151634·174 定价: 0.50 元

(只限国内发行)

毛主席语录

备战、备荒、为人民。

抓革命，促生产，促工作，促战备。

自力更生，艰苦奋斗，破除迷信，解放思想。

鼓足干劲，力争上游，多快好省地建设社会主义。

前 言

在电子技术领域中,不少人认为七十年代是发展大规模集成电路的时代。由于金属-氧化物-半导体(MOS)场效应集成电路与双极性集成电路相比,它具有工艺简单、集成度高、功耗低、抗干扰好等优点,因而自从1964年首先制成大规模集成电路以后,在发展大规模集成电路时,场效应大规模集成电路得到了迅速地发展和广泛地应用。

我们遵照伟大领袖毛主席关于“洋为中用”的教导,选择了场效应大规模集成电路的整机应用、制造工艺、稳定性与可靠性等方面几篇国外资料,供有关人员参考。

由于肖特基势垒栅场效应晶体管具有速度高、电源电压低、受表面态影响小等引人注意的优点,因而也选译一篇。

限于我们的水平,译文中一定存在不少问题,希望广大读者予以批评指正。

上海半导体器件研究所

一九七三年六月

目 录

1. MOS 通用计算机	(1)
2. 采用常关型肖特基势垒栅场效应晶体管的存储单元阵列	(6)
3. 全译码 2048 位能电编程序的 FAMOS 只读存储器	(13)
4. MOS 工艺学的某些问题	(21)
5. HCl 和 Cl ₂ 对硅热氧化的影响	(35)
6. 硅热氧化期间采用三氯乙烯化学吸收方法来降低氧化物电荷	(42)
7. MOS 阵列的失效特征	(45)
8. MOS 集成电路可靠性	(53)

MOS 通用计算机

R. K. Booher

引 言

当采用 p 型沟道增强型 MOS-FET (场效应晶体管) 的二相 20 位移位寄存器在市场上首次出现时, 很多人连什么是 MOS-FET 的最起码概念也没有。逻辑设计人员感兴趣的是, MOS-FET 工艺看来能提供复杂的功能。系统设计人员对 MOS-FET 的低功耗和较少的封装要求感到满意。半导体器件制造厂预言 MOS 可能比隧道二极管更有前途。

Autonetics 公司研究了它的潜力, 以及与直接耦合 MOS 电路和二相 MOS 电路有关的问题, 并很快设计出四相系统 MOS 电路, 解决了二相系统的许多问题。Autonetics 公司采用四相系统制成第一个 MOS-LSA (大规模阵列) DDA 积分器, 并于 1966 年 2 月投产。这种单元部件约有 800 个 MOS-FET。

在 DDA 和其他四相 MOS-LSA 电路方面获得了大量经验后, 作者感到, 应马上设计出适合于导航用的通用计算机。

需要说明一下, 这种采用 MOS-LSA 的计算机是完全成功的。设计该计算机, 目的是为了满一般的导航计算机要求, 因此它既不是世界上最快的也不是功能最全的计算机, 不过在计算机制造工艺方面却是一种变革。该计算机所用各种元件是工业中最先进的, 在计算机的逻辑方程写入之前都进行过种种综观考虑。例如在功能要求、计算机结构、MOS 速度、集成电路尺寸、集成电路功能复杂性、每种集成电路的外引线数、集成电路种类数和总的集成电路数等方面都进行了比较评定。

为了使读者了解所制造的计算机的等级, 现将其某些性能列于表中。

MOS 通用计算机性能表

1	250 千赫钟频率
2	并行操作, 单地址结构
3	24 位字长——指令和数据
4	3 个变址寄存器
5	4 个中断通道——有锁定 (Lockout)
6	35 个指令数——大多数可变指数
7	8 微秒加法指令时间
8	108 微秒乘法指令时间
9	4 千位存储器——能扩展到 32 千位
10	4 微秒存储周期时间
11	中央处理机有 24 个集成电路
12	中央处理机用 8 种集成电路

当时作者估价 MOS 电路的速度能力时,是非常保守的。特别是作者设计采用独特的四相控制方案,是以 250 千赫钟频率为基础。此控制方案可允许在每种控制电平下求值的逻辑方程相当复杂,但在每个时钟时间内至多只允许四种控制电平。

该计算机采用普通的单地址、并行方式工作。过去曾经也考虑过串行操作方式,但由于两个方面的理由而放弃了:速度较慢,而且惊人地复杂。指令和数据二者的字长都是 24 位,这主要由于预期的目标是用作导航计算机。计算机内有三个硬设备变址寄存器,虽然有一个是预先空着供中断系统使用。机内还有四个按程序锁定的中断通道,按转动的优先次序工作。计算机有 35 个指令数,包括 108 微秒的乘法指令、108 微秒的乘积求和指令和 112 微秒的除法指令。其他大多数指令需要 8 微秒时间,此外主要的是移位型指令,其持续时间可变更。

计算机设计时用 32 千个字存储器,但目前使用的是 4 千个字磁芯存储器。这种磁芯存储器的周期时间为 2 微秒,虽然计算机实际上只需要 4 微秒周期时间的存储器就能满足所述指令执行时间。在不远的将来,作者希望 MOS-LSA 能在 1 兆赫钟频率下工作,而要求存储器具有 1 微秒的周期时间。中央处理机由 8 种 24 个 MOS-LSA 装配成(图 1)。

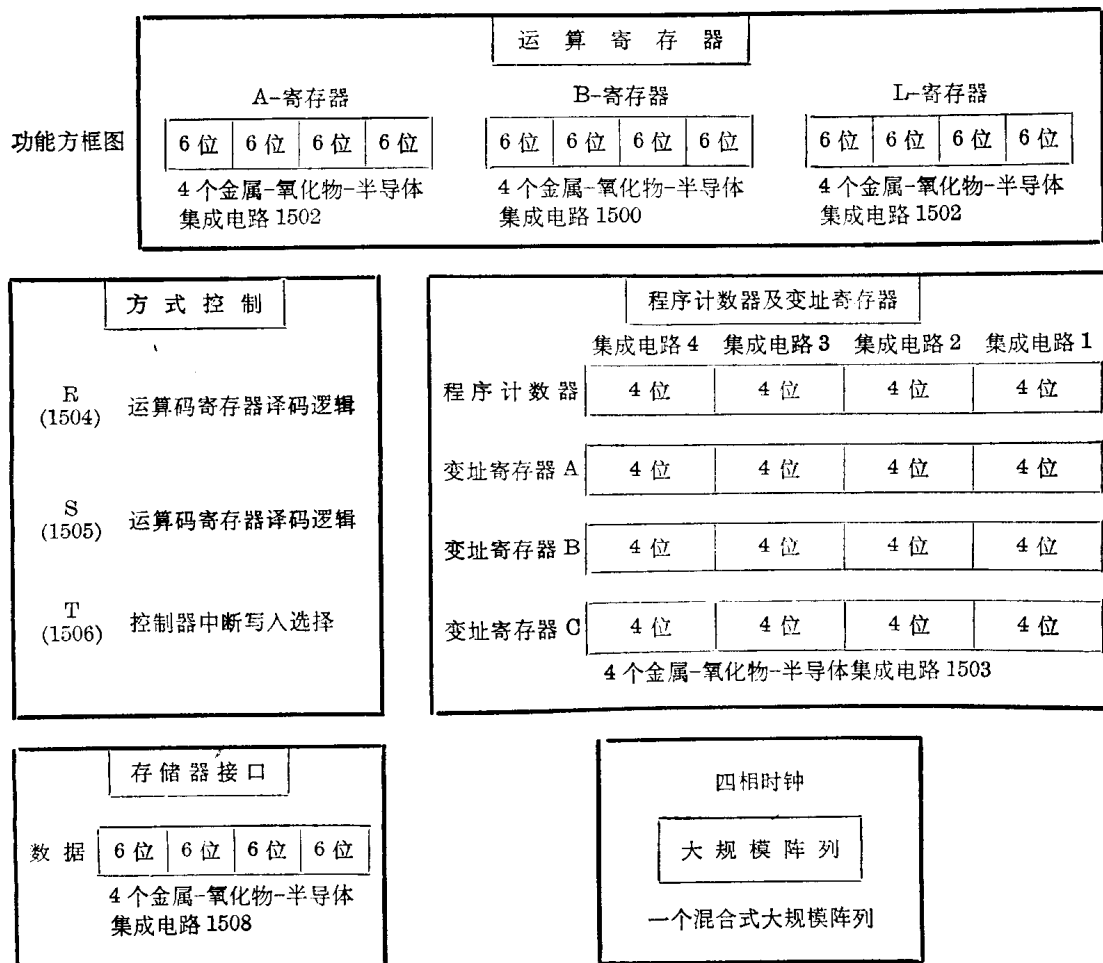


图 1 MOS 通用计算机的运算控制部分

计算机的结构是相当普通的,采用一个累加器,一个慢累加器,一个运算缓冲寄存器,一个程序计数器和三个变址寄存器。四个 1502 型 LSA 构成 24 位累加器。四个以上的 1502

型 LSA 构成 24 位慢累加器。四个 1500 型 LSA 构成 24 位缓冲寄存器。四个 1503 型 LSA 构成 16 位程序计数器和三个 16 位变址寄存器。1504、1505 和 1506 型 LSA 各一个, 构成方式控制部分。因此, 计算机的运控部分实际上由 19 个 LSA 组成。除这些 LSA 外, 中央处理机 (CPU) 卡也有 4 个 1508 型 LSA 构成磁芯存储器接口, 有一个混合 LSA 构成四相时钟。

1502 型 LSA 在累加器中相当于 6 位, 在本计算机中用来构成 A 寄存器和 L 寄存器。它有 4 个信号按位加的控制输入组, 即信号不同时产生的输入组。在加法运算控制时, 1502 型 LSA 把第一组运算输入线上出现的数同 1502 型内寄存器中的数相加。当求得的总数记入 1502 型内寄存器时, 记入的总数向左移一个二进制位。上述的这种运算设计, 颇为独特, 可使乘法和除法指令最佳化。

执行加法和减法指令, 要求补偿性右移, 这种补偿性右移功能是由 SAR (Shift A Right) 控制线来完成的。除了 ADD (加法) 和 SAR 控制线外, 有一 CLR (Clear——清除) 控制线, 能使寄存器清除归零。还有一 CPY (Copy) 控制线, 可控制寄存器, 把第二组运算输入线上出现的数抄录下来。运用上述抄录功能, 主要为了在乘和除运算期间, 能在寄存器之间实现某种数据转移。

执行加法指令所需的补偿性右移, 是在左移加法进行之前完成的, 而不是左移加法进行之后。因此, 执行减法指令运算所需的时间就可得到补偿。实际的补偿功能是在 1500 型 LSA 内完成的, 而 1502 型 LSA 则构成一种“超前”(Lookahead) 进位线路, 实际的加法(左移)是在一个时钟时间周期(即四个控制电平)内完成的。事实上, 在除法运算期间, 计算机是以每个时钟时间分之一的速率求出商位。1502 型 LSA 有 658 个 MOS-FET。管芯尺寸是 110×140 密耳。

1502 型 LSA 在缓冲寄存器中相当于 6 位。缓冲寄存器抄录存储器的运算数, 并把运算数提供给 A 和 L 寄存器。对于掩蔽(masking)指令, 当运算数抄录入缓冲寄存器时, 掩蔽就完成了。对于运算数补数的指令, 在缓冲寄存器和驱动器(向 A 寄存器或 L 寄存器提供操作数)之间就可实现补数。

除这些功能外, 有时还可把一些“伪”操作数提供给 A 和(或) L 寄存器。例如, 在乘法运算期间, $+1$ 或 -1 单位的“伪”操作数, L 寄存器就能当作一个类似的升/降计数器, 这就是一个例子。1500 型 LSA 有 393 个 MOS-FET。管芯尺寸是 110×140 密耳。

1503 型 LSA 在程序计数器中相当于 4 位, 在三个变址寄存器中相当于 4 位。1503 型 LSA 所完成的功能, 与整个计算机的结构密切相关。其主要功能是提供存储器操作所需的寻址信息。程序计数器在需要时可对指令寻址进行计数, 在执行转移指令时可抄录其适当的地址。如果不要变址, 运算数的寻址就简化为抄录指令字地址的存储信息。当需要变址时, 相应的变址寄存器的存储信息就从指令字地址的存储信息中减去。三个变址寄存器中每一个都能够进行寄存, 读出, 对零检验和减数, 以及寄存程序计数器的补充存储信息。1503 型 LSA 的最后功能是用来与子程序建立联系。

除了上述这些功能外, 1503 型 LSA 在引导指令填充传播期间能提供存储器寻址, 以及和输入/输出 LSA 相结合, 在要求实现中断时, 建立中断地址。1503 型 LSA 有 1053 个 MOS-FET。管芯尺寸是 160×170 密耳。

1506 型 LSA 构成计时的基本控制信号。用一个五级计数器来实现长指令(如乘法、除

法)的计数,以及实现移位。所有其他指令只有第一个执行时钟时间和最后一个执行时钟时间。变址指令有一个变址时钟时间,插在变址指令的第一个执行时钟时间之前。

1506 A 型 LSA 也构成四个按程序锁定的中断通道。采用一个转动的优先线路,可解决同时中断问题。当要求实现中断时,相应的通道就被中断,而中断的时间与发出的即时指令时序相一致。

1506 型 LSA 还构成许多各种各样的控制信号。存储器选择写入信号就是包括在这一组控制信号中。1506 型 LSA 有 1016 个 MOS-FET。管芯尺寸是 160×170 密耳。

1504 型 LSA 能产生某些与变址写入存储器、执行传输指令有关的基本的方式控制信号。此外,1504 型 LSA 还产生与执行运算指令有关的某些控制信号。1504 型 LSA 有 614 个 MOS-FET。管芯尺寸是 110×140 密耳。

与执行运算和移位型指令有关的控制信号大部分由 1505 型 LSA 产生。1505 型 LSA 也产生 A 和 L 寄存器中算术运算所需的低数量级进位数据。此外,它还处理用于运算和移位型指令的 A 和 L 寄存器的高数量级和低数量级的数据位。1505 型 LSA 有 838 个 MOS-FET。管芯尺寸是 160×170 密耳。

1508 型 LSA 构成磁芯存储器接口的 6 位位置。所采用的电路是与其他 LSA 所用的四

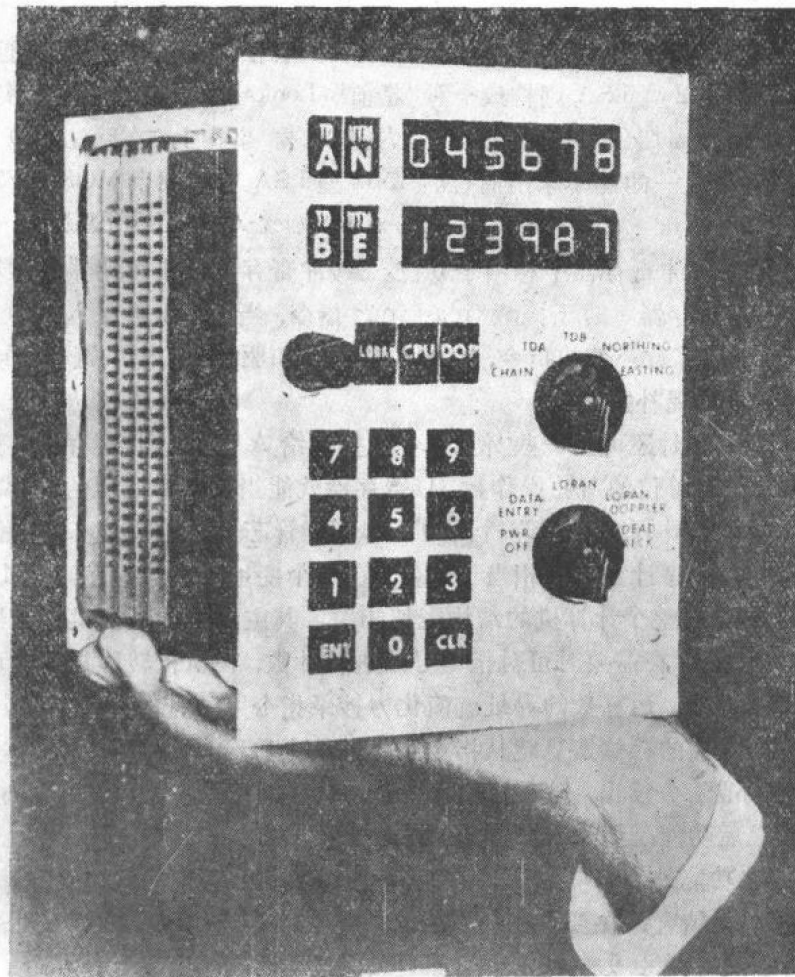


图 2

相电路完全不同的。1508 型 LSA 用来选择四个数据源中的一个数据源。然后再执行取样和保持功能以解调四相信号。再执行电平漂移功能,使信号与目前的双极性电平相容。最后,1508 型 LSA 为双极性系统提供所需的驱动,同时提供输出倒相的能力。1508 型 LSA 有 142 个 MOS-FET。管芯尺寸是 88×104 密耳。

目前,在输入/输出方面的工作做得还不多,不过已研制成一种 LSA,专门用于输入方面。特别是用两个 1501 型 LSA 构成缓冲输入通道。这种电路是随着中央处理机的发展而被采用的,因为中央处理机需要把程序和数据存入存储器。1501 型 LSA 有 732 个 MOS-FET,管芯尺寸是 110×140 密耳。不过还没有研制成专用的输出电路,现有的电路能成功地用来满足目前的输出要求的尚不多。

上述电路制成的计算机模拟试验板很小。主要由实验室电源、商用存储器和各种机箱组成。中央处理机以及一个输入通道由互连的 LSA 组成。

图 2 是 MOS 通用计算机的样机。

译自 American Federation of Information Processing
Societies, Vol. 33, 1968, p. 877.

采用常关型肖特基势垒栅场效应晶体管的存储单元阵列

K. E. Drangeid 等

本文叙述了金属-半导体场效应晶体管 (MESFET) 作为直流稳定的固定地址存储单元阵列器件的潜力。采用栅长 1 微米的“常关”型 MESFET 组成的直流耦合电路, 具有几个固有的优点: 封装密度高, 功耗低, 功耗-延迟时间乘积小, 以及制作晶体管、二极管和电阻的掩蔽工序少。为了论证这些优点, 作者选中采用直流稳定单元的固定地址存储阵列。集成单元面积是 2.6 平方密耳。在电源电压 $V_s = 0.6$ 伏时, 每个单元达到的维持功耗是 5 微瓦。单元开关时间在 4 毫微秒以下。在位线上的差分读出电流是 $\Delta I_s = 6$ 微安。

引 言

在硅^[1~3] 和砷化镓^[4] 上, 业已制成接触间栅长为 1 微米的 MESFET 器件, 表明用作高频器件具有优良的性能。这种器件的特点^[5] 是尺寸小、自排列, 再加上掩蔽工序少, 使得它非常适合于高封装密度的电路集成。1 微米线条结构的要求是利用投影掩蔽技术来实现的^[6~8]。一个 4000 位固定地址存储阵列能够在 140×140 平方密耳晶片上制成。作者制造了一个 3×3 直流稳定单元阵列, 作为论证这些优点的试验阵列, 试验是在实在的存储条件下进行的。

常关型 MESFET 的特性

MESFET 是制造在高电阻率衬底或 p 型衬底上, 其上有一层 n 型导电层。导电层(即

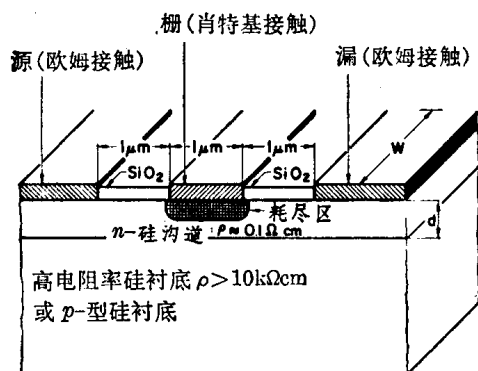


图1 肖特基势垒栅场效应晶体管截面图

沟道) 的掺杂浓度 N_D 约 10^{17} 厘米⁻³。两个欧姆接触形成源和漏, 整流肖特基接触形成栅, 如图 1 所示。常关型的高频 MESFET, 经重新设计, 在零栅电压下可呈耗尽型。这些常关型 MESFET 允许在简单的直流耦合电路中工作。

MESFET 的源-栅电压决定了它的耗尽区厚度, 由此控制栅电流。如果栅下耗尽区厚度等于导电层厚度, 相应的源-栅电压就等于阈电压 V_T :

$$V_T \approx V_{diff} - V_{p0} \quad (1)$$

式中 V_{diff} ——金属-半导体接触的扩展电压。

夹断电压 V_{p0} 取决于沟道参数, 由下式给定:

$$V_{po} = \frac{e}{2\epsilon_s} N_D d^2 \quad (2)$$

此处 e 是电子电荷量, $\epsilon_s (= \epsilon_0 \epsilon_r)$ 是沟道材料的介电常数, 而 d 是沟道厚度。具有厚导电层和高掺杂的 MESFET, 其阈电压为负值, 而且为常开型晶体管。另一方面, MESFET 的 V_{po} 比 V_{diff} 小, 则阈电压为正值, 而且是常关型的^[9]。为了打开沟道, 栅二极管要正向工作。为了保持相对于漏极电流足够小的栅极电流, 正向电压限制在小于肖特基结的扩散电压内。扩散电压与肖特基二极管的势垒高度有关, 由下式表示:

$$V_{diff} = \phi_{Bn} + \Delta\phi - \phi_{Fn} \quad (3)$$

式中 ϕ_{Bn} ——势垒高度,
 $\Delta\phi$ ——由像力引起的肖特基势垒的下降,
 ϕ_{Fn} ——费米能级和导带之间的电位差。

触发器电路中栅材料不同而对静态特性曲线的影响见图 2, (铬/镍)材料的势垒高度低, (金)金属的势垒高度高。对于集成阵列, 最后决定采用硅化钼(Pd_2Si)作栅材料, 相应的转移曲线处于图 2 中两组曲线之间。对于数字电路来讲, 电源电压低(<0.65 伏)意味着功耗相当小, 但也限制了开关性能。

与双极性晶体管相比, MESFET 的驱动条件有很大限制。根据肖克莱缓变情况理论^[10], 夹断时最大漏极电流值是:

$$I_{D\text{最大}} = \frac{1}{R_{co}} \cdot \frac{V_{po}}{3} \quad (4)$$

式中 R_{co} ——耗尽层未出现时栅区的沟道电阻。

沟道电阻的倒数是器件跨导的最大值。优值是 $M = g_m / I_D$ 。若 $I_D = I_{D\text{最大}}$, $g_m = g_{m\text{最大}}$, 则优值反比于夹断电压, 并且为:

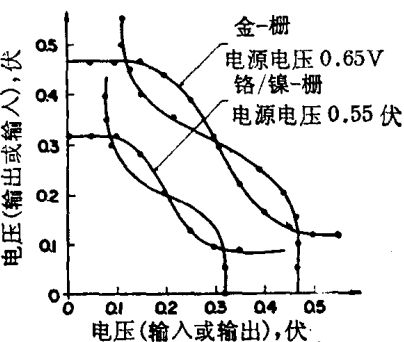


图 2 肖特基接触势垒高度不同时, 触发器电路的电压转移特性曲线

$$M = g_{m\text{最大}} / I_{D\text{最大}} = 3 / V_{po} \quad (5)$$

双极性晶体管的相应优值是

$$M = e / kT$$

图 3a 是按照本文附录中的推导, 绘出 M 与 d 的关系曲线。在厚度小的情况下, 双极性晶体管和 MESFET 的优值在同一数量级。忽略寄生情况时, MESFET 的大信号开关时间常数是:

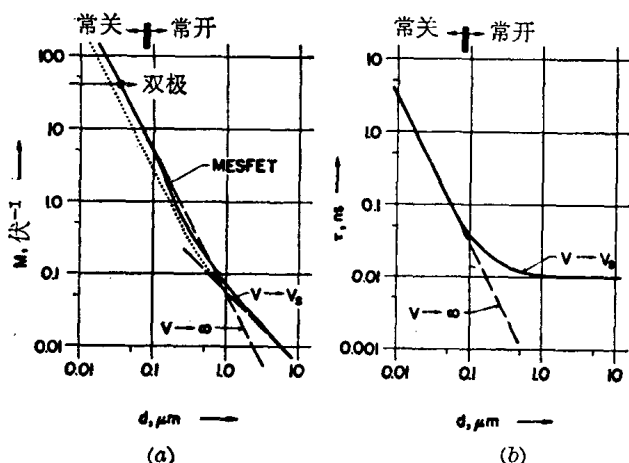


图 3 MESFET ($N_D = 10^{17}$ 厘米⁻³, 载流子迁移率 $\mu = 600$ 厘米²/伏·秒和栅长 $L = 1$ 微米)的(a)优值 M , (b)开关时间常数 τ 与沟道厚度的关系。(a)中的点线表示栅和源之间夹杂串联电阻对 M 的影响

$$\tau = \frac{3}{2V_{po}} \cdot \frac{L^2}{\mu} \quad (6)$$

式中 L ——如图 1 所定义的栅长度,
 μ ——电子迁移率。

开关时间常数 τ 与厚度 d 的关系见图 3b。偏离肖克莱的缓变情况理论的直线, 这是由于电子速度饱和之故。图 3 表明, 常关型 MESFET 的优值比常开型 MESFET 的高。源和栅之间夹杂的串联电

阻不会影响 τ , 但使常关型器件的 M 减小两倍。在这方面, 覆盖的 SiO_2 对在自由硅表面防止负电荷俘获起了重要作用, 这将进一步增大串联电阻。事实上, 在氧化物或氧化物-硅界面处的少量正电荷 ($\leq 10^{11}/\text{厘米}^2$) 将使串联电阻减小。

如前面所指出的, 为了保持足够小的栅电流, 所选的正阈电压应低于扩散电压。对于硅化钨栅 MESFET 所给出的一组典型数据是: $V_{\text{diff}}=0.55$ 伏, $V_{p0}=0.45$ 伏, $d=800$ 埃, $N_D=9 \times 10^{16}$ 厘米⁻³。按照上述数据, 栅长度为 1 微米的常关型 MESFET 的直流特性曲线

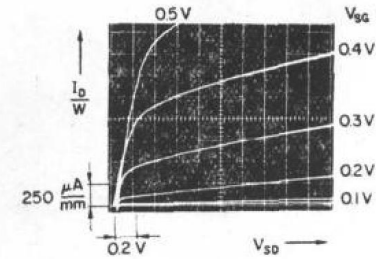


图4 栅长度为1微米的常关型 MESFET 的直流特性曲线。漏电流是按栅宽标称化的

如图4所示。在 $V_{SG}=0.5$ 伏和 $V_{DS}=1$ 伏时, 阈电压 $V_T=0.1$ 伏, 夹断时漏一侧的跨导和开路电压增益分别是每毫米栅宽为 $g_m=10$ 毫姆欧和 $\mu=30$ 。

工 艺

在采用常关型晶体管制造高封装密度阵列中, 主要问题由下列一些要求所引起: (1) 沟道层必须很薄, 必须具有特定的掺杂浓度以及高的载流子迁移率, 以便得到高跨导的器件。淀积 0.1 微米厚度的层, 重复性和层的均匀性都存在问題, 0.1 微米厚度的淀积层要比通常制备的外延层薄十倍以上。(2) 器件几何尺寸必须很小, 以得到高频特性和高封装密度。这后一个问题由通常的光刻掩蔽工艺的限制所引起, 通常光刻的线宽和间距为几微米。特别严重的困难是掩膜的相继套准问题。

采用 10 欧姆-厘米的 p 型硅代替高电阻率硅作为衬底材料是一种折衷方案, 因为采用前一种材料在沟道和衬底之间形成 $p-n$ 结, 电路的寄生效应较大。然而, 采用 p 型衬底是有好处的, 因为能改善晶体管的夹断特性和减小输出电导。

外延沟道层是在卧式反应器中用四氯化硅氢还原法来制得。在 950°C 衬底温度下, 用 200 埃/分的淀积速率, 慢慢地生长厚度约 0.1 微米的外延层, 在直径为 1 吋的片子上均匀性在 5% 以内。 n 型掺杂由通以大量的氢气的砷来实现。对于 $V_T \sim 50$ 毫伏的阈电压容差, 要求导电层厚度的精度是 $\pm 5\%$ 。这样的容差能用外延法来实现, 不过离子注入法可能是更方便的生产方法。

具有 1 微米栅长和接触间隔的存储器阵列图形, 是用接触掩蔽方法来实现的。但是, 为了达到所需的高分辨率, 制作了铬掩膜, 它由单个阵列图形按分步重复方法投影复印而成。对于一个完整的 4 千位阵列, 可应用类似的方法, 使用一个在整个视场(视场面积等于整个存储器片子面积)有足够分辨率的投影透镜。或者, 可用编为程序的电子束曝光方法制作掩膜。

在第一步掩蔽工序时, 定出所有的精密尺寸。各个接触区域都用钯来金属化, 如图 5a 所示。在第二步非精密掩蔽工序以后, 把金和 2% 的锑淀积在欧姆接触区域的中央, 如图 5b 所示。随后在 550°C 下真空热处理 15 分钟, 使金/锑覆盖在以前淀积的整个钯层区

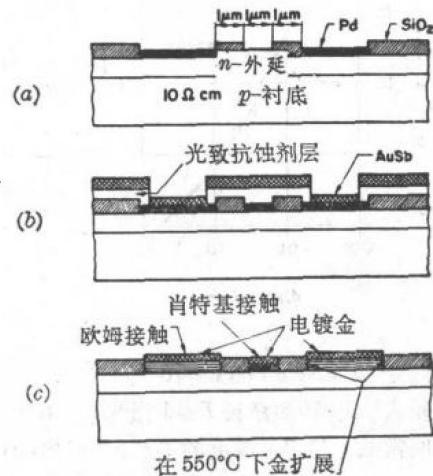


图5 制造 MESFET 所用的基本工艺步骤

域上,并和下面的硅形成合金^[5]。到这一步,这些区域转变成欧姆接触。同时,在余下的接触处形成硅化钯(Pd_2Si)。在合金后,所有接触处用镀金加厚,以减小电阻(图 5c)。

电路集成的互连由第二层金属化方法来实现,射频(RF)溅射 1 微米厚的 SiO_2 薄膜使与下层结构相隔离(这些互连如图 7 所示)。

单元电路和布局

对于字结构^[11],所选的直流稳态电路见图 6 所示。负载是电阻 R_L ,采用适当间隔的欧姆接触形成在外延层外。电阻和晶体管的隔离是用肖特基接触条使下面的导电层耗尽而得到。单元布局见图 7。中心处的欧姆接触是两个触发晶体管的公共源。字线是“肖特基线”,作为输入/

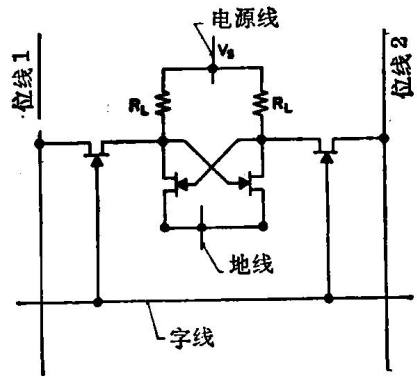


图 6 存储单元电路

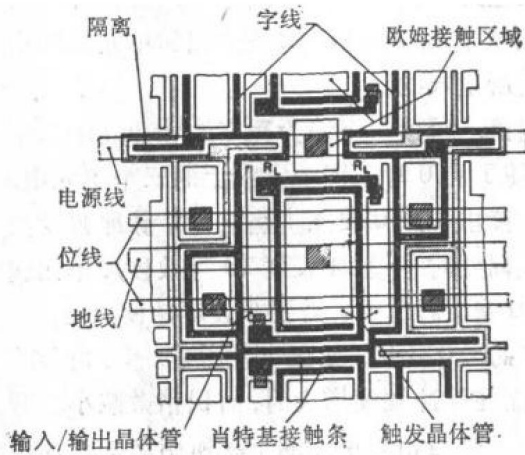


图 7 图 6 所示的存储单元的布局,表面积为 2.6 平方密耳

输出晶体管的栅以及作为单元之间的隔离。位线、电源线和地线,使用第二层金属化。1 微米肖特基线和 1 微米间隔的单元面积约为 2.6 平方密耳。

单元电阻 R_L 的选择,是按照足够的工作稳定性和最小的开关时间之间取折衷方案进行的。对于最小的开关时间而言,在非稳态触发器中 R_L 必定使电压增益 $A_v \sim 2^{[12]}$ 。若忽略栅电流并假定仅有一个触发晶体管导通,则可求得负载电阻的粗略估计值:

$$R_L/R_{co} = 5[(V_{diff}/V_T) - 1] \quad (7)$$

若 $V_{diff} = 0.5$ 伏和 $V_T = 0.05$ 伏,从式(7)得到 $R_L/R_{co} \sim 45$ 。在图 7 的实际布局中, R_L/R_{co}

$= 60$, 比率较大,这是因为上面被忽略的有限栅电阻减小了有效负载电阻。负载电阻和触发器晶体管使用同样的外延层,所以其跨距(tracking)能很好地自动确定。

3×3 阵列的试验测量

具有 3×3 单元阵列的片子如图 8 所示,它焊在 12 条引线的底座上。所有存取线与 50 欧姆的端头相匹配。单元操作的电源电压 $V_s = 0.6$ 伏,而维持功耗 $P_H = 5$ 微瓦。在维持期间,字线处于地电位,位线处于 0.4 伏。对于非破坏性读出,在所选择的字线上的正脉冲 $V_{WP} = 0.4$ 伏时,在位线上产生的读出电流 $I_B = 6$ 微安。波形图如图 9 所示。在脉冲前沿和后沿处的电容性尖峰信号,能用差分放大器来削去。字线的正脉冲和在适当位线上的负脉冲 $V_{BP} = 0.35$ 伏,能使单元从 1 状态开关到 0 状态,

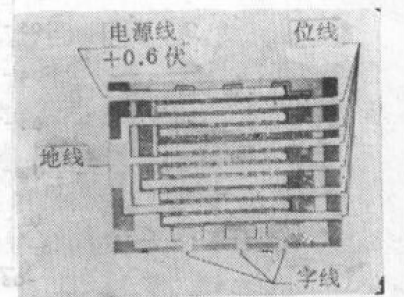


图 8 包括驱动线在内的完整的 3×3 MESFET 存储单元阵列

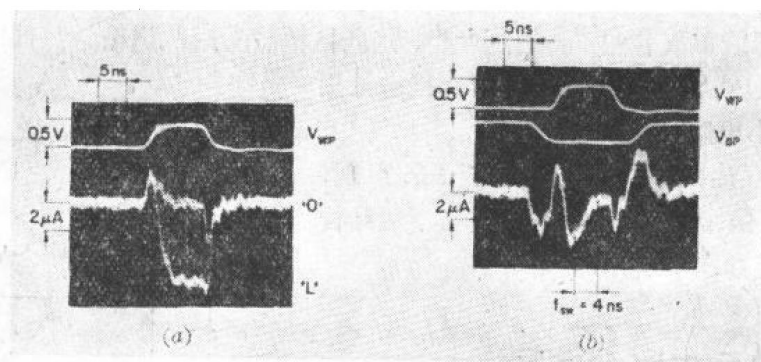


图9 存储单元的开关特性

- (a) 读出操作: 上面的光迹——字脉冲; 下面的光迹——在第一条位线上0和1的读出信号。
- (b) 写入操作: 上面的光迹——字脉冲; 中间的光迹——位脉冲; 下面的光迹——在第二条位线上的开关过渡过程。并标出所测得的开关时间

过渡时间 $t_{sw} = 4$ 毫微秒, 如图9所示。

图10表示在位线上测得的读出电流 I_B 与字线电压 V_{WP} 之间的关系。在中间区域处曲线展宽, 表明 I_B 展宽的最大值, 这是由相邻单元之间小而有限的相互作用所引起的。

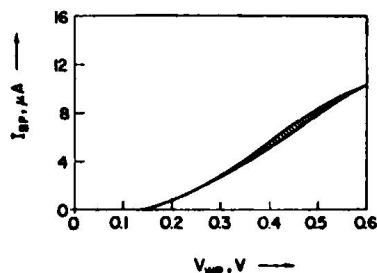


图10 读出电流 I_B 与字脉冲幅度 V_{WP} 的关系。阴线区域读出电流展宽是由于相邻单元信息的影响所引起

操作范围的测试, 采用一个编为程序的脉冲发生器来进行, 发生器交替使1和0写入同一字线上的三个单元中, 并在中间的单元上读出1和0状态。当位和字脉冲幅度大于图11a中斜纹线幅度时(字脉冲长度10毫微秒), 单元就实现开关。对于10毫微秒脉冲, 需要非破坏性读出时, 字脉冲幅度限制在 $V_{WP} = 0.6$ 伏, 如图11b所示。三角形的操作范围向下移, 而在脉冲幅度增大时, 面积稍微减小。开关操作的这些限制, 是与相邻单元的干扰所引起的最坏情况相符的。单元干扰所引起的开关操作限制, 至少是小于10%。

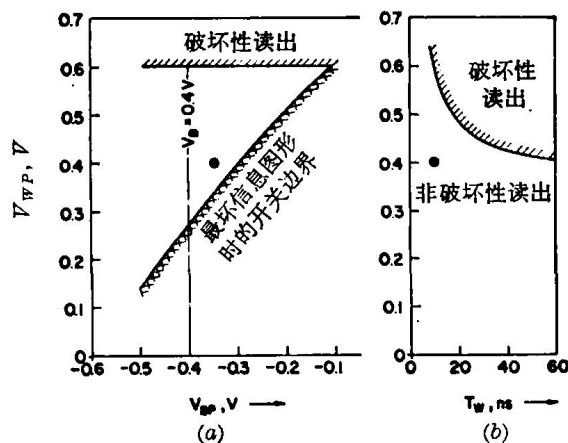


图11 3×3 单元阵列的操作范围。⊗记号表示用以开关测量的操作点

- (a) 字脉冲长度 $T_W = 10$ 毫微秒时, 字脉冲 V_{WP} 与位脉冲幅度 V_{BP} 的关系。
- (b) 非破坏性读出 (NDRO) 时, 字脉冲幅度 V_{WP} 与字脉冲长度 T_W 的关系

4 千位片子的估计性能

3×3 单元阵列的主要特性摘录于表 1。这些数据表明,在 140×140 平方密耳的片子上制作 4096 个单元以及有关倒相器、译码器、线驱动器和读出放大器是行的。它的特性可用计算机模拟来进行估计。与位线相比,字线需要低阻抗驱动源;而且采用了肖特基二极管,它们具有相当高的电容、分路电导以及串联电阻。因此,字和位脉冲相应的幅度分别为 0.4 和 -0.35 伏,如图 11 中记号“⊗”所示。这些小的驱动电压比 4096 单元片子发出的热噪声幅度大三个数量级。晶片外界对电压尖峰的影响,可利用适当的屏蔽方法使其足够小。此外, MESFET 存储系统操作时可使电压摆幅很小 (<0.4 伏),因此电压尖峰的影响可以非常小。如果差分读出放大器采用常开型 MESFET,则 4 千位片子的模拟存取时间是 25 毫微秒。如果在片子上全部采用常关型晶体管,则存取时间为 75 毫微秒。决定存取时间的主要部分列于表 2。

表 1 MESFET 存储单元的基本数据

单元面积	2.6 密耳 ²
栅长	1 微米
栅宽	22 微米
电源电压	0.6 伏
维持功耗	5 微瓦
读出电流	6 微安
开关时间	4 毫微秒

表 2 决定 4 千位片子的主要部分

倒相、译码和驱动器	常关型	
	18 毫微秒	
字线输入到公共数字读出线输出	4 毫微秒	
差分读出放大器	常开型	常关型
	3 毫微秒	~50 毫微秒
总的 时 间	25 毫微秒	~75 毫微秒

小 结

本文叙述了 MESFET 作为固定地址存储阵列的潜力。这种方法的优点是功耗低, 速度高, 和封装密度高。集成的直流稳定单元, 具有 5 微瓦的维持功耗, 4 毫微秒的开关时间, 和 2.6 平方密耳的面积。在 140×140 平方密耳片子上的布局, 集成了 4096 位和外围电路。读出放大采用常开型 MESFET, 4 千位片子的计算存取时间是 25 毫微秒。

附录: 优值 M 和开关时间常数 τ 的推导

载流子速度饱和的影响, 改变了栅下面的耗尽区分布, 变成如图 12 中虚线所示的形状^[13]。在栅的漏一侧处, 耗尽区的标称穿透厚度是

$$\xi_L/d = \sqrt{V'_{SD}/V_{po}}$$

为了计算出电流最大值 ($V_{SG} = V_{diff}$), 把肖克莱方程

$$I_D = \frac{\sigma \cdot w \cdot d}{L} \left(1 - \frac{2}{3} \sqrt{\frac{V'_{SD}}{V_{po}}} \right) V'_{SD} \quad (8)$$

和下列的饱和电流表达式结合起来:

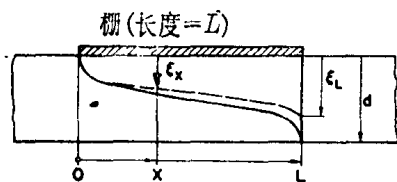


图 12 耗尽层简图。实线相应于肖克莱理论，虚线由漂移速度饱和所改变； ξ_x 、 ξ_L 分别为在距离 x 和右端处耗尽层的宽度

$$I_D = N_D \cdot e \cdot v_s \cdot w \cdot d [1 - (\xi_L/d)] \quad (9)$$

式中 v_s ——饱和漂移速度，
 σ ——电导率。

简单的计算得到：

$$\frac{\xi_L}{d} = \left[1 - \left(\frac{\xi_L}{\xi_{L\text{最大}}} \right)^2 \right] / \left[1 - \frac{2}{3} \left(\frac{\xi_L}{\xi_{L\text{最大}}} \right)^2 \right] \quad (10)$$

式中当 $d \rightarrow \infty$ ，给出的最大耗尽层厚度为：

$$\xi_{L\text{最大}} = \left(2 \cdot \frac{v_s \cdot \epsilon_s \cdot L}{\sigma} \right)^{1/2} \quad (11)$$

对于饱和漂移速度，用 ξ_L 表示的跨导为^[13]：

$$g_m = \frac{g_{m\text{最大}}}{1 + 2(\xi_L/\xi_{L\text{最大}})^2 [(d/\xi_L) - 1]} \quad (12)$$

式中 $g_{m\text{最大}} = \sigma \cdot w \cdot d / L$ 。

式(12)和(9)、(11)相结合，则得到优值 M 为：

$$M = \frac{g_m}{I_D} = \frac{2\epsilon_s}{N_D e d^2} \cdot \frac{1}{\left(\frac{\xi_L}{d} \right)^2 \left(1 - \frac{2}{3} \frac{\xi_L}{d} \right) \left[1 + 2 \left(\frac{\xi_L}{\xi_{L\text{最大}}} \right)^2 \left(\frac{d}{\xi_L} - 1 \right) \right]} \quad (13)$$

在肖克莱情况 ($\xi_L \rightarrow d$) 时，由式(13)得到：

$$M = \frac{g_{m\text{最大}}}{I_{D\text{最大}}} = \frac{2\epsilon_s}{N_D e d^2} \cdot 3 = 3/V_{po} \quad (14)$$

以及在漂移速度饱和的情况 ($\xi_L \rightarrow \xi_{L\text{最大}}$ 和 $\frac{d}{\xi_{L\text{最大}}} \gg 1$) 时，由式(13)得到：

$$M = \frac{2\epsilon_s}{N_D e d^2} \cdot \frac{d}{2\xi_{L\text{最大}}} \quad (15)$$

开关时间常数可以由 $\tau = Q_G / I_D$ 来规定，式中 Q_G 是晶体管关和开态时沟道中载流子电荷的差，

$$Q_G \approx N_D \cdot e \cdot L \cdot W \cdot (d - \xi_L/2) \quad (16)$$

由方程(9)、(10)和(16)得到：

$$\tau = \frac{1}{2} (L/v_s) [3(\xi_{L\text{最大}}/\xi_L)^2 - 1] \quad (17)$$

当 $\xi_L \rightarrow d$ 和 $\xi_{L\text{最大}}/\xi_L \gg 1$ ，式(11)代入式(17)得到：

$$\tau = \frac{2}{3} \frac{L^2}{\mu} \frac{1}{V_{po}} \quad (18)$$

当 $\xi_L \rightarrow \xi_{L\text{最大}}$ ，

$$\tau = L/v_s \quad (19)$$

在导电层薄时， M 和 τ 正比于 $1/d^2$ ；而导电层厚时， M 正比于 $1/d$ ， τ 为常数，如图 3 所示。实线是由式(13)和(17)、式(10)图解得到的插入值计算而得。

(参考资料略)

译自 IEEE Journal of Solid-State Circuits,
Vol. SC-7, No. 4, 1972, p. 277.