



SN54/74系列

TTL集成電路的應用

郭仁編著・萬里書店出版

TTL INTEGRATED
CIRCUITS

SN54 / 74 系列 TTL 集成電路的應用

郭 仁編著

香港萬里書店出版

TTL 集成電路的應用

郭 仁 編 著

出 版 者：萬 里 書 店

香港北角英皇道486號三樓

電話：5-632411 & 5-632412

承 印 者：嶺 南 印 刷 公 司

香港德輔道西西安里13號

定 價：港 幣 九 元

版權所有 * 不准翻印

(一九七八年六月印刷)

編譯者的話

本書根據Robert L. Morris & John R. Miller所著的“Designing With TTL Integrated Circuit”一書編譯而成。

原著內容是介紹SN 54/74系列小規模、中規模TTL集成電路的工作原理、電氣特性、電路類型及其應用等。書中所介紹的TTL電路種類較多。從基本的門電路到各種組合時序綫路，包括觸發器、譯碼器、寄存器和運算單元等。此外，還以較多的篇幅通俗地介紹數字邏輯的基本知識和邏輯設計技術，列舉了不少實用電路，並對應用TTL集成電路所遇到的具體問題和解決方法作了較具體的分析。對於電子從業員來說，應該是一本較理想的參考書。

由於原著篇幅較厚，編譯成中文時，分成兩冊出版。定名為“TTL集成電路的原理和特性”及“TTL集成電路的應用”。由於集成電路還是一種較新的元件，在編寫過程中，對於一些專有名詞，我們盡量附上英文名稱，以方便讀者閱讀時參考。

Arvid 5/1/04

目 次

編譯者的話

第 1 章 觸發器 (Flip-flops)	1
1. 1 觸發器的類型 (Flip-flop Types)	3
1. 2 54/74系列觸發器 (Series 54/74 Flip-flops)	14
1. 3 觸發器的應用 (Flip-flop Applications)	17
第 2 章 譯碼器 (Decoders)	26
2. 1 譯碼器原理 (Decoder Theory)	26
2. 2 54/74系列的譯碼器／驅動器 (Series 54/74 Decoders And Decoder / Drivers)	38
2. 3 譯碼器的應用 (Application Of Decoders)	52
第 3 章 運算單元 (Arithmetic Elements)	57
3. 1 二進制加法 (Addition Of Binary Numbers)	57
3. 2 並行二進制加法器 (Parallel Binary Adder)	59
3. 3 串行二進制加法器 (Serial Binary Adder)	60
3. 4 TTL 54/74系列運算單元 (Series 54/74 TTL Arithmetic Elements)	61
3. 5 計算機運算採用的二進制表示法 (Binary Representa- tions For Computer Arithmetic)	67
3. 6 用二進制表示十進制加法和減法 (Addition And Sub- traction Of Decimal Numbers With Binary Representations)	73
3. 7 快速二進制加法 (Fast Binary Addition)	84
3. 8 加法器在二進制數碼轉換中的應用 (Adder Applications to Binary Number Representation Conversion) ..	90
第 4 章 計數器 (Counters)	94
4. 1 行波計數器 (Ripple Counters)	94

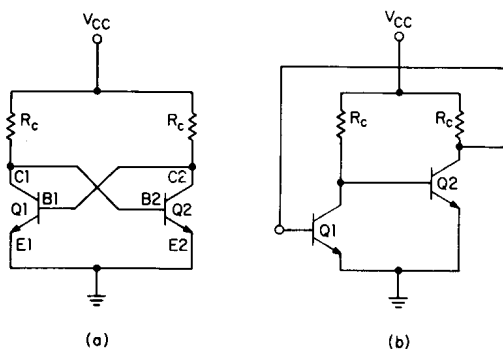
4. 2 同步計數器 (Synchronous Counters)	101
4. 3 54/74系列計數器 (Series 54/74 Counters)	109
4. 4 計數器的構成及其應用 (Counter Implementation And Application)	127
第 5 章 移位寄存器 (Shift Register)	140
5. 1 SN54/74系列移位寄存器 (Series 54/74 Shift Registers)	142
5. 2 移位寄存器型計數器與發生器 (Shift Register Counters And Generators)	148
5. 3 移位寄存器的其他應用 (Other Shift Register Application)	163
第 6 章 其他應用 (Other Application)	166
6. 1 一種簡單的二進制乘法器 (A Simple Binary Multiplier)	166
6. 2 12小時的數字時鐘 (12 Hour Digital Clock)	170
6. 3 串行格雷碼——二進制數的轉換 (Serial Gray Code To Binary Conversion)	172
6. 4 模360加法器 (Module—360 Adder)	174

第1章

觸發器 *Flip-flops*

採用具有兩種不同穩定狀態的器件作二進制存貯單元(*memory element*) 是非常有用的。任何一種具有這種特性的電路都列為通常稱做觸發器的器件範疇。這類器件還有一些其他名稱，如雙穩態多諧振盪器(*bistable multivibrator*)、多諧電路(*multi*)、二進制單元電路(*binary*)和反覆電路(*toggle*)等，所有這些名稱都意味着這類器件的雙穩態特性。

觸發器最基本的形式是由兩個交叉耦合(*cross-coupled*)的反相放大器(*inverting amplifiers*)組成的。意即：一個放大器的輸出端連接到另一個放大器的輸入端；反過來也是一樣。圖 1.1 (a) 表示由兩個晶體管和兩個電阻組成的一個觸發器電路，可以說明交叉耦合的概念。很明顯，如果開始送一個正信號到晶體管 Q_1 的基極，使它通導(*turned on*) (飽和, *saturated*)，那麼 Q_1 集電極電壓就是飽和電壓 $V_{CE(sat)}$



(a) 一般形式；(b) 串聯放大器

圖 1.1 交叉耦合觸發器的比較

(典型值是 $0.2 \sim 0.4V$)；由於 Q_1 集電極是與 Q_2 基極直接連接的〔圖1.1(b)〕，所以使 Q_2 斷開(截止, *cut off*)； Q_2 集電極電壓向 V_{CC} 上升。這增強了加到 Q_1 基極的初始正信號(*initial positive signal*)的作用；然後我們可以除去初始信號，而這個電路將一直保持 Q_1 通導、 Q_2 截止的狀態。

如果送一個正信號到 Q_2 的基極使其通導，那麼將重複上述過程，不過是 Q_2 處於通導狀態(飽和)，而 Q_1 是截止狀態，得到第二種穩定狀態。一般可將剛才所述的觸發器稱為二級正反饋(*positive-feed back*)飽和放大器。

雖然這種電路具有兩個穩定狀態，但是十分明顯，任何一個集電極輸出信號都非常小。例如，當 Q_1 飽和(*saturates*)時，它的基極電壓 $V_{BE(sat)}$ 只能上升到 $1.0V$ 。如果從 Q_2 集電極輸出，那麼輸出信號的電壓擺幅(*swing*)近似為 $1.0V - V_{CE(sat)}$ ，或者 $1.0 - 0.2 \sim 0.4 \approx 0.6V$ 。在大多數飽和邏輯數字系統中，這種信號電平是不能真正使用的。

圖1.2是一個較為有用的電路，它與上述電路的主要差別在於增加了兩個基極電阻 R_B 和兩個控制輸入端。如果取 $R_B = 10R_C$ ，電路工作原理和圖1.1(a)所示的電路相似。但是輸出信號 Q 和 $\bar{Q}$ (Q 為非反相輸出(*noninverted output*)， $\bar{Q}$ 為反相輸出(*inverted output*))的電壓擺幅近似地等於 $V_{CC} - V_{CE(sat)}$ 。假定 $V_{CC} = 5.0V$ ，那麼輸出幅度 $\approx 4.6V$ 。實際上，由於存在分壓電阻和負載電阻的分流影響，輸出幅度稍為要比這個值小一些，其典型值為 $3.8 \sim 4.2V$ 。應當指出， TTL 電路觸發器，在電源電壓 $V_{CC} = 5.0V$ 時，其輸出幅度的典型值是 $3.5V$ 。

當一個正電壓或正脈沖加到置位(*set*)輸入端時，那麼就使 Q 輸

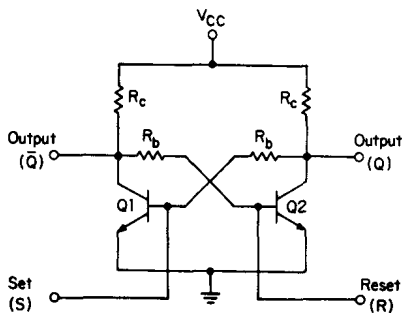


圖1.2 分離元件觸發器的實際電路

出端上升到最高正電壓或邏輯“1”狀態；而當一個正電壓或正脈沖加到復位（*reset*）輸入端時，那麼 Q 輸出端就下降到最低電壓或邏輯“0”狀態。通常把高電平輸出定義為邏輯“1”，低電平輸出定義為邏輯“0”。

這種電路稱為門門（*latches*）觸發器（後面將更詳細地說明這種電路）。但是值得重視的是每種觸發器中都要使用某種形式的門門觸發器。這種基本的門門觸發器概念可以擴展到包括這樣一些輸入如：時鐘（*clock*）、多路數據（*multiple data*）輸入以及各種使能（*enabling*）或預置（*preset*）控制輸入端。

由於觸發器的高速性能，所以在計算機的運算部件，從一位存貯單元到多位存貯陣列（*arrays*）都是用觸發器構成的。各種類型的移位寄存器（*shift*）和緩沖寄存器（*buffer registers*）可以由觸發器構成，包括具有並行輸入或輸出能力的串行左—右移位寄存器；計算機輸入—輸出系統的存貯緩沖器；字母數字顯示器以及與加法器結合在一起的累加器（*accumulators*），它在時鐘作用時可以存入和修正數據。觸發器還可用來構成各種類型的計數器，包括可逆計數器（*up/down*）；可預置計數器（*presettable*）；控制計數器以及它們的任何組合形式。觸發器的其他應用包括如錯誤檢測和數據轉換等。

1.1 觸發器的類型（*Flip-flop Types*）

觸發器有四種基本類型： D 、 T 、 $R-S$ 和 $J-K$ 型。 $R-S$ 門門（*latch*）觸發器將單獨加以分析，因為它具有與其他四種觸發器不同的特點。

基本觸發器（*The basic flip-flop*） $R-S$ 門門觸發器可能是最早提出來的一種觸發器結構，用來做數據存貯單元（*data storage*）。因為，它比其他觸發器簡單得多。圖1.2所示的電路是用分離元件（*discrete components*）構成的 $R-S$ 門門觸發器。如果用兩個2-輸入“與非”門（*NAND gates*）（ $SN7400$ 的一半）代替圖1.2中的晶體管和電阻，就構成圖1.3所示的電路。這種電路有兩個控制輸入端和兩個輸出端。 R （復位端，*reset*）和 S （置位端，*set*）〔或分別稱為清除端（*clear*）和預置端（*preset*）〕叫做異步控制端（*asynchronous controls*），這是因為每一個控制輸入端的變化都會直接引起輸出發生變化的緣故。如採用

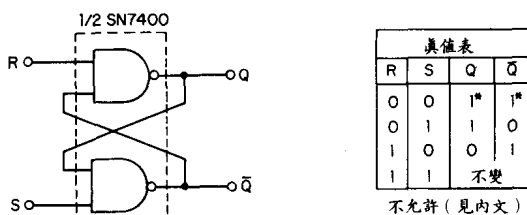


圖1.3 “與非”門 $R-S$ 門觸發器

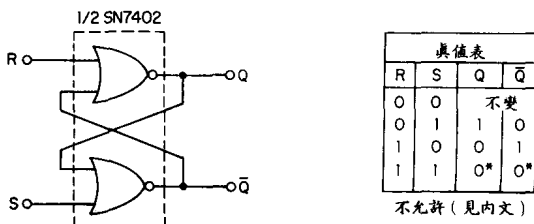
上述的門，真值表中的“0”和“1”所表示的電平的典型值分別為 0.2 V 和 3.3 V (對於正邏輯而言)。

從真值表 (truth table) 可以明顯看出， $R-S$ 門觸發器有四種確定的狀態。由於已經規定 $\bar{Q}$ 為 Q 的反相，所以， $R=S=0$; $Q=Q=1$ 狀態是不允許的。值得指出的是：當 $R-S$ 門觸發器為圖1.3 所示的那種結構時，輸入端的定義和輸出端的定義是完全任意的。對於下面要討論的其他類型觸發器來說，往往就不能這樣做。

圖1.4所示的 $R-S$ 門觸發器是用“或非”門 (NOR gates) (SN 7402的一半) 代替“與非”門 (NAND gates) 構成的。從真值表可以看出，對於 $S=0, R=1$; $S=1, R=0$ 這兩種情形，這種觸發器的輸出與圖1.3所示的用“與非”門構成的觸發器是相同的。其餘輸出的差別完全是由於“與非”門和“或非”門功能上的不同形成的。這裏再一次看到： $R=S=1$; $Q=\bar{Q}=0$ 狀態是不允許的。

如前所述，這種門觸發器只限於一種工作方式——異步操作 (asynchronous)。但是常常希望有某種時鐘輸入形式的觸發器，以便能夠

圖1.4 “與非”門 $R-S$ 門觸發器



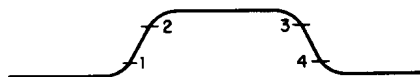
與同一系統裏的其他器件同時操作（同步），這種要求導致提出其他類型的觸發器。

同步時鐘（*Synchronous Clocking*）因為後面要討論具有同步輸入和時鐘輸入的觸發器，所以在這裏簡要地討論一下這些輸入方式。一般不同的同步輸入（也稱為“數據”輸入）類型決定了觸發器的名稱，而任何一種觸發器却可以使用不同的時鐘控制方法。同步數據輸入不能直接引起觸發器輸出改變，需要有另一個輸入，即時鐘脈沖的存在或者發生變化，才能引起觸發器狀態的改變。用這種原理組成的觸發器在系統中很有用，只需一個時鐘就可以控制大量的觸發器，使它們按預定的要求同時改變狀態。TTL觸發器只有一個時鐘輸入端，但是數據輸入端有1個到10個不等，這決定於器件類型和所要求的操作。時鐘輸入方式一般可以用下列三種類型中的一種：直流或邊沿觸發（*d-c or edge-triggered*）；交流耦合（*a-c coupled*）；主-從（*master-slave*）。

直流或邊沿觸發時鐘是當它出現正或負跳變時使觸發器在一個特定電平上發生動作的一個時鐘。但對於任何選定的觸發器，或者是正邊沿觸發，或者是負邊沿觸發，而不能兩者同時使用。這種類型的觸發器可以同時使能數據輸入並把數據傳送到輸出端，這是一種相對地不受時鐘的上升時間和下降時間影響的高速時鐘方法。但是對於TTL電路觸發器，如果上升時間和下降時間超過150 ns，它的抗干擾能力就要下降。

交流耦合時鐘方法沒有在TTL電路觸發器中使用過，但在DTL電路中却使用得很廣泛。交流耦合時鐘起作用的是它的跳變時間快慢而不是電平大小，這是因為時鐘是通過電容耦合到觸發器內部的門觸發器機構中去的。由於起作用的是跳變過程，所以時鐘可以是正的，也可以是負的。這種方法與時鐘的上升時間和下降時間有很大的關係，為使觸發器能夠正常工作，要求上升或下降時間的典型值小於200 ns，如果大於此值，就會使觸發器不能正常工作。

主-從類型觸發器基本上是由兩個門觸發器串聯組成的，第一個觸發器叫主觸發器；第二個觸發器叫從觸發器。時鐘正常的作用是由四步組成的，如圖1.5所示。雖然這四步由波形上四個確定的點來表示，但是實際的直流電平點容差相當大，而且往往是不確定的。這類時鐘有一個很重要的特點，就是在時鐘作用期間的任何時間內，數據輸入決不會與輸出發生直接關係。這樣就把數據輸入與輸出完全隔離了。



- 1 — 主-從隔離
2 — 使能數據輸入到主觸發器
3 — 禁止數據輸入
4 — 將數據從主觸發器傳送到從觸發器

圖1.5 主-從時鐘脈冲

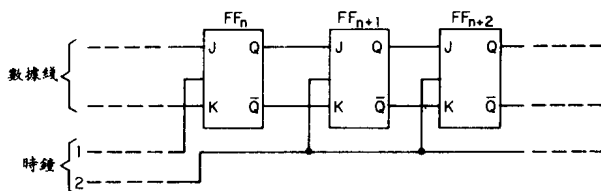


圖1.6 移位寄存器 (用 $J-K$ 觸發器)

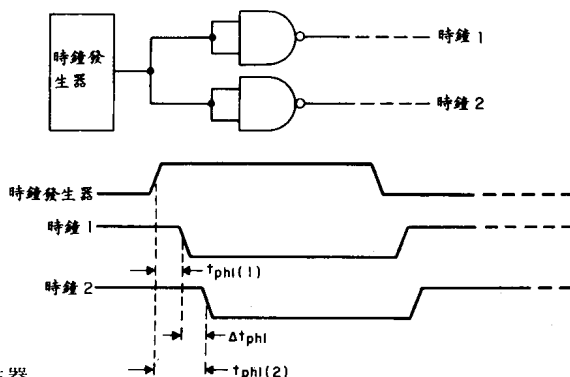


圖1.7 時鐘波形和發生器

在這裏說一下時鐘偏移 (skew) 的現象。例如，考慮如圖 1.6 所示的一個移位寄存器 (shift register)，每一個觸發器的輸出端都直接連接到下一個觸發器的輸入端。兩條時鐘綫 (clock lines) 的信號是由同一個源產生的，由於負載情況不同，用了兩個驅動器。時鐘發生器和驅動器如圖 1.7 所示，波形表明了兩個驅動器延遲時間不相等時可能出現的情況。時間 t_{PHL} 是門從邏輯“1”變到邏輯“0”狀態的傳輸延遲時間，而 Δt_{PHL} 等於兩個門延遲時間分別加上電容延遲時間之差，這裏

所說的電容延遲時間取決於信號綫的布局及其長度。這種移位寄存器採用負邊沿觸發的 $J-K$ 觸發器，它在最壞情況下的最小傳輸時間是 10ns 。如果圖 1.7 所示的 Δt_{phi} 大於 10ns ，那麼圖 1.6 中第 n 級觸發器就會在時鐘還未到達第 $n+1$ 級觸發器之前發生狀態改變，這就可能把錯誤的數據移入第 $n+1$ 級觸發器。在這個系統中，允許的最大時鐘偏移 (*skew*) 是 10ns 。

一般，觸發器所允許的最大的時鐘偏移可以用下式表示：

$$T_{\text{偏移 (最大)}} = T_{pd(FP)} - T_{h(FP)}$$

這裏 $T_{pd(FP)}$ 是最壞情況下觸發器的最小傳輸延遲時間 (*propagation delay*)， $T_{h(FP)}$ 是最壞情況下觸發器的最大保持時間 (*hold time*)。觸發器保持時間定義為：在時鐘脈沖下降到低於一個已知電平後（通常對於 TTL 電路是規定在 50% 點，或者電平約 1.5V 處），為保證觸發器正常工作，輸入數據必須繼續保持穩定的時間。對於 TTL 電路觸發器（僅少數例外），保持時間等於零。

與保持時間相應的還有一個建立時間 (*setup time*)，它定義為在時鐘觸發觸發器之前，輸入數據必須建立穩定的時間長度。這個時間可以從引起觸發器輸出變化的時鐘邊沿的 50% 這一點來測量。圖 1.8 指出怎樣測量建立時間和保持時間。

D 型觸發器 (D-type Flip-flop) D 型觸發器的特徵是具有單一數據 (*single data*) (D) 輸入端和一個時鐘輸入端，它可以有一個或者兩個可供利用的輸出端 Q 和 $\bar{Q}$ 。這種觸發器可能具有異步輸入端 (*asynchronous input*)，如圖 1.9 所示。雖然示出了預置端 (*preset*) 和清除端 (*clear*)，但在某些 D 型觸發器中可以沒有也可以沒有這種輸入端。通常預置端和清除端是不受控制的，即只要有任一端處於作用狀

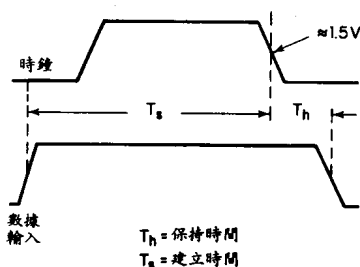


圖 1.8 說明建立時間和保持時間的波形圖

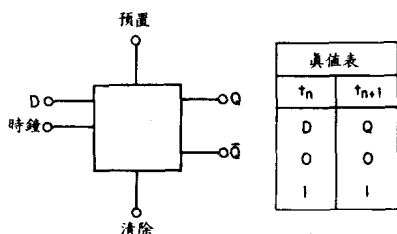


圖1.9 D型觸發器

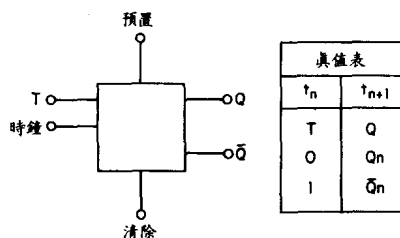


圖1.10 T型觸發器

態（在這種狀態下是邏輯“0”電平），那麼觸發器操作就被禁止，其輸出是“1”或“0”，這決定於是哪一端處於作用狀態。圖1.9中的真值表示出了這種觸發器的工作狀態， D 表示觸發器被觸發前的輸入數據狀態， Q 表示觸發器被觸發以後的新狀態。

D 型觸發器可以採用前面所述的三種時鐘方法中的任何一種，但是有時使用特殊的邊沿觸發方式，在這種情況下，叫做 D 型門門觸發器。時鐘仍然是其邊沿作用，但是在時鐘是高電平時， D 輸入直接“耦合”到輸出 Q ，在這時間內 D 輸入的任何變化就會立即在 Q 輸出反映出來。當時鐘下降時， Q 輸出保持該時鐘邊沿前的 D 輸入狀態，等到時鐘再次上升到高電平時， Q 輸出才發生變化。實際上，時鐘的作用如同門門觸發器的使能輸入端一樣。這種類型的觸發器主要是用在需要暫存數據的地方作為數據暫存器和寄存器。

T 型觸發器（ T -type Flip-flop） T 型觸發器也只有單一的數據（ T ）輸入端和一個時鐘輸入端，同樣也可以有異步控制端：清除端、預置端，或者兩者都有一個或者兩個輸出端—— Q 和 $\bar{Q}$ ，如圖1.10所示。 T 型觸發器同樣可以使用三種時鐘方法中的任何一種。真值表指出這種觸發器操作十分簡單，在時鐘脈沖出現前，如果 T 輸入是“0”狀態，

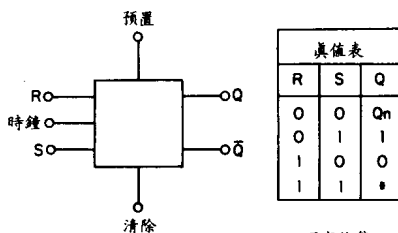


圖1.11 R - S 觸發器

* 不定狀態

清除 = 0, $Q = 0$

預置 = 0, $Q = 1$

那麼 Q 輸出將不隨時鐘改變；如果 T 輸入是“1”狀態，那麼在時鐘作用後， Q 輸出變化成 $\bar{Q}_n$ 狀態。換句話說，當 T 輸入是邏輯“1”時，只要觸發器一受到時鐘的作用，觸發器輸出就改變狀態，而不管時鐘作用前觸發器輸出原來是什麼狀態。因此稱為反覆電路（*toggling*），也稱為 T 觸發器。

T 觸發器通常不是像上述那種現成的型式，而是從其他形式產生的，這在後面將要講到。由於 T 觸發器所固有的二分類能力，所以最常見的是使用在計數器和時序計數網絡（*sequential counting networks*）中。當時鐘脈沖加到 T 觸發器時，每來一個時鐘脈沖，觸發器就改變一次狀態。這就是說，每兩個時鐘週期，輸出完成一個週期。這是許多二進制編碼的計數器所需要的功能。

$R - S$ 觸發器（ $R - S$ Flip-flop） $R - S$ 或 $S - R$ 型觸發器具有一個置位（*set*）或復位（*reset*）的異步輸入端或者二者兼有，有 Q 和 $\bar{Q}$ 輸出。圖1.11表示 $R - S$ 觸發器及其真值表。值得注意的是，這種觸發器的前三種狀態與圖 1.4 所示的 $R - S$ 門門觸發器的 Q 輸出相同，所不同的只是這種觸發器有一個時鐘輸入端。對於 $R = 0, S = 0$ 這種情況， Q 輸出在時鐘作用後保持不變；對於 $R = 0, S = 1$ 這種情況， Q 輸出在時鐘作用後是邏輯“1”；對於 $R = 1, S = 0$ 這種情況， Q 輸出在時鐘作用後是邏輯“0”。

應當注意，當 Q_n 輸出是邏輯“0”狀態以及 S 數據輸入是“0”電平時，無論 R 輸入是“0”還是“1”，輸出不發生變化，在 Q_{n+1} 時，輸出 Q 總是邏輯“0”。同樣，如果 Q_n 輸出是邏輯“1”和 R 輸入是“0”，不管 S 輸入是什麼狀態， Q_{n+1} 輸出總是邏輯“1”。在設計電

路時，這些特性是有意義的，可以減少計數和譯碼（*decoding*）應用中所需的控制元件數量。

只有一個因素限制了 $R-S$ 觸發器的實際應用，這就是當 $R = S = 1$ 的時候， $R-S$ 觸發器的輸出狀態不確定，由於不能預計在這種情況下輸出是什麼狀態，因此在時鐘作用時，必須避免這樣的輸入狀態。如果這種狀態不能避免的話，就需要用 $J-K$ 觸發器。

$J-K$ 觸發器 ($J-K$ Flip-flop) $J-K$ 觸發器有兩個數據輸入端—— J 和 K ，和一個時鐘輸入端。許多 $J-K$ 型觸發器都有內部的輸入門以提供多 J 和多 K 輸入，這樣在許多使用場合就可不必再外加輸入門。圖1.12所示的是具有兩個異步控制輸入端（預置端和清除端）和兩個輸出端（ Q 和 $\bar{Q}$ ）的 $J-K$ 觸發器。真值表示出了所有可能的四種輸入狀態所產生的確定的輸出狀態。真值表表明除一種狀態外，其他三種狀態與 $R-S$ 型觸發器（ $J=S$ ， $K=R$ ）是相同的；所不同的第四種狀態是 $J=K=1$ 。如果輸入是這種狀態，且時鐘作用於觸發器，那麼輸出就改變狀態。這種情況與 T 輸入是邏輯“1”時的 T 型觸發器一樣，觸發器只不過反覆改變狀態。圖1.12所示的還有一個激勵表（*excitation table*），這個表基本上可以用直觀分析的方法從真值表中得出。如果在時鐘作用前， Q_n 的輸出狀態是已知的，而在時鐘作用後我們希望得到狀態 Q_{n+1} ，那麼這個表就可以指明需要什麼樣的數據輸入狀態。表中 X 表示“隨意的”（“*don't care*”）狀態。例如當 Q_n 是邏輯“0”狀態，而我們希望時鐘作用後得到 $Q_{n+1}=0$ ，那麼在時鐘作用以前 J 必須是零（ $J=0$ ），而 K 無論是什麼狀態都可以。如對於 $R-S$ 觸發器已指出過的，這些“隨意的”狀態對於邏輯設計是很重要的。它允許設計者可以使用較少數量的數據輸入控制門，而對於所有各種輸入狀態，仍然

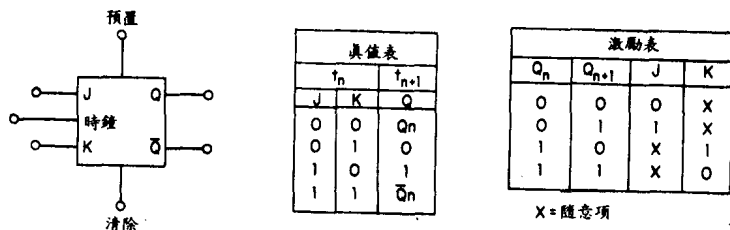


圖1.12 $J-K$ 觸發器

可以保證輸出狀態是確定的。可以認為 $J-K$ 觸發器的用途是最廣泛的。

用門綫路形式表示的一個典型的 $J-K$ 主—從觸發器如圖 1.13 所示。從這個圖中可以十分容易地看出激勵表是怎樣產生的。 Q 輸出端直接和 K 輸入組成門控輸入，而 $\bar{Q}$ 輸出端則直接和 J 輸入組成門控輸入。採用“與非”門 (NAND gate) 時，當任一輸入為邏輯“0”時，其輸出就是邏輯“1”。假定開始時 $Q = 0$ ， $\bar{Q} = 1$ ，由於 Q 輸出端與 K 及 Z_1 上的時鐘端組成門控輸入，因此，當該時鐘上升到邏輯“1”時， Q 使 Z_1 門的輸出仍保持在“1”電平，而與 K 輸入狀態無關。 Z_4 的情況也類似，然而，當時鐘上升到邏輯“1”電平（觸發器正常工作時，清除端必須為“1”）時，由於 $\bar{Q}$ 是邏輯“1”，所以觸發器輸出 Q_{n+1} 就只決定於 J 輸入。同樣也可以分析出 $Q = 1$ ， $\bar{Q} = 0$ 時，輸出決定於 K 輸入狀態。

$J-K$ 可以用通常的三種時鐘類型中的任何一種，主—從 $J-K$ 觸發器 ($J-K$ master-slave flip-flop) 有一個較為特殊的特點，即 J 和 K 輸入的建立時間總是大於或等於時鐘脈沖的寬度，因此，在時鐘脈沖下降前， J 和 K 的輸入必須保持穩定不變。如果這個條件不能滿足，則觸發器就可能產生誤動作。

現在再根據圖 1.13 並假設 $Q_n = 1$ ， $\bar{Q}_n = 0$ ，我們來看一看當時鐘處於邏輯“1”電平時，如果 K 輸入從邏輯“0”變到邏輯“1”再回到

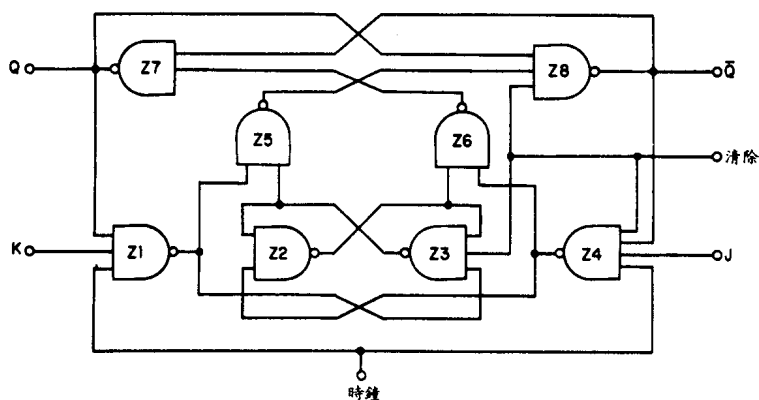


圖 1.13 典型的 $J-K$ 主—從觸發器綫路