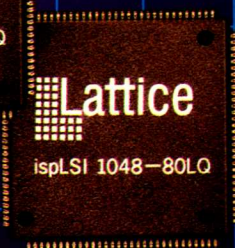


可编程逻辑器件 的原理与应用

陈光梦 编著



Lattice[®]
Semiconductor
Corporation

复旦大学出版社

可编程逻辑器件的原理与应用

陈光梦 编著

复旦大学出版社

可编程逻辑器件的原理与应用

作 者	陈光梦
责任编辑	林溪波
出 版	复旦大学出版社 (上海国权路 579 号 邮政编码 200433)
发 行	新华书店上海发行所
印 刷	上海新文印刷厂
开 本	787×1092 1/16
印 张	6.5
字 数	160 000
版 次	1998 年 3 月第 1 版 1998 年 3 月第 1 次印刷
印 数	1—2 500
书 号	ISBN7-309-01993-8/T·199
定 价	13.20 元

本版图书如有印订质量问题, 请向承印厂调换

前 言

随着电子技术的飞速发展, 电子工程师们已越来越不满足于使用通用逻辑器件来构成数字逻辑系统。这是因为传统的通用逻辑器件, 如 TTL 的 74 系列、CMOS 的 4000 系列等, 有许多不如人意的地方, 如逻辑规模小、占用印制板面积大、功耗大、可靠性低等等。为此, 世界各大半导体厂商都在竞相开发专用集成电路 (ASIC)。在当今的电子设计领域, ASIC 应用是如此广泛, 以至在任何一个成功的电子产品中都或多或少地能见到 ASIC 的影子。可以说, 现在不懂 ASIC 的电子工程师已很难成为一个合格的电子工程师。

在庞大的 ASIC 家族中, 有一大类产品是由用户自己而不是由芯片生产厂最后完成其逻辑功能的, 这一类产品就是可编程逻辑器件 (PLD)。由于这类器件在市场上能随时得到, 不需要向芯片生产厂定制, 不存在巨大的前期开发费用, 具有灵活性好、开发周期短、用户投资风险小、产品能够及早占领市场等一系列优点。所以受到了一大批用户的欢迎。

在 PLD 发展的早期, 由于集成电路工艺水平的限制, 只有一些集成规模很小的器件, 如早期的 PROM、FPLA、PAL 以及稍后一些的 GAL 等。这些器件的规模一般大致相当于几十到几百个标准门单元, 采用双列直插封装, 引脚数一般都在 24 个以下。而在目前随着集成电路工艺飞速发展, PLD 的集成规模也越来越大, 标准门单元数目早已突破一万个而达到 10 万门级, 引脚数也达到几百个。尽管小规模器件 PAL 和 GAL 目前还有人在使用, 但越来越多的用户趋向于使用大规模 PLD 器件。

从广义上说, 大规模 PLD 器件大致上可包含两种类型的器件。一种类型的器件, 其内部结构以基本门单元为基础, 构成门单元阵列, 可编程的连线分布在门单元与门单元之间的布线区。这种结构一般称为 FPGA (现场可编程门阵列) 器件。另一种类型的器件, 其内部结构以可编程的宏逻辑单元为基础, 可编程的连线集中在一个全局布线区。这种结构一般称为 CPLD (复杂的可编程逻辑器件)。有时, PLD 这个名称也特指这后一类器件。Lattice 公司的高密度 PLD 器件, 就是后一类器件中的佼佼者。

Lattice 公司的高密度 PLD 器件, 从相当于 2 000 个 PLD 标准门的器件 (LSI1016) 到相当于 25 000 个 PLD 标准门的器件 (LSI6192), 已形成了一个完整的高密度 PLD 器件系列。这些高密度器件不仅内部容量大, 而且运行速度快, 外部引脚多 (44 ~ 240 个引脚)。有些器件还在内部提供存储器、寄存器和计数器模块, 足以完成极复杂的逻辑功能。

尤其值得提出的是: Lattice 公司在全世界首创了在系统可编程逻辑器件。这种器件的在系统可编程特性, 可以说是可编程器件中的一个革命, 将可编程器件的优越性发挥到了极致。

通常,可编程逻辑器件在使用中是先编程后装配。即用户得到 PLD 芯片后,先用特定的软件设计出所需要的逻辑功能,然后用特定的编程工具,将软件设计得到的编程数据加载到 PLD 芯片中。通过功能测试后,即可将此 PLD 装配到印制板上。

采用在系统可编程技术的 PLD 可以先装配后编程。即器件安装在系统中后,仍然可以让用户在不改变电路系统设计或线路板硬件设置的情况下,为重构逻辑而对 PLD 进行编程或反复编程。正因为这种独特的在系统可编程技术,使得使用在系统可编程逻辑器件的数字逻辑系统比使用常规的可编程逻辑器件的系统在设计上更方便、逻辑功能更灵活、编程更简易。采用在系统可编程技术后的系统硬件功能可以实时地加以修改或按预定程序改变组态,从而整个硬件系统变得像软件那样灵活而易于修改。

由此可见,在系统可编程技术的问世使数字电子系统设计的面貌焕然一新,其独特的优越性体现在以下几个方面。

① 灵活的系统设计能力:在系统可编程技术允许用户“在系统中”编辑、修改逻辑,而无须将器件从印制线路板上拆下。这便于用户在设计过程中及早确定线路板的布局,从而大大缩短设计周期。

② 系统重构能力:在系统可编程器件焊在印制板上后,可随意修改逻辑。因此用户可在同一块电路板上实现不同的硬件结构。

③ 硬件升级能力:在系统可编程器件的在系统编程能力,提供了设计者一种硬件升级能力。即硬件升级不必更换电路板,而只要对在系统可编程器件重新编程即可。若在设计时预置接口,甚至有可能通过计算机网络进行遥控升级。

④ 系统可靠性提高:对传统 PLD 器件编程时,常因装卸芯片而损坏引脚。采用在系统可编程技术后,芯片直接焊接在印制板上,不会损坏引脚,系统可靠性因此而提高。

由于在系统可编程技术具有上述的独特优越性,受到了电子工程师的极大欢迎,也促使越来越多的芯片制造厂家着手开发具有在系统可编程特性的芯片。可以预料,在不久的将来,在系统可编程技术将得到极大的发展。在一切可编程的领域,包括微处理机、只读存储器、可编程模拟器件等,都将有在系统可编程芯片大放异彩。

本书以 Lattice 公司的在系统可编程逻辑器件为背景,向读者系统地介绍在系统可编程器件的内部逻辑结构和编程方法。为了压缩篇幅,本书没有列入逻辑电路方面的一般知识,而认为读者一般都应具有这方面的基础。本书以较大的篇幅介绍了在系统可编程器件的一些实验和应用,旨在让大家尽快地掌握这一新兴器件,并将其用到实际的设计工作中去。

在本书的编写过程中,上海莱迪思公司为作者提供了在系统可编程器件的详尽的技术资料、软件和样品,并对实验板的开发过程提供了巨大的援助。公司总经理章开和先生安排有关人员审阅了全部书稿。公司赵元平先生提出了基本型实验板的设想并在实验板上完成了大量实验工作。本校包闻亮先生为本书提出了宝贵的修改意见,张旭初先生为实验板的推广应用做了许多有益的工作。谨此一并表示衷心的感谢。

由于作者的水平有限,书中欠妥之处在所难免,欢迎专家与读者指正。

陈光梦

1997 年 12 月

内 容 简 介

可编程逻辑器件是目前世界上发展最快的半导体器件之一。由于这类器件具有灵活性好、开发周期短、用户投资风险小等一系列优点,得到了一大批用户的欢迎。尤其是 Lattice 公司首创了“在系统”可编程技术,允许用户“在系统中”编辑和修改逻辑,而无须将器件从印制电路板上拆下。这实际上是给使用者提供了在不修改系统硬件设计的条件下重构系统的能力和硬件升级的能力,使硬件修改变得像软件修改一样方便。

本书以 Lattice 公司的在系统可编程逻辑器件为范本,向读者系统地介绍了可编程逻辑器件的内部结构、编程原理、编程软件的使用方法、硬件设计、可编程逻辑器件的实验及其具体应用。书中结合在系统可编程逻辑器件,提出了两种具体的实验板。并在不修改实验板系统硬件设计的条件下,利用这两种实验板完成了大量各种类型的数字逻辑系统和数字—模拟混合系统的实验。这些实验不但可以作为大专院校的实验课内容,还具有相当强的应用性,其中一些实验稍加改动就可以应用到各种产品上去。

本书可以作为大专院校相关专业的教科书,也可以作为科技工作者或工程技术人员的参考书。

目 录

前 言

第一章 在系统可编程逻辑器件原理	1
1.1 高密度在系统可编程逻辑器件的结构	1
1.1.1 结构概貌	1
1.1.2 GLB 结构	2
1.1.3 宏块结构	4
1.1.4 时钟分配网络	7
1.1.5 ispLSI1016 的技术参数	7
1.2 低密度可编程逻辑器件的结构	8
1.2.1 ispGAL22V10 的结构	8
1.2.2 ispGDS 的结构	10
1.3 在系统可编程逻辑器件的编程过程	11
第二章 编程软件入门	14
2.1 ISP Synario 编程软件	14
2.1.1 概述	14
2.1.2 原理图输入方式设计	16
2.1.3 硬件描述语言输入方式设计	19
2.1.4 混合输入方式设计	25
2.1.5 编译、仿真与器件适配	29
2.1.6 ABEL 硬件描述语言规则概要	32
2.2 PDS 编程软件	41
2.2.1 概述	41
2.2.2 编辑 GLB 文件	42
2.2.3 编辑 IOC 文件	45
2.2.4 宏及其使用	46
2.3 通用数字开关器件 (GDS) 编译软件	48
2.4 下载软件	49
第三章 在系统可编程逻辑器件实验板	50
3.1 基本型实验板	50
3.1.1 基本型实验板的结构概述	50
3.1.2 基本型实验板上的 I/O 设备	51
3.1.3 基本型实验板上的编程引脚的复用	53

3.1.4	基本型实验板的结构组态	53
3.2	增强型实验板	55
3.2.1	增强型实验板结构概述	55
3.2.2	增强型实验板上的数字信号接口	55
3.2.3	增强型实验板上的模拟信号接口	58
3.2.4	增强型实验板的结构组态	59
3.3	实验板的实验功能	61
3.3.1	基本数字逻辑实验功能	61
3.3.2	数字系统实验功能	62
3.3.3	数字—模拟混合系统实验功能	63
第四章	实验与应用	65
4.1	数字钟实验	65
4.1.1	实验要求	65
4.1.2	设计方案	65
4.1.3	实验内容	68
4.2	可变量程数字频率计	69
4.2.1	频率计测量原理	69
4.2.2	实验要求	70
4.2.3	设计方案	70
4.2.4	实验内容	72
4.3	音阶发生器实验	72
4.3.1	实验要求	72
4.3.2	音名与频率的关系	73
4.3.3	设计方案	73
4.3.4	实验内容	76
4.4	FSK 信号发生器	76
4.4.1	数字信号调制基本原理（一）	77
4.4.2	实验要求	77
4.4.3	设计方案	77
4.4.4	实验内容	80
4.5	PSK 信号发生器	80
4.5.1	数字信号调制基本原理（二）	80
4.5.2	实验要求	81
4.5.3	设计方案	81
4.5.4	实验内容	82
4.6	双积分型 ADC 实验	82
4.6.1	双积分型 ADC 原理	83
4.6.2	实验要求	84
4.6.3	设计方案	84

4.6.4	实验注意事项	85
4.6.5	实验内容	85
4.7	逐次逼近型 ADC 实验	85
4.7.1	逐次逼近型 ADC 原理	86
4.7.2	实验要求	86
4.7.3	设计方案	86
4.7.4	实验内容	90
4.8	出租车模拟计费器	91
4.8.1	计费器工作原理	91
4.8.2	实验要求	91
4.8.3	设计方案	91
4.8.4	实验内容	93
4.9	实验板的组态问题	94

第一章 在系统可编程逻辑器件原理

在系统可编程逻辑器件（In System Programmable Logic Device，简称 ISPLD）是一种可以在电路系统中最后完成其逻辑功能的新型逻辑电路器件。该器件安装在系统后，可以让用户在不改变电路系统的设计或线路板的硬件设置情况下，为重构逻辑而对它进行编程或反复编程。

为适合于不同的用户需求，在系统可编程逻辑器件一般都有各种不同规模的芯片。以 Lattice 公司为例，其高密度在系统可编程逻辑器件有 ispLSI1000、ispLSI2000、ispLSI3000 和 ispLSI6000 四大系列。ispLSI1000 为基本系列，内部大约相当于有 2 000 ~ 8 000 个集成门，适用于高速编码、总线管理、LAN 或 DMA 控制等。ispLSI2000 系列为高速系列，内部大约相当于有 1 000 ~ 4 000 个集成门，I/O 端口数量也较多，适用于高速计数、定时等场合。而 ispLSI3000 系列的集成密度达 8 000 ~ 14 000 门，能够容纳较大的逻辑系统，适用于数字信号处理、图形处理、数据加密、解密和压缩等。近期推出的 ispLSI6000 系列，则集成密度更高，内部结构更复杂，内部提供存储器、寄存器和计数器等子模块，因而适用的范围更广。

本章以 ispLSI1016 为例，介绍在系统可编程逻辑器件的内部结构及其编程过程。另外还简要介绍了 Lattice 公司生产的低密度在系统可编程器件 ispGAL22V10 和 ispGDS。

1.1 高密度在系统可编程逻辑器件的结构

1.1.1 结构概貌

ispLSI1016 的内部结构概貌如图 1-1 所示，由 2 个宏块（Megablock）、一个全局布线区和一个时钟分配网络组成。在每个宏块中，包含了 8 个通用逻辑块（GLB）、一个输出布线区、一个输入总线和 18 个引脚，其中 16 个为 I/O 引脚，另两个为直接输入引脚。

信号的大致流向为：由 I/O 引脚输入的信号，通过输入总线进入全局布线区，再由全局布线区通过编程流向任意一个 GLB。而 4 个直接输入端（IN0 ~ IN3）则将输入信号直接送到 GLB（不经过全局布线区）。系统的主要逻辑功能在 GLB 内完成。由 GLB 输出的信号，一方面反馈回全局布线区，另一方面可以经过输出布线区，分配到各 I/O 引脚输出。

时钟信号由时钟输入端（Y0 ~ Y2）输入，经时钟分配网络分配后，送到各个 GLB

作为全局时钟，也可送到各个 I/O 单元作为 I/O 时钟。其中引脚 Y1 是一个双功能引脚，可以由编程决定作为时钟输入引脚或系统复位引脚。另外 GLB “B0” 的输出信号也可以送到时钟分配网络作为时钟信号。

编程引脚共 5 个，为 $\overline{\text{ispEN}}$ 、SDI、SDO、MODE 和 SCLK。除 $\overline{\text{ispEN}}$ 外，编程引脚均与其他功能公用。这些公用引脚在编程时作为编程引脚使用，否则作为功能引脚。

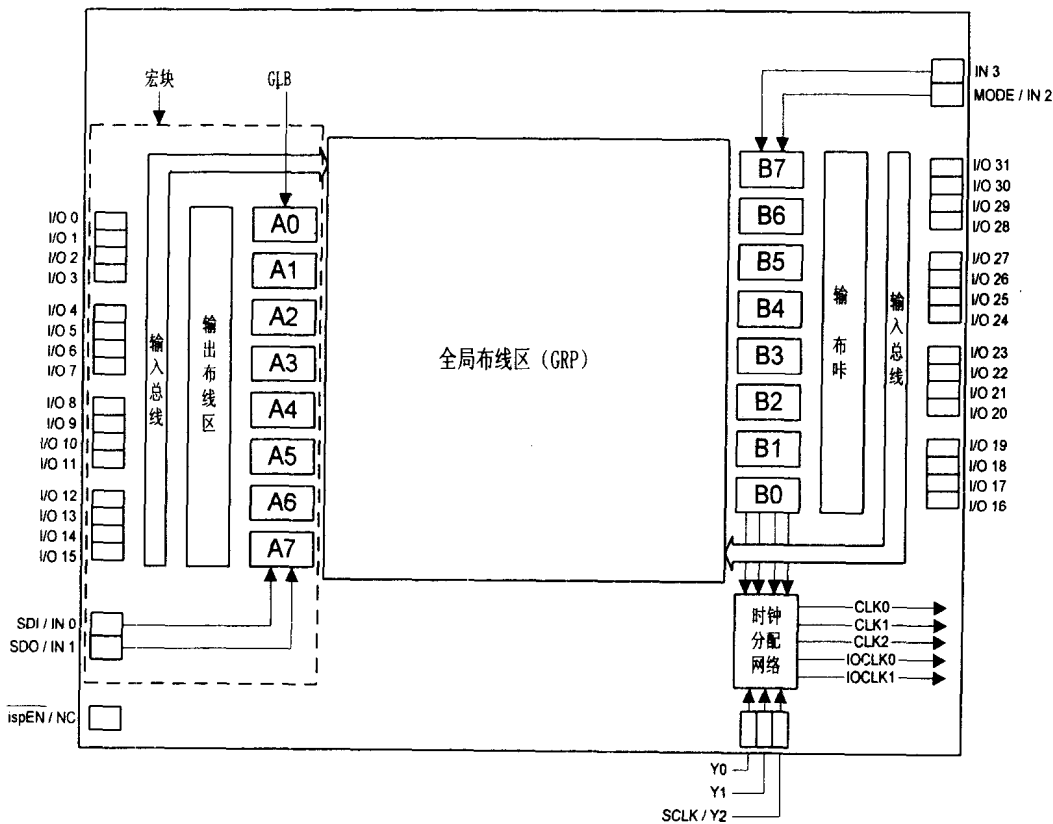


图 1-1 ispLSI1016 的结构框图

对于 Lattice 公司的其他高密度器件，也有类似的结构。对于 2000 系列和 3000 系列，区别在于 GLB 的内部规模大小和 GLB 的数量多寡有所不同。对于最近推出的 6000 系列，则内部结构有较大的改变。读者有兴趣可以直接阅读 Lattice 公司的资料。

1.1.2 GLB 结构

在 Lattice 公司的 1000 系列到 3000 系列的在系统可编程逻辑器件中，通用逻辑块（GLB）是整个器件的逻辑核心。实际上，所有的可编程逻辑器件都具有类似的内部结构。设计一个可编程逻辑器件的逻辑功能，实际上就是对这些逻辑核心的设计。所以，彻底了解 GLB 的结构是设计 Lattice 公司的高密度可编程逻辑器件的基础。

下面以 Lattice 公司的 1000 系列的高密度可编程逻辑器件为例介绍 GLB 的结构特点，读者可以参照图 1-2 到图 1-3 进行阅读。

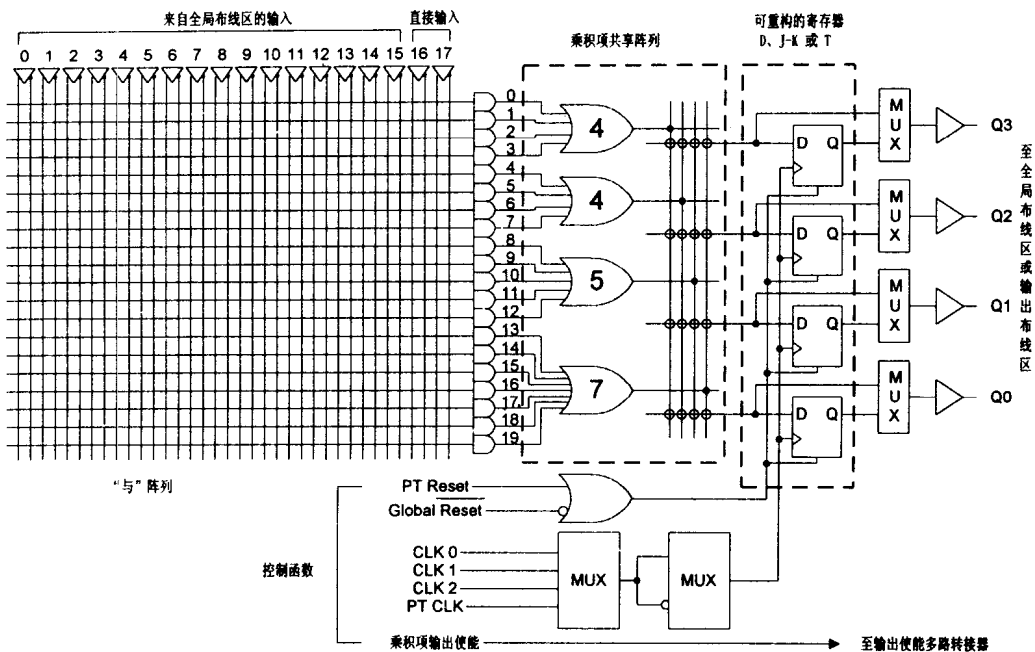


图 1-2 GLB 乘积项共享模式示例

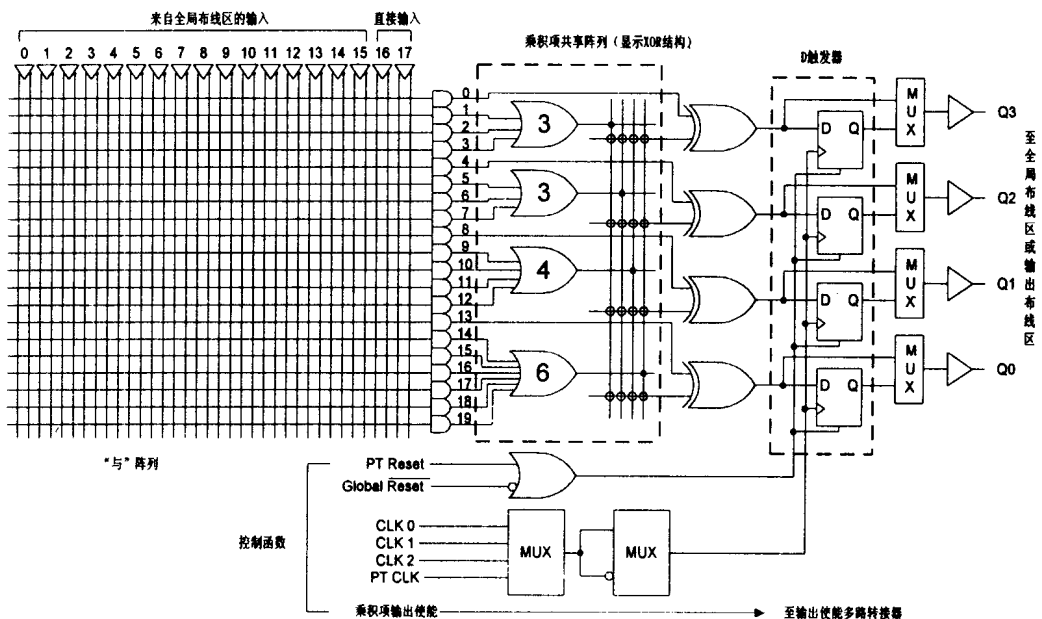


图 1-3 GLB 异或门 (XOR) 模式示例

对于 1000 系列器件的一个 GLB 来说, 具有:

① 18 个输入。其中 16 个是从全局布线区来的信号, 此信号可以是外部 I/O 引脚的输入信号, 也可以是从其他 GLB 来的输出反馈信号。另 2 个是直接输入信号, 来自器件的直接输入引脚 (实际上, 对于处于同一个宏块内的 8 个 GLB, 这 2 个直接输入都是相同的)。

② 一个“与阵列”。该阵列包含 20 个“与门”。注意图中的“与”门的画法是一种简化画法, 这种简化画法已成为可编程逻辑器件的标准画法。图中每个“与”门只画了一条输入线, 但实际上有 36 个输入端 (对应于 GLB 的 18 个输入, 每个输入信号又分裂为原信号与“非”信号)。“与”门每个输入线与 18 个输入信号及它们的“非”信号的每个交叉点都是一个可编程的输入端, 即可由编程决定它们是否连接。

③ 一个乘积项共享阵列 (PTSA)。该阵列包含 4 个“或门”, 它们分别具有 4、4、5、7 个输入端, 连到“与阵列”的输出。这些“或门”的输出通过一个可编程的阵列, 直接 (或者通过触发器寄存输出) 连到 GLB 的 4 个输出端。在必要的时候, 可通过编程, 将几个“或门”的输出送到一个输出端, 从而得到更多的乘积项。若追求器件的速度, 也可将这个编程阵列旁路。

④ 一组可重构的寄存器。该组寄存器由 4 个带“异或门”输入的 D 触发器构成。寄存器的输入端连到前述的乘积项共享阵列, 可以通过编程将触发器转换为 J-K 型或 T 型。所有在一个 GLB 内的 4 个触发器的时钟是公共的, 可以是 3 个全局时钟 (CLK0、CLK1 和 CLK2, 由时钟分配网络来) 中的一个, 也可以是乘积项时钟 (PTCLK, 由 GLB 的输出来)。所有在一个 GLB 内的 4 个触发器的复位也是公共的, 可以是全局复位 (Global RESET, 由外部引脚来, 0 有效), 也可以是乘积项复位 (PTRES, 由 GLB 的输出来, 1 有效)。这两个复位信号的有效关系是“或”。

⑤ 4 个输出。每个输出可以是寄存器的输出。也可以跳过寄存器, 直接作为“与”“或”阵列的组合输出 (由多路开关 MUX 编程决定)。还可以通过“异或门”输出。这些输出可以连到器件的 I/O 单元, 也可以反馈到全局布线区作为其他 GLB 的输入。

⑥ 一个乘积项输出使能。该信号由 GLB 的某一个乘积项产生, 直接送往器件的 I/O 单元, 不包括在 GLB 的 4 个输出信号之内。

根据以上结构, 可以将 GLB 构成各种不同的组态。图 1-2 和图 1-3 示出了两种典型的组态模式。应该说明, 除了这两种模式外, 还可以组成其他各种模式, 例如旁路模式、混合模式等。

1.1.3 宏块结构

1. 宏块结构概貌

一个宏块包含了 8 个 GLB、一个输出布线区、16 个 I/O 单元、2 个直接输入 (IN0、IN1) 和一个公共乘积项 OE。宏块的结构如图 1-4 所示。

2. 输入布线结构

由图 1-4 可以看到, 对于一个器件而言, 外部信号输入的途径有两个: 其一, 信号从 I/O 单元输入后, 可以直接进入全局布线区, 从而进入 GLB; 其二, 每个宏块有两个直接输入引脚, 可以将外部信号直接送入 GLB。对于 1000 系列器件来说, 一个宏块内的 8 个

GLB，共享 2 个直接输入引脚。这 2 个引脚不能进入另一个宏块。

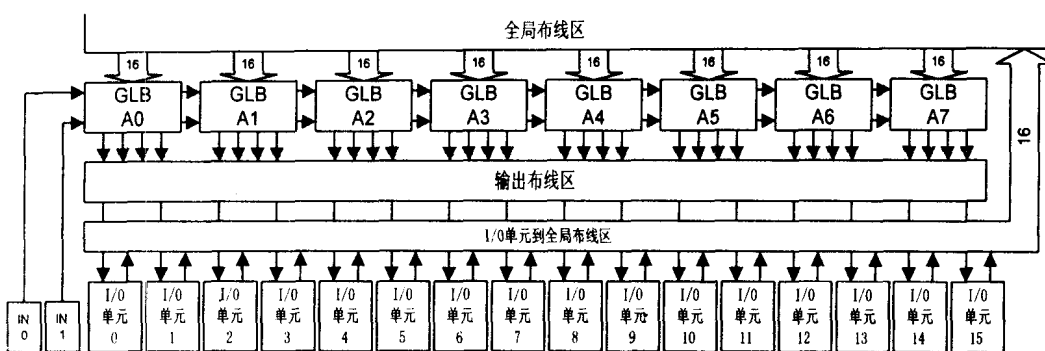


图 1-4 宏块结构框图

3. 输出布线区结构

输出布线区是一个可编程的输出矩阵，其结构示意见图 1-5。通过对这个矩阵的编程，可以将从 GLB 来的输出分配到 16 个 I/O 单元，构成输出端口或双向端口。

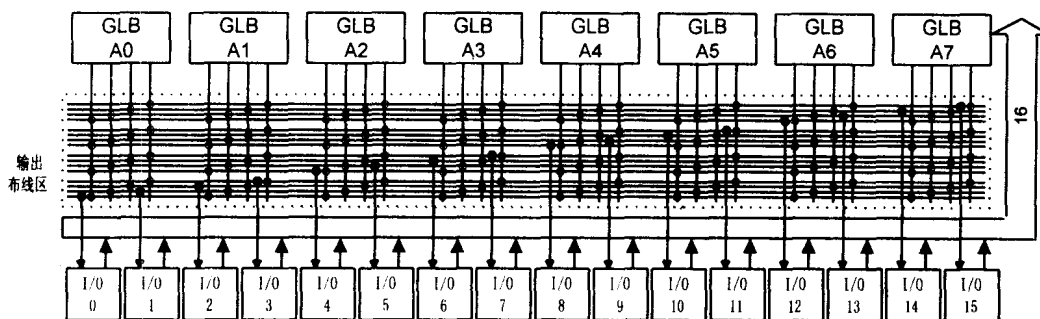


图 1-5 输出布线区

从图 1-5 中可见，每个 GLB 的输出可以连接到 4 个 I/O 单元中的一个。由于在 GLB 内部的乘积项共享阵列（PTSA）提供了极其灵活的交换连接方式，实际上允许将输出进行自由交换以达到最完美的输出连接。这个交换过程由编程软件自动完成，无需人工干预。

输出布线区还有旁路通道结构。这个结构将每个 GLB 输出不通过输出布线矩阵而直接连接到特定的 I/O 单元，其特点是可以得到较快的速度，常用于特殊需要的场合。

4. I/O 单元

I/O 单元用来将输入、输出和双向信号连接到器件的 I/O 端口。其结构如图 1-6 所示。

I/O 单元作为输出时，输出信号来源有两个：一个来自输出布线区（ORP），另一个来自 ORP 旁路通道。这两个信号通过编程，将其中一个信号（或者它的“非”）送到输出缓冲器，最后送往 I/O 引脚。输出缓冲器有一个可编程的输出允许信号。该信号可在“1”、“0”、OE 和 $\overline{OE}$ 之间选择。OE（或 $\overline{OE}$ ）为每个宏块的输出允许信号。

I/O 单元作为输入时，从 I/O 端口来的信号经过缓冲，送往一个输入寄存器的 D 端，再同该寄存器的输出（Q 端）一起，送往一个可编程的多路选择器，其中一个信号被最后

送往全局布线区。输入寄存器可以被编程为电平触发的锁存器（Latch）或边沿触发的寄存器（Register），其时钟信号为两个 I/O 时钟（IOCLK0 与 IOCLK1）中的一个，复位信号为全局复位信号（GLOBAL RESET）。

这样的结构，保证了 I/O 单元可以灵活地配置成输入、输出、3 态、双向等多种结构。

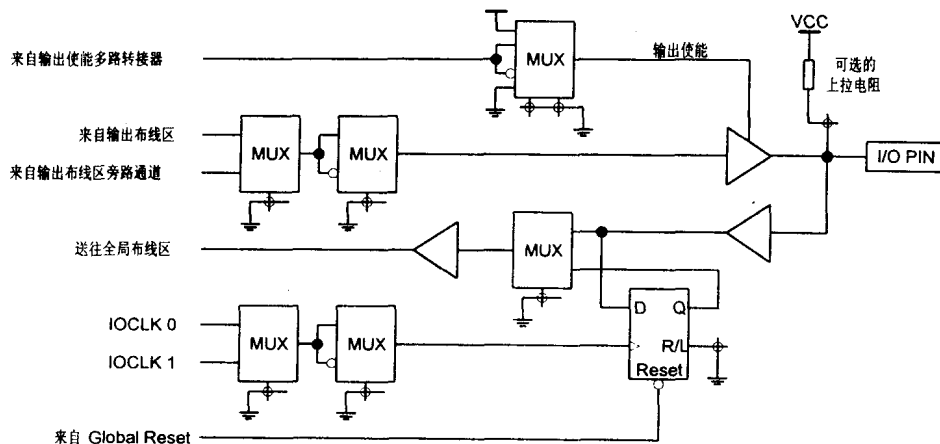


图 1-6 I/O 单元结构

5. OE 控制

每个宏块的所有 I/O 单元，公用一个 OE 信号。该 OE 信号由该宏块的某一个 GLB 产生。每个 GLB 的 PT19 为 OE 乘积项，这些乘积项通过 OE 选择多路开关的编程，将其中一个作为该宏块的 OE 信号，送到输出缓冲器（见图 1-7）。不被选中的 OE 乘积项，仍可以作为普通逻辑乘积项使用。

如上节所述，输出缓冲器的输出允许信号可在“1”、“0”、OE 和 $\overline{OE}$ 之间选择，当 I/O 端口作为双向口或三态口（例如接到数据总线上）时，即可通过此 OE 信号进行控制。

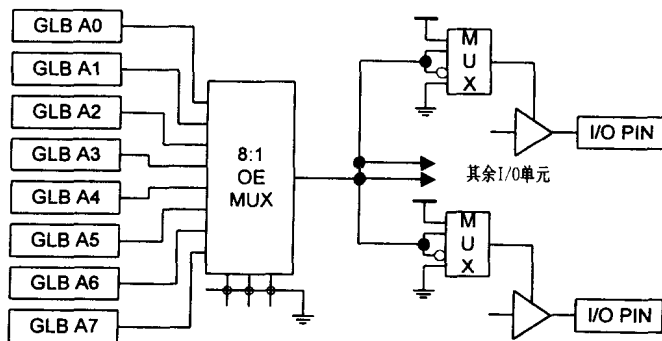


图 1-7 宏块的 OE 控制信号

1.1.4 时钟分配网络

时钟分配网络产生 5 个全局时钟信号：CLK0、CLK1、CLK2、IOCLK0 和 IOCLK1，其结构框图见图 1-8。

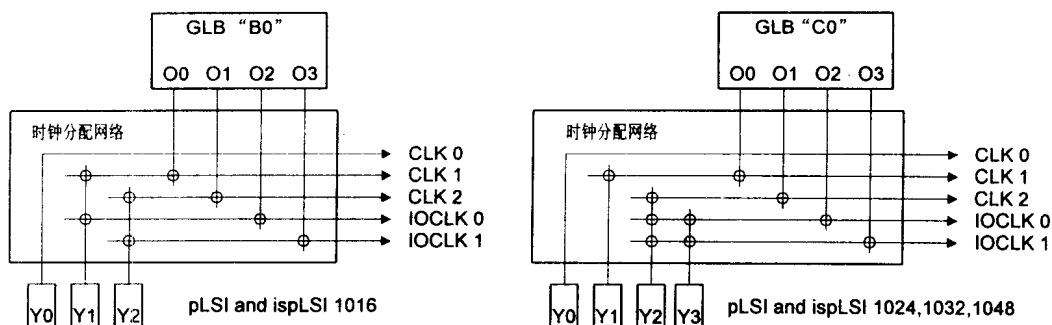


图 1-8 时钟分配网络

5 个全局时钟信号中的前 3 个（CLK0、CLK1、CLK2）作为器件中的 GLB 的时钟信号，后 2 个（IOCLK0、IOCLK1）作为 I/O 单元的时钟信号。这些时钟信号来自时钟输入引脚（Y0、Y1、Y2、Y3，ispLSI1016 只有 Y0、Y1、Y2 这 3 个。2000 系列有 3 个时钟引脚，3000 系列有 5 个时钟引脚）。这几个引脚中，Y0 直接连到 CLK0，其余 3 个可以通过时钟分配网络，连到其余 4 个时钟信号上。除此之外，还可以由器件内部的时钟专用 GLB（例如，ispLSI1016 的“B0” GLB）来产生系统的全局时钟。

1.1.5 ispLSI1016 的技术参数

ispLSI1016 的封装有 44 引脚的 PLCC、JLCC 和 TQFP 三种。其引脚编号如表 1-1 所示（以封装上的标志点为 1 号，顶视逆时针计数）。

表 1-1 ispLSI1016 的引脚排列

引脚名称	PLCC,JLCC	TQFP
I/O 0 ~ I/O 7	15 ~ 22	9 ~ 16
I/O 8 ~ I/O 15	25 ~ 32	19 ~ 26
I/O 16 ~ I/O 23	37 ~ 44	31 ~ 38
I/O 24 ~ I/O 27	3 ~ 6	41 ~ 44
I/O 28 ~ I/O 31	7 ~ 10	1 ~ 4
IN 3	2	40
ispEN	13	7
SDI / IN 0	14	8
MODE / IN 2	36	30
SDO / IN 1	24	18
SCLK / Y2	33	27
Y0	11	5

(续表)		
引脚名称	PLCC,JLCC	TQFP
Y1 / RESET	35	29
VCC	12,34	6,28
GND	1,23	17,39

ispLSI1016 的工作电压为 $(5 \pm 0.25) \text{ V}$ 。工作电流与时钟频率有关，如图 1-9 所示。

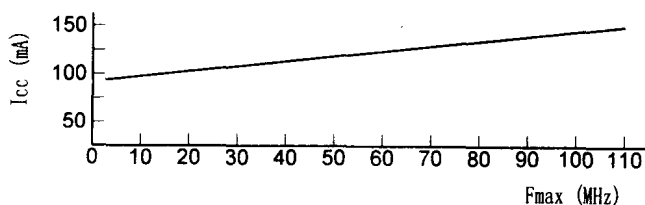


图 1-9 ispLSI1016 的工作电流与频率的关系

根据最大允许时钟速度的不同，ispLSI1016 分成 4 种不同速度的产品：60MHz、80MHz、90MHz 和 110MHz。

1.2 低密度可编程逻辑器件的结构

1.2.1 ispGAL22V10 的结构

ispGAL22V10 是一个小规模 PLD 芯片，28 脚 PLCC 封装。具有 26 个有效的逻辑引脚，其中 4 个为在系统编程引脚（SDI - pin15，SDO - pin22，SCLK - pin1，MODE - pin8），其余 22 个引脚中，12 个输入引脚（其中一个与 CLK 公用），10 个 I/O/Q 双向引脚。其结构框图如图 1-10 所示，图中输入输出端的编号是器件的引脚号码。VCC 为第 28 脚，GND 为第 14 脚。

由图 1-10 可见，ispGAL22V10 的总体结构大致上同 ispLSI1016 的一个 GLB 相似。对于每一个输出端，包含有一个可编程的输出逻辑宏单元（OLMC）、一个三态输出缓冲器和一个输入可编程的“与-或”阵列。所有输出逻辑宏单元的时钟是同一个信号。输出三态缓冲器的控制端由一个单独的乘积项控制。所有输出逻辑宏单元内的寄存器的置位与复位端，也分别由两个单独的乘积项控制。每个输出对应的“与-或”阵列的输入个数是不同的，这一点在对器件分配引脚时有一定影响。

输出逻辑宏单元的结构如图 1-11 所示。每个输出逻辑宏单元包含有两个可编程的多路开关、一个寄存器和一个输出缓冲单元。多路开关输入端的编号，对应它的编程选择端 S1、S0 的编程数据（输出逻辑宏单元的结构数据）。例如，将某个 OLMC 的 S1、S0 编程为 01，则该 OLMC 为寄存器输出结构，输出信号为寄存器的 $\bar{Q}$ ，反馈信号也是 $\bar{Q}$ 。由