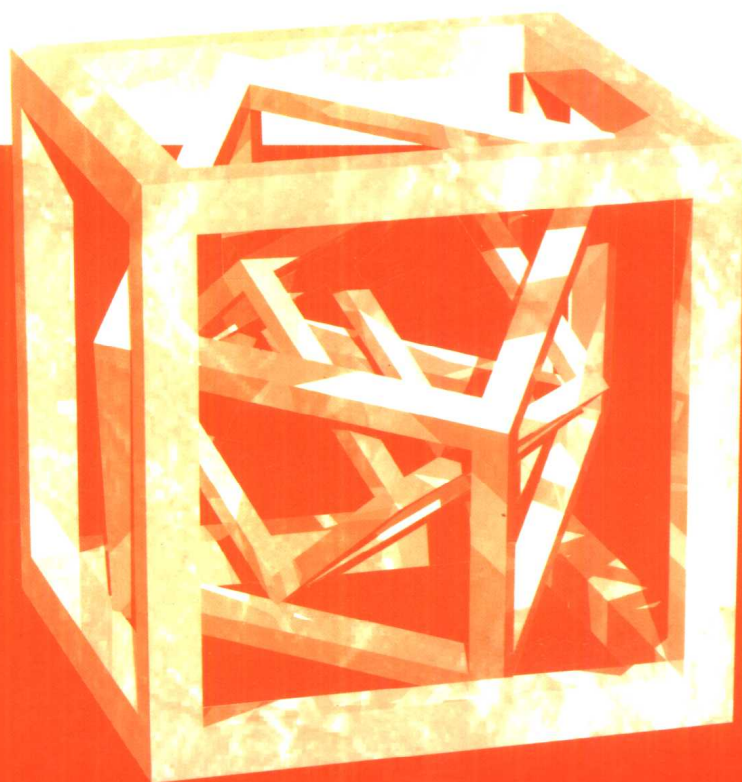


新世纪高等院校电类专业计算机应用教材 (1)

数字集成系统芯片 (SOC)设计

罗胜钦 编著



北京希望电子出版社
Beijing Hope Electronic Press
www.bhp.com.cn

清华大学出版社“十二五”普通高等教育本科国家级规划教材

数字集成系统芯片 (SOC)设计

第二版



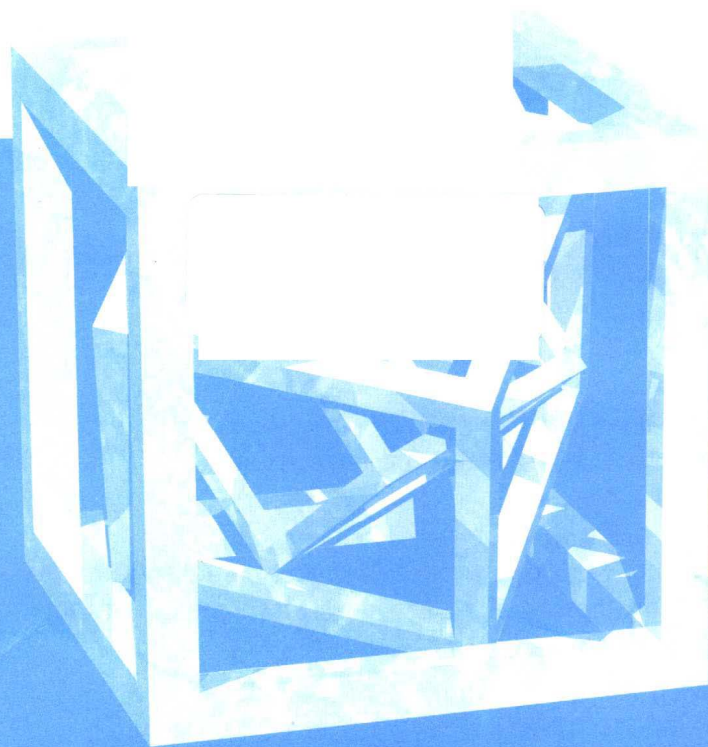
清华大学出版社

新世纪高等院校电类专业计算机应用教材 (1)

TN431.2
L932

数字集成系统芯片 (SOC)设计

罗胜钦 编著



北京希望电子出版社
Beijing Hope Electronic Press
www.bhp.com.cn

内 容 简 介

系统集成芯片 (System On Chip,简称 SOC) 是微电子技术发展的一个新的里程碑。本书介绍在 EDA 工具的平台, 进行以系统级设计为核心的系统芯片的设计方法。本书从基本单元电路设计出发, 以 VHDL 语言为基本设计手段, 讨论了各种典型的数字集成系统的设计, 以及系统芯片实现的两种基本途径: 即半定制的高密度可编程逻辑器件 (HDPLD) 的实现和全定制的专用集成电路 (ASIC) 的实现。

本书主要内容包括集成电路工艺及版图基础、MOS 数字电路、硬件描述语言 VHDL、基本数字逻辑单元的设计、系统集成芯片 (SOC) 的层次结构设计、可编程逻辑器件、专用集成电路设计及可测试结构设计, 书后附录是 VHDL 标准包集合文件的内容。全书语言顺畅, 循序渐进地讲解了 SOC 的各方面内容, 每章背后还附有习题, 供课后练习。

本书既可作为高等院校电子类高年级本科生与研究生的教材, 也可作为相关领域工程技术人员的参考资料。

系 列 书 名 : 新世纪高等院校电类专业计算机应用教材 (1)

书 名 : 数字集成系统芯片 (SOC) 设计

总 策 划 : 北京希望电子出版社

文 本 著 者 : 罗胜钦 编著

责 任 编 辑 : 杨敏

出 版、发 行 者 : 北京希望电子出版社

地 址 : 北京市海淀区知春路 63 号卫星大厦三层 100080

网 址 : www.bhp.com.cn

E-mail: lxr@bhp.com.cn

电 话 : 010-62520290,62521724,62528991,62630301,62524940,62521921,82610344 (发
行) 010-82675588-202 (门市) 010-82675588-501,82675588-201 (编辑部)

经 销 : 各地新华书店、软件连锁店

排 版 : 周玉

文 本 印 刷 者 : 北京广益印刷有限公司

开 本 / 规 格 : 787 毫米×1092 毫米 16 开本 23.875 印张 560 千字

版 次 / 印 次 : 2002 年 9 月第 1 版 2002 年 9 月第 1 次印刷

印 数 : 0001~5000 册

本 版 号 : ISBN 7-900101-66-7

定 价 : 29.00 元

说 明 : 凡我社产品如有残缺, 可执相关凭证与本社调换。

新世纪高等院校电类专业计算机应用教材

编委会成员名单

(按姓氏笔划排序)

顾 问 编 委	任 员	白英彩	教授	上海交通大学
		刘 璟	教授	南开大学
		陶树平	教授	同济大学
	主 任	左孝凌	教授	上海交通大学
	委 员	王汝传	教授	南京邮电大学
		宋国新	教授	华东理工大学
		余雪丽	教授	太原理工大学
		岳继光	教授	同济大学
		徐汀荣	教授	苏州大学
		徐良贤	教授	上海交通大学
	顾训穰	教授	上海大学	

前 言

20 世纪下半叶，微电子技术得到了迅速发展。由于集成电路设计和工艺水平的提高，目前已经可以在一个单片上集成 109 个晶体管，从而有可能将原先由许多 IC 组成的电子系统集成在一个单片上，构成所谓系统芯片（System On Chip，简称 SOC）。系统芯片与集成电路（IC）相比，不再是一种功能单一的单元电路，而是将信号采集、处理和输出等完整的系统集成在一起，成为一个有专用目的的电子系统单片。其设计思想也有别于 IC，SOC 把系统的处理机制、模型算法、芯片结构、各层次电路直至器件的设计紧密结合，在一个或若干个单片上完成整个系统的功能。SOC 的出现是电子系统设计领域的一场革命，它对电子信息产业的影响将不亚于 60 年代集成电路的出现所产生的影响。正因如此，当今电子系统的设计已不再是利用各种通用 IC，进行 PCB 版级的设计和调试，而是转向以 HDPLD 或 ASIC 为物理载体的系统芯片的设计。另一方面，由于集成电路工艺的成熟和 EDA 工具的迅速发展，使得电子系统的设计者并不需要过多地关注半导体集成工艺，完全可以利用现有的成熟工艺，在 EDA 工具的帮助下完成整个系统从行为层到物理层的全部设计，并最终在 HDPLD 上实现，或委托 IC 制造商进行 ASIC 的生产。

综上所述，系统芯片的出现是电子设计领域的一场革命，同时也对电子工程技术人员提出了新的挑战。SOC 的设计以 IP 核为基础，以硬件描述语言为主要设计手段，借助于以计算机为平台的 EDA 工具进行，其设计方法和手段都与传统的设计不同，要求电子系统设计者必须掌握新的设计方法和技术。目前，在国外技术发达国家，SOC 是一个发展迅速而又前景良好的新技术。在国内，这方面的研究和开发尚处于起步阶段，今后若干年内将会得到迅速发展。目前国内还缺乏相关的专业书籍和资料。作者根据本人在教学科研中的经验和积累编著本书，希望能够起到抛砖引玉的作用。

本书共有九章。第一章绪论，介绍系统芯片 SOC 和 EDA 技术的发展概况；第二章集成电路工艺基础及版图，介绍集成电路制造的主要工艺、设计规则和工艺参数；第三章 MOS 数字电路，介绍数字电路特征、CMOS 电路信号传输和延迟、容性负载及其影响和 CMOS 电路的功耗；第四章基本数字逻辑单元，介绍逻辑门、译码器、编码器、比较器、加法器、触发器、计数器等各种基本逻辑单元的 VHDL 模型；第四章数字系统的设计，介绍用 VHDL 语言进行组合逻辑电路设计、时序逻辑电路设计和状态机设计；第五章系统芯片的层次化结构设计，介绍利用层次化结构设计的方法来构造大型系统，SOC 的结构、嵌入式精简指令集处理器（RISC）、SOC 中的软硬件协同设计和设计举例；第七章数字系统的高密度可编程逻辑器件的实现，介绍 CPLD、FPGA 等高密度可编程逻辑器件的结构特点，和数字系统面向 CPLD 和面向 FPGA 的实现；第八章专用集成电路的设计，介绍基于单元电路的版图生成、参数提取、后仿真和版图验证；第九章可测试性结构设计，介绍可测试性分析、可测试性结构设计、测试向量生成、JTAG 标准化测试体系结构设计方法。

作者

2002 年 5 月

目 录

第 1 章 绪论	1
1.1 系统芯片 (SOC) 是微电子技术发展的必然	1
1.2 电子设计自动化技术和硬件描述语言	3
1.2.1 电子设计自动化技术 (EDA) 的发展	3
1.2.2 Top-Down 设计方法	4
1.2.3 硬件描述语言	6
第 2 章 集成电路工艺及版图基础	7
2.1 引 言	7
2.2 集成电路的主要生产工艺	7
2.2.1 晶片准备	8
2.2.2 制版	8
2.2.3 光刻工艺	8
2.2.4 氧化工艺	8
2.2.5 淀积	9
2.2.6 腐蚀	9
2.2.7 扩散	9
2.2.8 导体和电阻	9
2.3 CMOS 电路的版图和加工工艺	10
2.3.1 MOS 晶体管版图	10
2.3.2 CMOS 反相器的结构及其版图	11
2.4 设计规则与工艺参数	15
2.4.1 设计规则的内容与作用	15
2.4.2 几何规则	15
2.4.3 电学规则	15
习题 2	24
第 3 章 MOS 数字电路	26
3.1 数字电路的特征	26
3.1.1 标准逻辑电平	26
3.1.2 逻辑扇出特性	26
3.1.3 容性负载及其影响	27
3.1.4 CMOS 电路的噪声容限	27
3.2 CMOS 逻辑门	29
3.2.1 CMOS 或非门	29
3.2.2 CMOS 与非门	31
3.2.3 多输入 CMOS 逻辑门	32
3.3 CMOS 传输门	32

3.3.1	NMOS 传输晶体管	32
3.3.2	CMOS 传输门	33
习题 3	33
第 4 章	硬件描述语言 VHDL	35
4.1	引 言	35
4.2	VHDL 的基础知识	36
4.2.1	VHDL 程序的结构	36
4.2.2	VHDL 常用资源库中的程序包	43
4.2.3	VHDL 的词法单元	47
4.2.4	数据对象和类型	48
4.2.5	表达式与运算符	55
4.3	VHDL 结构体的描述方式	55
4.3.1	结构体的行为描述 (Behavioral Descriptions)	56
4.3.2	结构体的 RTL 描述	58
4.3.3	结构体的结构化描述	60
4.4	结构体的子结构形式	63
4.4.1	进程	63
4.4.2	复杂结构体的多进程组织方法	65
4.4.3	块 (BLOCK)	67
4.4.4	子程序	69
4.5	顺序语句和并发语句	70
4.5.1	顺序语句	71
4.5.2	并发语句	80
4.6	VHDL 中的信号和信号处理	86
4.6.1	信号的驱动源	86
4.6.2	信号的延迟	87
4.6.3	仿真周期和信号的 δ 延迟	89
4.6.4	信号的属性函数	90
4.6.5	带属性函数的信号	93
4.7	VHDL 的其他语句	97
4.7.1	ATTRIBUTE(属性)描述与定义语句	97
4.7.2	断言(ASSERT)语句	103
4.7.3	TEXTIO	104
4.8	多值逻辑	105
4.8.1	三态数值模型	105
4.8.2	多值逻辑	106
4.9	元件例化	108
4.9.1	设计通用元件	108

4.9.2	构造程序包.....	110
4.9.3	元件的调用.....	111
4.10	配置.....	112
4.10.1	默认配置.....	113
4.10.2	元件配置.....	114
4.10.3	块的配置.....	117
4.10.4	结构体的配置.....	118
习题 4	119
第 5 章	基本数字逻辑单元的设计	121
5.1	组合逻辑电路设计.....	121
5.1.1	门电路.....	121
5.1.2	三态缓冲器和总线缓冲器.....	123
5.1.3	编码器,译码器和选择器.....	125
5.1.4	运算器的设计.....	127
5.1.5	算术逻辑运算单元.....	131
5.2	时序逻辑电路设计.....	132
5.2.1	触发器.....	132
5.2.2	锁存器.....	135
5.2.3	寄存器.....	136
5.2.4	计数器.....	137
5.3	存储器.....	139
5.3.1	概述.....	139
5.3.2	只读存储器 ROM.....	140
5.3.3	随机存储器 RAM.....	141
5.3.4	FIFO (先进先出堆栈).....	141
5.4	有限状态机.....	144
习题 5	148
第 6 章	系统集成芯片 (SOC) 的层次结构设计	150
6.1	系统集成芯片 (SOC) 的结构.....	150
6.1.1	引言.....	150
6.1.2	系统集成芯片的硬件结构.....	150
6.1.3	嵌入式软件.....	152
6.2	数字结构的层次结构设计.....	153
6.2.1	芯片的划分.....	153
6.2.2	系统间互连的表示.....	159
6.3	系统的仿真和测试.....	166
6.3.1	概述.....	166
6.3.2	仿真程序的设计方法.....	167

6.3.3	TEXTIO 建立测试程序.....	170
6.4	SOC 中的嵌埋式精简指令集处理器 RISC.....	172
6.4.1	概述.....	172
6.4.2	RISC 的定义与特点.....	172
6.4.3	RISC 的指令特点.....	175
6.4.4	RISC 的并行处理技术.....	177
6.4.5	RISC/DSP 结构.....	180
6.4.6	RISC 核的设计.....	183
6.5	SOC 的软硬件协同设计.....	184
6.5.1	软硬件协同设计的概念.....	184
6.5.2	性能分析.....	186
6.6	性能评估.....	186
6.6.1	时间性能估计.....	187
6.6.2	代价估计.....	187
6.7	嵌入式实时操作系统 RTOS.....	188
6.7.1	实时操作系统.....	188
6.7.2	嵌入式实时操作系统.....	189
6.7.3	实时多任务调度.....	190
6.7.4	信号与信号量(semaphore).....	191
	习题 6.....	192
第 7 章	可编程逻辑器件.....	193
7.1	概 述.....	193
7.1.1	可编程逻辑器件的发展.....	193
7.1.2	用户再构造电路和可编程 ASIC 电路.....	193
7.1.3	可编程逻辑器件的分类.....	194
7.2	可编程逻辑器件的编程元件.....	196
7.2.1	熔丝型开关.....	196
7.2.2	反熔丝开关.....	196
7.2.3	浮栅编程技术.....	197
7.3	PAL 与 GAL 器件的电路结构.....	200
7.3.1	PLD 的电路表示方法.....	200
7.3.2	PLD 的基本电路结构.....	203
7.3.3	PAL 器件的电路结构.....	206
7.3.4	通用阵列逻辑 GAL(Generic Array Logic).....	210
7.4	ispLSI 系列 CPLD.....	219
7.4.1	概述.....	219
7.4.2	ispLSI 1000 系列 CPLD 的结构特点.....	220
7.4.3	ispLSI CPLD 的测试和编程特性.....	231

7.4.4	ispLSI 2000 系列的结构	233
7.4.5	ispLSI 3000 系列 CPLD	235
7.4.6	ispLSI 5000V 系列 CPLD	240
7.4.7	ispLSI 8000 系列 CPLD 的结构和工作原理	243
7.5	现场可编程门阵列	250
7.5.1	概述	250
7.5.2	XC4000 系列 FPGA 的结构和工作原理	252
7.5.3	Spartan 系列 FPGA	278
7.6	Virtex-II 系列 FPGA 的结构和性能	279
7.6.1	概述	279
7.6.2	Virtex-II FPGA 的总体结构	281
7.6.3	Virtex-II FPGA 的可构造逻辑模块	281
7.6.4	18.Kbit 可选择 RAM 模块	288
7.6.5	嵌入式乘法器	289
7.6.6	全局时钟多路缓冲器	289
7.6.7	数字时钟管理器 DCM	290
7.6.8	输入输出模块	292
7.6.9	有源互联技术	295
7.7	基于 HDPLD 的系统设计实现	296
7.7.1	设计实现概述	296
7.7.2	器件的选择	296
7.7.3	HDPLD 的设计流程	298
	习题 7	298
第 8 章	专用集成电路设计	300
8.1	引 言	300
8.2	门阵列和门海阵列设计	301
8.2.1	门阵列设计	301
8.2.2	门海阵列	302
8.2.3	门阵列和门海阵列的设计流程	304
8.3	标准单元设计	304
8.4	设计检验	306
8.4.1	设计规则检查 (DRC)	307
8.4.2	电学规则检查 (ERC)	307
8.4.3	版图与电路图一致性检查(LVS)	309
8.5	后 仿 真	309
	习题 8	310
第 9 章	可测试结构设计	311
9.1	大规模集成电路可测试设计的意义	311

9.2 可测试性基础.....	312
9.2.1 故障模型.....	312
9.2.2 可测性分析.....	314
9.2.3 测试向量生成.....	319
9.2.4 故障模拟.....	326
9.3 可测性结构设计.....	328
9.3.1 专门测试设计.....	329
9.3.2 扫描测试技术.....	331
9.3.3 内建自测试技术.....	333
9.3.4 系统级测试技术--边界扫描测试技术.....	334
习题 9.....	338
附录 1 VHDL 标准包集合文件.....	339
参考文献.....	365

第1章

绪 论

1.1 系统芯片 (SOC) 是微电子技术发展的必然

微电子技术是上个世纪以来发展最为迅速的高新技术。1948年,巴丁·布莱连等人发明了世界上第一个晶体管。20年后,1958年美国科学家在一块硅片上做成了相移振荡器,该振荡器元件之间的连线不再是传统的导线,而是用了很薄的刻蚀获得的金属条,这便是世界上第一块集成电路。1967年诞生了单片集成度在1000个晶体管以上的集成电路,集成电路由中小规模进入大规模时期。20世纪70年代以来,由于CMOS工艺的发展,尤其是高密度短沟道CMOS技术的发展,使得CMOS器件不仅具有很高的集成度,而且器件的工作速度达到甚至超过了TTL电路的性能。1977年,美国科学家在30mm²的硅片上集成了13万个晶体管,制作出了世界上第一块64Kbit的DRAM,标志着集成电路跨入了超大规模(VLSI)时代。集成电路微细加工的最小尺度每三年提高一个数量级,集成规模每三年增加4倍。80年代,集成电路加工的最小尺度是微米级,90年代初是亚微米(0.5μm~1μm),现在是深亚微米(0.3μm以下),0.25~0.15μm工艺已成为产品的主导工艺,最先进的微细加工工艺已达到0.1μm。在深亚微米工艺中,连线引起的延迟已与门电路相当而不可忽略,传统的电路设计方法必须予以改进。在加工尺度不断细化的同时,用以生产集成电路的硅片面积不断扩大。现在集成电路生产中大量使用5"硅片,单片芯片的面积达到2cm×2cm的尺度,集成电路已进入3G时代(1G=10⁹),即单片集成度达到1G个晶体管,工作速度达到1GHz,最高数据传输速率达到1Gbps。表1-1回顾了集成电路技术发展的历史。预计在本世纪上半叶,微电子技术仍将保持快速发展的趋势,并将进入3T时代(1T=10¹²)。微细加工的进一步发展有可能达到0.01μm,这相当于30个原子排成一列的长度,是纳米级加工的水平,这时,现有的关

表 1-1 集成电路技术发展简况

年 份	1948	1950	1961	1966	1971	1980	1990	1998	2000
规 模	发明晶 体管		分立元 件	SSI	MSI	LSI	VLSI	ULSI	GSI
理论集成 度每芯片 晶体管				10~100	10~1000	1,000~1 00,000	10 ⁵ ~10 ⁶	10 ⁶ ~10 ⁹	16×10 ⁹
商业集成 度	1		1	10	100~1000	1,000~2 0,000	20,000~50 0,000	>500,000	>10 ⁸
代表产品			二极管 三极管	门电路 触发器	计数器加 法器	8位微 处理器	16位、32位 微处理器	图象处理器,SOC 高 档微处理器	

于 PN 结的半导体理论不再适用, 需要新的理论和技术。

由于集成规模的扩大, 原先由许多 IC 组成的电子系统有可能集成在一个单片上, 构成所谓系统芯片 (System On Chip, 简称 SOC)。系统芯片与集成电路 (IC) 相比, 不再是一种功能单一的单元电路, 而是将信号采集、处理和输出等完整的系统集成在一起, 成为一个有某种应用目的的电子系统单片。电子系统传统的设计方法是在 PCB (Printed Circuit Board) 级完成的。系统设计人员利用各 IC 制造商生产的通用集成电路, 在 PCB 上构成系统, 系统的调试也在 PCB 上进行。这种开发设计方法要求设计者具有丰富的硬件知识和调试能力, 产品开发周期长, 投资较大, 设计修改困难。此外, 由于 PCB 连线的延时、空间尺度、重量和可靠性等的制约, 整机性能受到很大限制。如果能将整个系统最终集成在一个单片上, 无疑对于提高产品性能、缩小产品体积具有极大帮助。因而, SOC 是电子系统开发设计的合理选择。

微电子技术的近期发展成果, 为 SOC 的实现提供了多种途径。对于经过验证而又具有批量的系统芯片, 可以做成专用集成电路 (Application Specific Integrated Circuit, 简称 ASIC) 大量生产。而对于一些仅小批量应用或处于开发阶段的 SOC, 若马上投入流片生产, 需要投入较多的资金, 承担较大的试制风险。近十几年发展起来的高密度可编程逻辑器件 (High Density Programmable Logic Device, 简称 HDPLD), 则提供了另一种实现途径。可编程逻辑器件 (PLD) 是一种由 IC 制造商大批量定型生产的半定制产品, 器件内部的逻辑功能由用户设计和构造, 是一种价格低廉、而硬件功能可多次编程重构的器件。可编程逻辑器件的出现, 使得系统设计人员有可能在不改变系统硬件结构的前提下, 修改完善甚至重新设计系统的硬件功能, 使电子系统的硬件具有了“柔性”, 极大地改变了硬件的刚性结构状态, 甚至可以使电子系统的硬件功能动态调整, 以适应外界使用环境的变化。

可编程逻辑器件产生于 20 世纪 70 年代, 其出现的最初目的是为了用较少的 PLD 品种替代种类繁多的各式中小规模逻辑电路。在 30 多年的发展过程中, PLD 的结构、工艺、功耗和工作速度等性能都得到了重大改进。尤其是在 20 世纪 80 年代, 出现了 HDPLD, 可编程逻辑器件的单片集成度由原来的数百到数千门, 发展到数万、数十万甚至数百万门, 芯片的 I/O 引脚也由 20~24 脚发展到 400~1000 个引脚, 为用户提供了大量的可编程逻辑资源和触发器, 可以实现各种逻辑功能 (包括组合逻辑和时序逻辑), 有的 PLD 制造商还推出了嵌入系统级功能模块的核, 使之具有强大功能。因此, 完全可能将一个电子系统集成在一个 HDPLD 单片上, 为 SOC 的实现提供了一种简单易行而又成本低廉的手段, 极大地促进了 SOC 的发展。

SOC 的设计理念与传统 IC 不同。SOC 把系统的处理机制、模型算法、芯片结构、各层次电路直到器件的设计紧密结合, 在一个或若干个单片上完成整个系统的功能。与普通 IC 的设计不同, SOC 的设计以 IP 核为基础, 以硬件描述语言为系统功能的主要描述手段, 借助于以计算机为平台的 EDA 工具进行。SOC 的出现是电子设计领域的一场革命。如果说在上个世纪, 电子系统的设计主要是在 PCB 层次上将各种元器件合理连接, 那么进入本世纪后, 电子系统的设计将主要是以 HDPLD 或 ASIC 为物理载体的系统芯片的设计, 它对电子信息产业的影响将不亚于 20 世纪 60 年代集成电路的出现所产生的影响。

1.2 电子设计自动化技术和硬件描述语言

1.2.1 电子设计自动化技术(EDA)的发展

众所周知,微电子技术和计算机技术是近半个世纪来发展最为迅速的高新技术。微电子技术的发展,使当今各种电子产品功能完善、系统复杂。一片VLSI或SOC上往往集成了数十万到数千万甚至数亿个晶体管,如此规模巨大而又复杂的系统,其设计和方案验证也变得十分繁复。用人工方法进行设计,将使工作效率十分低下,有时还难以进行。正是在这种背景下,人们试图运用计算机辅助设计方法,建立起完整的电子系统设计、分析、模拟、仿真、综合等手段,以使整个电子系统的设计能够在计算机平台上自动进行,促进了电子设计自动化(Electronic Design Automation,简称EDA)技术的迅猛发展。

层次化设计是设计大型电子系统的常用方法。一个完整的集成电子系统从概念的提出到最后物理实现,可以分为如下几个设计层次,即系统级、行为级、寄存器传输级(RTL级)、逻辑门级、电路级和版图级。

版图级也称为物理级,是集成电路描述的最低层次。在版图级,以几何图形描述晶体管、MOS管、二极管、电阻、连线等元件,硬件的功能隐含于器件的物理特性关系中。在这一层次,系统的特性不仅与器件的互连方式有关,而且与器件的加工工艺有关。

版图级以上的层次是电路级。在电路级,基本的元器件是晶体管、MOS管、二极管和电阻电容等,系统的功能由电路的微分方程描述。

电路级上面的层次是逻辑门级,也简称为门级,这是数字系统的主要层次。门级设计中的基本单元是与门、或门、非门、三态门等各种门电路,以及少量的触发器。门电路的互连方式构成了门级的结构描述,逻辑图和布尔方程是这一层次的主要描述形式。门级描述也是硬件描述语言最低的层次。

门级之上的层次是寄存器传输(或数据流)级,这一层次的描述较之门级描述更为抽象。在RTL级设计中,大量采用触发器、寄存器、计数器、多路选择器、算术逻辑运算单元(ALU)等功能块,这些功能块的规模比基本门电路单元要大得多,因而往往又把它们称之为宏单元。RTL级设计的结构描述是宏单元的互连,反映其功能的是真值表和状态图。

寄存器传输级之上的层次是行为级,行为级又称为算法级,这一层次对系统功能的描述是抽象的算法模型,或者是控制流图和数据流图。

描述电子系统功能的最高层次是系统级,在这一层次,系统行为的描述往往是一些性能指标。例如计算机的总线宽度、每秒执行指令的次数、数据的传输速率等。

一般地说,把门级以上各层次的设计,称为前端设计,而把版图设计以后的工作称为后端设计。前端设计与工艺无关,而后端设计必须在某一确定的生产工艺下进行。

EDA技术最初是从物理层的计算机辅助设计开始,以后逐步向高层次的设计自动化发展。从20世纪70年代到目前为止的三十多年中,EDA技术的发展大致经历了四个阶段。第一代EDA工具在20世纪70年代中期投入实际应用,主要的功能是PCB绘图、版图绘图和图形编辑的计算机辅助设计,是物理层的EDA工具。到了20世纪80年代中,推出了第二代EDA工具。第二代EDA工具除了能够进行物理层的计算机辅助设计之外,还可以进行逻辑功能仿真、门阵列和标准逻辑单元版图的自动设计和验证,人机交互采用图形语言,即电路

图输入的方法。20世纪80年代后期,EDA技术迅速发展,出现了一批著名的EDA工具制造商,如美国的Cadance,Mentor,Synopsys,Viewlogic等,推出了一大批第三代EDA工具。第三代EDA工具不仅支持图形输入,而且支持硬件描述语言输入,可以对用硬件描述语言设计的RTL级的系统进行功能仿真、时序仿真和逻辑综合,自动生成门级网表文件,进行门级功能仿真,并在此基础上进一步进行自动布局布线、时序分析,生成PLD编程所需的JEDEC文件或自动进行版图设计和验证、版图后功能仿真和时序分析,形成从设计输入(包括原理图输入、语言输入和状态图输入)到设计验证(包括功能仿真、时序仿真、设计规则验证、版图验证、版图后仿真)到设计实现(包括优化、映射、布局布线、版图生成)完整的EDA平台。这一代EDA工具往往都可提供采用主流工艺制造的IC标准单元设计数据库,供版图设计和后仿真时使用。第三代EDA工具是目前使用的主要设计平台。

从20世纪90年代中期开始,致力于发展第四代EDA工具。第四代EDA工具围绕深亚微米工艺特点展开,试图在行为级对系统进行描述、模拟和综合,将前端设计和后端设计以及测试融为一体。同时,研究开发模拟电路设计自动化技术。表1-2回顾了EDA技术发展概况。如果一个EDA工具能够从系统的行为描述开始,到系统的物理实现为止的全部设计工作自动完成,则称其为全程EDA工具。目前,全程EDA技术还在继续发展中。

表 1-2 EDA 技术发展概况

年 代	技术特点	EDA 工具	级 别	典型系统
第一代(70年代中)	布局布线设计 PCB 设计	版图图形编辑及绘图 PCB 绘图	物理级	Computer - Vision
第二代(80年代中)	逻辑模拟和半定制版图设计	电路图输入、逻辑模拟,门阵列、标准单元版图设计及验证	门 级	Mantor Valid
第三代(90年左右)	Top-Down 设计实现从 RTL 级 → 门级 → 物理级的设计自动化	VHDL 语言描述、编译及模拟、逻辑综合、时序分析、IC 设计数据库、通用电路分析程序	RTL 级	Cadance Mantor Synopsys Spice Viewlogic
第四代(90年代中开始)	围绕深亚微米工艺特点展开,将前端设计和后端设计及测试融为一体	行为级的描述和模拟、高层次的综合、布局布线规划和布图。模拟电路设计自动化	系统级	Cadance Mantor Synopsys Viewlogic

1.2.2 Top-Down 设计方法

所谓 Top-Down 设计方法,就是自顶向下的设计方法,这是一种从系统的概念出发,最终到系统的物理实现,逐步细化的层次化设计方法。这种设计方法与传统的电子系统设计方法不同。

电子系统的传统设计方法中,首先根据系统的要求,建立起系统框图,将整个系统适当划分,然后从确定单元电路开始,沿着单元电路-部件-整机的过程进行样机的设计、制作和调试。系统的功能的测试必须待样机完成后(也就是物理实现后)才能进行。这种设计是从底层开始,按照由简到繁、由底向上的步骤进行,称为 Bottom-Up 设计方法。在设计开始阶段,对系统的划分、部件功能的定义及相互间的接口必须周密考虑。然而,由于认识的局限和一些不可预计的因素,同时由于在样机实现之前,难以对部件和系统功能进行模拟和仿

真，因此难免在设计过程和样机制作过程中产生一些偏离设计要求的问题。需要在设计过程和样机试制过程中不断修改完善，有时甚至推倒重来。显然，这种设计方法要求系统设计人员必须具备丰富的硬件知识和调试经验，设计修改比较困难，产品开发周期长，投资风险比较大。

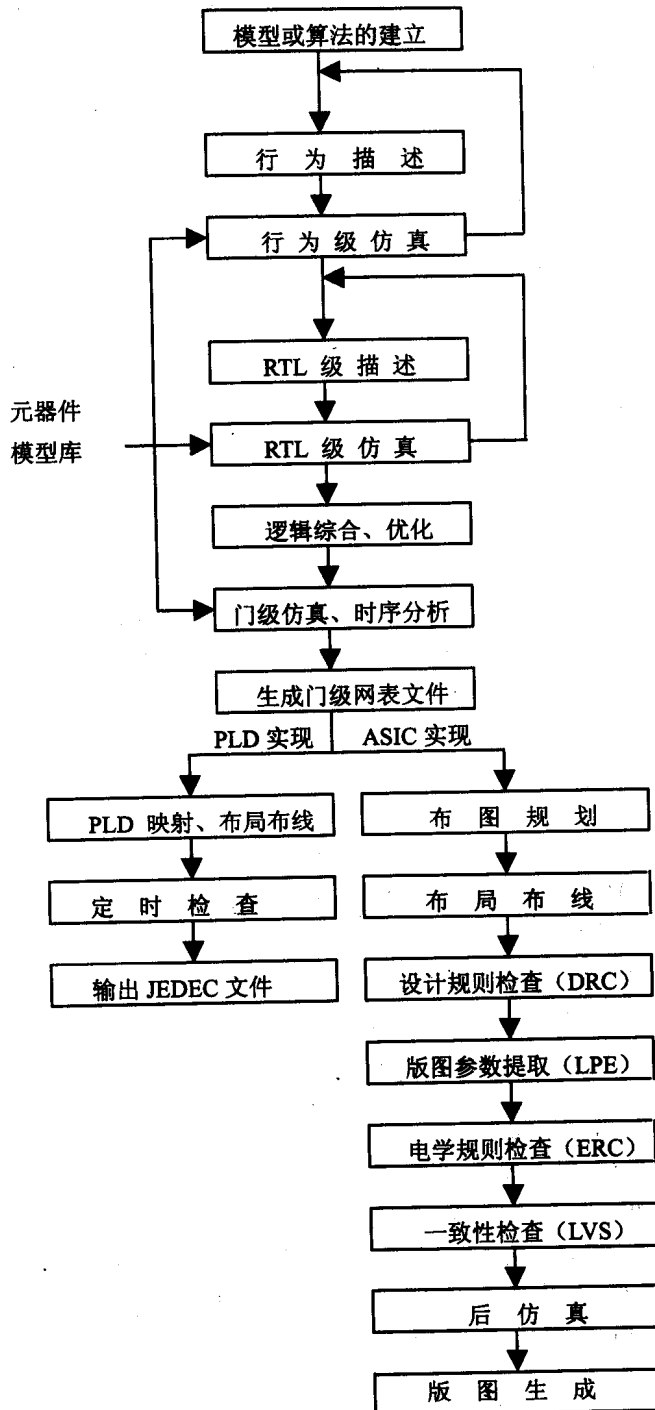


图 1-1 系统芯片设计的 Top-Down 设计方法流程

为了提高产品研发的效率，减小投资风险，现代设计方法不再是从底向上进行，而是由