

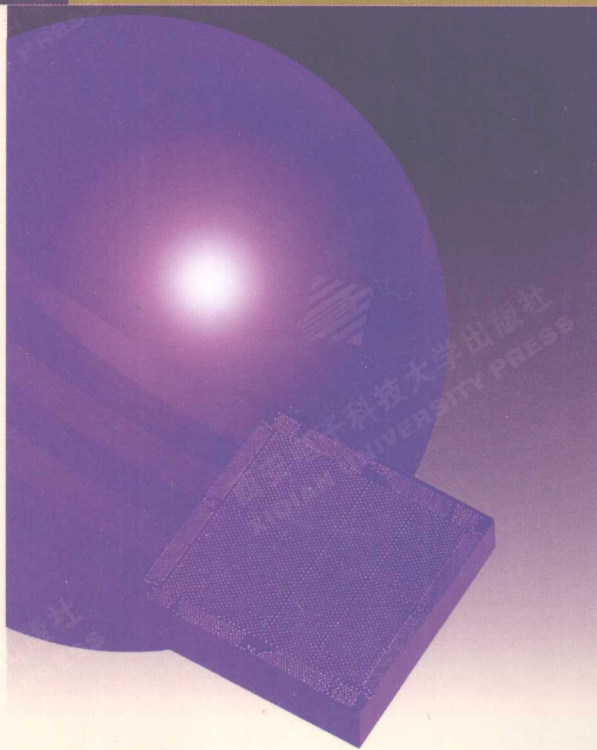
ALTERA®

*Design of FPGA-based
Digital Circuits and Systems*

基于FPGA的数字 电路系统设计

崔葛瑾 主编

崔葛瑾 沈利芳 李伟民 编著



西安电子科技大学出版社
<http://www.xduph.com>

内容简介

基于 FPGA 的数字电路系统设计

崔葛瑾 主编

崔葛瑾 沈利芳 李伟民 编著

图例在版编目(CIP)数据

基于 FPGA 的数字电路系统设计 / 崔葛瑾主编. —西安: 西安电子科技大学出版社, 2008.7

ISBN 978-7-209-3038-1

I. ①基... II. 崔... III. ①可编程逻辑器件—系统设计 ②数字电路—中图分类

V. TP373.1. TN79

中国版本图书馆 CIP 数据核字(2008)第 028269 号

策 划 云 云

责任编辑 陈 云 云

出版发行 西安电子科技大学出版社(西安太白南路 2 号)

电 话 (029)88252882 88301467 邮 编 710071

http://www.xdpuh.com E-mail: xdpuh001@163.com

经 销 新华书店

印刷单位 陕西新华印刷厂

版 次 2008 年 7 月第 1 版 2008 年 7 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 13.2

字 数 313 千字

印 数 1—4000 册

定 价 21.00 元

ISBN 978-7-209-3038-1/IN·0454

XDP 230801-1

西安电子科技大学出版社

2008

内 容 简 介

本书结合 Altera 可编程器件开发平台 Quartus II 的应用, 以 FPGA 为系统实现载体, 介绍数字系统设计的思路与方法。

全书由绪论和第 1~4 章组成。绪论简单介绍了可编程器件的基本概念。第 1 章主要介绍 Quartus II 的操作方法。第 2 章联系数字电子技术基础课程的基本知识点介绍基础性设计案例。第 3 章联系工程应用介绍综合设计案例。每个设计都在说明电路工作原理的基础上, 给出了分析思路, 并提出了参考设计方案。第 4 章提出了若干数字系统的设计要求, 适合作为数字电子技术课程设计的内容。本书的设计内容尽量从工程应用实践出发, 力求使学生理解数字电子技术各基本知识点的互相渗透关系和工程应用背景, 对学生入门研发具有一定铺垫作用。

本书的起点较低, 便于自学, 适合应用于本科、大专、高职以及中专等电子信息类专业的数字电子技术实验、实践课程, 计算机专业的数字逻辑实验、实践课程以及非电类专业的电子实验课程和数字电路实验课程。

图书在版编目(CIP)数据

基于 FPGA 的数字电路系统设计 / 崔葛瑾主编. —西安: 西安电子科技大学出版社, 2008.7

ISBN 978-7-5606-2038-1

I. 基... II. 崔... III. ① 可编程序逻辑器件—系统设计 ② 数字电路—电路设计

IV. TP332.1 TN79

中国版本图书馆 CIP 数据核字(2008)第 058269 号

策 划 云立实

责任编辑 徐德源 云立实

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

http://www.xduph.com E-mail: xdupfb001@163.com

经 销 新华书店

印刷单位 陕西光大印务有限责任公司

版 次 2008 年 7 月第 1 版 2008 年 7 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 13.5

字 数 313 千字

印 数 1~4000 册

定 价 21.00 元

ISBN 978-7-5606-2038-1/TN·0424

XDUP 2330001-1

如有印装问题可调换

本社图书封面为激光防伪覆膜, 谨防盗版。

前 言

基于 FPGA 的数字电路设计不仅能使学生积累电子电路应用、设计方面的知识,拓展思维方式;而且通过数字集成功能器件的系统应用,进一步加深了对数字电子技术课程理论知识的理解。

本书介绍了 Altera 公司可编程器件开发平台 Quartus II 的基本操作方法以及基于 FPGA 的一些常用数字电路的设计原理,目的是使更多的学生接触、了解可编程技术的应用,同时解决数字电子技术实验、实践课程系统性内容受课程单元教学课时制约,设计性内容受实验室元器件储备条件限制的问题。

全书由绪论和第 1~4 章组成。绪论简单介绍了可编程器件的基本概念。第 1 章主要介绍 Quartus II 的基本操作。第 2 章联系数字电子技术基础课程的基本知识点提出了 10 个基础性设计内容。基础性设计几乎涉及了理论课程介绍的所有基本逻辑器件的应用,如编码器、译码器、数据选择器、加法器、数字比较器、触发器、寄存器、计数器、移位寄存器、存储器等。由于设计内容与理论课中的习题相似,学生可以通过设计过程对这些集成功能器件的工作原理和实际应用形成系统、感性的认识。目前学生的计算机应用能力普遍较高,一般经过两至三个基础设计的练习,就能够基本掌握 Quartus II 的电路图形文件编辑、逻辑综合、电路仿真、编译适配、熔丝图文件下载等设计流程。第 3 章联系一些典型的工程应用提出了 10 个综合性的设计,如电子音乐自动播放控制、交通灯控制、按键阵列扫描和发光二极管点阵显示控制、自动售货机控制, LCD 显示控制等。这些电路的设计具有一定的难度,但也都都可以采用数字电子技术课程中介绍过的基本功能器件实现。每个设计都在介绍电路工作原理的基础上,给出了分析思路,并提出了参考设计方案,启发学生通过预习完成电路设计,然后在课内完成电路的编辑、仿真和调试。第 4 章提出了 5 个数字系统的设计要求,设计量较大,适合作为数字电子技术课程设计的内容。

各设计建议采用电路符号的图形方式实现,以突出 FPGA 的硬件概念,使学生结合数字电子技术课程的知识点掌握标准功能器件的系统应用。在 Quartus II 图形文件编辑器中,输入器件型号即可调出所需器件(如 4 位集成数据比较器 7485、可逆十进制计数器 74190 等),对刚学完数字电子技术课程的学生而言使用非常方便。而且 Quartus II 的基本元件库几乎囊括了所有中规模集成器件,学生的设计基本不受器件资源的限制,实现了真正意义上的自主设计。由于电路的实现、仿真、修改比较容易,减少了低水平、重复性的教学耗时,使学生的精力集中在设计方面,可以提高教学效率。本书的设计内容尽量从工程应用实践出发,力求使学生理解各基本知识点的互相渗透关系和工程背景。一些常用电路的工作原理和设计思路,对学生今后从事单片工控机系统、嵌入式系统或 DSP 系统的研发都有一定的辅助作用。

本书内容近年来以讲义形式在东华大学数字电子技术实验和课程设计中使用。

本书的起点较低，便于自学，适合应用于本科、大专、高职以及中专等电子信息类专业的数字电子技术实验、实践课程、计算机专业的数字逻辑实验、实践课程以及非电类专业的电工电子实验课程的数字电路实验。

本书由崔葛瑾策划和统稿，沈利芳参与了第1章、第2章部分内容的编写，李伟民参与了第3章部分内容的编写。赵曙光教授对本书进行了认真审阅，给出了很多非常宝贵的建议。

由于编者水平有限，书中难免有不足之处，敬请读者斧正。

编者

2008年1月

目 录

绪论	1
第 1 章 Quartus II 应用入门	15
1.1 Quartus II 安装	16
1.1.1 安装 Quartus II 5.1 软件	16
1.1.2 指定授权文件	17
1.1.3 安装编程硬件驱动程序	18
1.2 Quartus II 的项目和文件管理	21
1.2.1 Quartus II 的开发环境	21
1.2.2 新项目的创建	23
1.2.3 项目管理	26
1.2.4 快捷键工具栏	28
1.2.5 Quartus II 的文件管理	29
1.3 图形设计源文件编辑	33
1.3.1 图形设计输入窗口	33
1.3.2 元件输入和电路连线	35
1.3.3 图形编辑器的元件库介绍	37
1.3.4 元件图形符号的创建	39
1.4 设计文件综合和仿真	48
1.4.1 分析与综合	48
1.4.2 建立仿真波形文件	50
1.4.3 输入、输出观察点设置	52
1.4.4 仿真输入信号编辑	55
1.4.5 功能仿真	58
1.5 端口分配、项目编译适配和器件编程	60
1.5.1 端口分配	60
1.5.2 项目编译和器件资源适配	62
1.5.3 端口引脚分配文本修改方法	63
1.5.4 FPGA 编程配置接口	64
1.6 SignalTap II 嵌入式逻辑分析仪	67
1.6.1 SignalTap II 的主要特点和一般流程	67
1.6.2 SignalTap II 文件的建立和基本参数设置	69
1.6.3 SignalTap II 的节点选择和参数配置	70
1.6.4 SignalTap II 的触发事件设置	72

1.6.5	SignalTap II 的编译、下载、运行和信号显示.....	73
第 2 章	基础设计实例	76
2.1	全加器设计.....	76
2.1.1	设计实例.....	76
2.1.2	设计原理分析.....	76
2.1.3	设计预习准备.....	77
2.1.4	参考设计步骤.....	77
2.1.5	思考问题.....	79
2.2	多位串行进位加法器设计.....	79
2.2.1	设计实例.....	79
2.2.2	设计原理分析.....	80
2.2.3	参考设计思路.....	82
2.2.4	设计预习准备.....	82
2.2.5	参考设计步骤.....	83
2.2.6	思考问题.....	83
2.3	代码转换电路设计.....	84
2.3.1	设计要求.....	84
2.3.2	集成加法器原理.....	84
2.3.3	参考设计思路.....	84
2.3.4	设计预习准备.....	85
2.3.5	参考设计步骤.....	85
2.3.6	思考问题.....	85
2.4	BCD 码优先编码电路设计.....	85
2.4.1	设计要求.....	86
2.4.2	集成 8—3 线优先编码器 74148 的逻辑功能.....	86
2.4.3	参考设计思路.....	87
2.4.4	设计预习准备.....	87
2.4.5	参考设计步骤.....	87
2.4.6	思考问题.....	87
2.5	脉冲分频选择电路设计.....	88
2.5.1	设计要求.....	88
2.5.2	设计原理分析.....	88
2.5.3	参考设计方案.....	91
2.5.4	设计预习准备.....	92
2.5.5	参考设计步骤.....	92
2.5.6	思考问题.....	93
2.6	汽车尾灯控制电路设计.....	93
2.6.1	设计要求.....	93
2.6.2	参考设计思路.....	93

2.6.3	设计预习准备	94
2.6.4	参考设计步骤	95
2.6.5	思考问题	95
2.7	彩灯控制电路设计	95
2.7.1	设计要求	95
2.7.2	设计原理分析	95
2.7.3	参考设计方案	97
2.7.4	设计预习准备	97
2.7.5	参考设计步骤	98
2.7.6	思考问题	98
2.8	动态扫描显示电路设计	99
2.8.1	设计要求	99
2.8.2	设计原理分析	99
2.8.3	参考设计思路	101
2.8.4	设计预习准备	102
2.8.5	参考设计步骤	102
2.8.6	思考问题	103
2.9	数值快速设置电路设计	103
2.9.1	设计要求	103
2.9.2	设计原理分析	103
2.9.3	参考设计方案	104
2.9.4	设计预习准备	105
2.9.5	参考设计步骤	106
2.9.6	思考问题	106
2.10	音乐播放控制电路设计	106
2.10.1	设计实例	106
2.10.2	电子音乐的控制原理	106
2.10.3	参考设计方案	108
2.10.4	设计预习准备	110
2.10.5	参考设计步骤	110
2.10.6	思考问题	111
第3章	综合设计实例	112
3.1	乒乓球游戏电路设计	112
3.1.1	设计实例	112
3.1.2	设计原理分析	112
3.1.3	参考设计方案	114
3.1.4	设计预习准备	117
3.1.5	参考设计步骤	118
3.1.6	思考问题	118

3.2 交通灯控制电路.....	118
3.2.1 设计实例.....	119
3.2.2 设计原理分析.....	119
3.2.3 参考设计方案.....	122
3.2.4 设计预习准备.....	124
3.2.5 参考设计步骤.....	124
3.2.6 思考问题.....	124
3.3 简易投币式邮票自动销售机控制电路设计.....	125
3.3.1 设计实例.....	125
3.3.2 设计原理分析.....	125
3.3.3 设计参考方案.....	130
3.3.4 设计预习准备.....	132
3.3.5 参考设计步骤.....	132
3.3.6 思考问题.....	133
3.4 简易数字钟.....	133
3.4.1 设计实例.....	133
3.4.2 设计原理分析.....	134
3.4.3 参考设计方案.....	135
3.4.4 设计预习准备.....	137
3.4.5 参考设计步骤.....	137
3.4.6 思考问题.....	137
3.5 按键阵列扫描及点阵显示器控制电路设计.....	137
3.5.1 设计实例.....	138
3.5.2 按键扫描和点阵显示原理.....	138
3.5.3 设计参考方案.....	140
3.5.4 设计预习准备.....	142
3.5.5 参考设计步骤.....	143
3.5.6 思考问题.....	144
3.6 数字频率/周期计.....	144
3.6.1 设计实例.....	144
3.6.2 设计原理分析.....	145
3.6.3 参考设计方案.....	147
3.6.4 设计预习准备.....	149
3.6.5 参考设计步骤.....	150
3.6.6 思考问题.....	151
3.7 生理刺激反应时间测试仪.....	151
3.7.1 设计实例.....	151
3.7.2 设计原理分析.....	152
3.7.3 参考设计方案.....	153

3.7.4	设计预习准备	154
3.7.5	参考设计步骤	154
3.7.6	思考问题	155
3.8	LCD 显示控制电路	155
3.8.1	设计实例	155
3.8.2	HD44780 的功能说明	156
3.8.3	参考设计方案	161
3.8.4	设计预习准备	163
3.8.5	参考设计步骤	163
3.8.6	思考问题	164
3.9	简易数字式函数信号发生器	164
3.9.1	设计实例	164
3.9.2	设计原理分析	165
3.9.3	设计参考方案	169
3.9.4	设计预习准备	171
3.9.5	参考设计步骤	172
3.9.6	思考问题	173
3.10	简易数字电压表	173
3.10.1	设计实例	173
3.10.2	设计原理分析	174
3.10.3	参考设计方案	176
3.10.4	设计预习准备	181
3.10.5	LED 显示方案参考设计步骤	181
3.10.6	LCD 显示方案参考设计步骤	182
3.10.7	思考问题	182
第 4 章	系统设计实例	183
4.1	电话计费器设计	183
4.2	出租车计价系统设计	183
4.3	数字保密锁设计	184
4.4	自动升降电梯控制电路设计	184
4.5	步进电机定位控制模拟系统设计	185
附录 A	FPGA 的部分库器件名称说明	188
附录 B	EPF10K10TC144、EP1C3T144C8 引脚排列	189
附录 C	LP—2900 和 DE2 开发装置面板图	191
附录 D	LP—2900 开发装置部分电路图	193
附录 E	LP—2900 和 DE2 开发装置 FPGA 引脚分配	197
附录 F	DE2 开发装置 FPGA 引脚分配	202
参考文献	206

绪 论

随着集成技术和计算机技术的发展,数字系统由分立元件、小规模集成电路 SSI、中规模集成电路 MSI 等构成的电路级系统过渡到大规模集成电路 LSI、超大规模集成电路 VLSI 等芯片级构成的片上系统。数字系统设计经历了传统的从单元到系统(从下到上)逐级整合向现代的从系统到单元(从上到下)逐级细化的过渡过程。数字系统的设计方法从以人工设计为主发展为以计算机辅助设计为主。电子设计自动化(Electronic Design Automation, EDA)技术已成为目前电子系统设计的主流。

1. 集成逻辑器件的发展

从 20 世纪 50 年代以来,由于半导体技术的飞速发展,集成器件的更新换代几乎以 10 年的周期跃进,发展进程可以粗略地用图 0-1 表示。

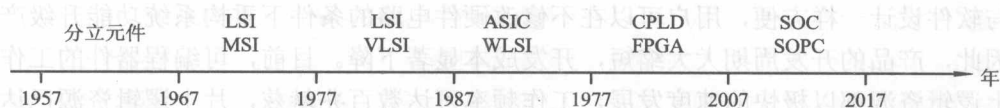


图 0-1 半导体集成器件的发展历程

小规模集成电路(SSI)是资源密度仅几十门的集成逻辑门,如与门、或门、异或门或触发器等。中规模集成电路(MSI)是资源密度为几百门的标准功能模块,如计数器、寄存器、译码器、数据选择器。SSI、MSI 的产量高、价格低,但当系统功能复杂时,需要的器件量大且类型复杂,构成的设备体积庞大,功耗增加。由于芯片和芯片、芯片和印制板之间的连接点、连接线比较多,出现故障的概率上升,器件的平均失效时间提前,系统的可靠性相应下降。而且对于高频数字信号系统,印制板连线引起的干扰可能会严重影响系统运行。

大规模、超大规模集成通用器件 LSI、VLSI 的资源密度在上千门至百万门之间,如存储器、单片微处理器、DSP 数字信号处理器,嵌入式片上系统(System On Chip, SOC)等。这些通用器件的硬件功能强大,但逻辑功能固定不可更改。对于功能千变万化的数字系统,可能硬件资源不能充分利用或仍需要多片不同的器件实现。因此,在很多控制复杂的场合,采用微处理器的软硬件结合方案或专用集成电路 ASIC 的全硬件方案实现。

微处理器以软件程序和外围电路配合,可以在有限的硬件资源基础上辅以广泛的软件支持来实现复杂的控制功能。微处理器硬件结构变化不大,软件程序修改方便,所以初期开发时承担的风险较小。但微处理器系统的处理速度受到软件程序执行时间的限制,同时有抗干扰能力和保密性较差等问题。

专用集成电路(ASIC)是专为满足某种特殊需要设计和生产的单片集成器件。一个复杂的数字系统只要几片甚至一片 ASIC 即可实现,因而硬件资源利用率高,制成的设备体积小,重量轻,功耗低。由于 ASIC 是全硬件电路,处理速度快,抗干扰能力强且保密性好。但 ASIC 的功能设计专用性很强,应用面相应很窄。

ASIC 的设计过程一般是由用户在个人计算机或工作站平台上开发,而制作 ASIC 的方法可粗略分为两类:一类是掩膜法,即向集成电路厂商定制流片;另一类则是现场编程法,即由用户利用 PLD 自行制作。前者要求系统设计非常成熟,且研究开发初期投资费用巨大,设计周期较长,但产品投产后的成本较低,适用于芯片需求量很大的场合。后者设计、重构方便,开发时间短,初期费用低,一个不太大的系统可能只需数天即可完成,但生产成本略高,适用于产量不大,升级换代迅速的产品。

目前电子产品已渗透到几乎所有的消费领域。针对不同的市场产品需求,器件的专用性越来越强,而产品的升级换代速率快使专用器件的使用周期不断缩短。半导体产业界为降低器件制造成本,希望采用标准化技术生产通用器件,因而推出了超大规模通用可编程逻辑器件(Programmable Logic Device, PLD),以解决市场需求专用化与器件功能标准化的矛盾。

可编程逻辑器件的出现使数字系统设计从电路级深入到了芯片级,系统的可靠性因此大为提高。可编程器件允许用户在印制线路板上编辑和修改器件逻辑功能,使硬件功能的重构与软件设计一样方便,用户可以在不修改硬件电路的条件下重构系统功能升级产品性能。因此,产品的开发周期大大缩短,开发成本显著下降。目前,可编程器件的工作频率和片上逻辑资源都以极快的速度发展,工作频率可达数百兆赫兹,片上逻辑资源已达数百万门,可以嵌入功能强大的 32 位微处理器构成片上可编程系统 SOPC(System On Programmable Chip)。

2. 可编程逻辑器件简介

目前主要的 PLD 制造商有 Altera 公司、Xilinx 公司、AMD 公司、Lattice 公司和 Actel 公司等。PLD 的内部资源结构主要分为阵列型和单元型;互连线方式分为集总型和分布型;编程信息存储主要依赖于 EEMOS 或 RAM,每个存储元载入编程配置数据中的一位。根据逻辑资源结构、互连方式和编程工艺不同,可编程器件一般可分为复杂的可编程器件(Complex Programmable Logic Device, CPLD)和现场可编程门阵列(Field Programmable Gate Array, FPGA)。

CPLD 的基本结构一般基于含可编程与一或阵列和触发器的宏逻辑块(Logic Array Block, LAB)。每个逻辑块有数十个输入端,十几个输出端。逻辑块之间的互连一般采用集总(确定)连线方式,通过集中在一个全局布线区 PIA 的可编程互连线结构组成更大规模的 PLD。集总(确定)型互连方式的连线资源采用长度确定的金属线串联各逻辑单元。由于各逻辑块间的信号传递路径固定,与布局无关,系统的信号延迟时间可预测。CPLD 具有较强的时序控制能力,适宜实现控制密集型的数字系统。

CPLD 的 I/O 端口通过端口控制块(I/O Control Block, IOC)可以与任意的逻辑块相连。图 0-2 是 Altera 公司 MAX 系列 CPLD 的内部结构框图。CPLD 的逻辑资源密度较相同芯片

面积的 FPGA 低, 配置采用在系统可编程(In System Programmable)技术, 编程数据由电可擦除只读存储器 EEPROM 保存, 芯片失电后配置数据不会丢失。

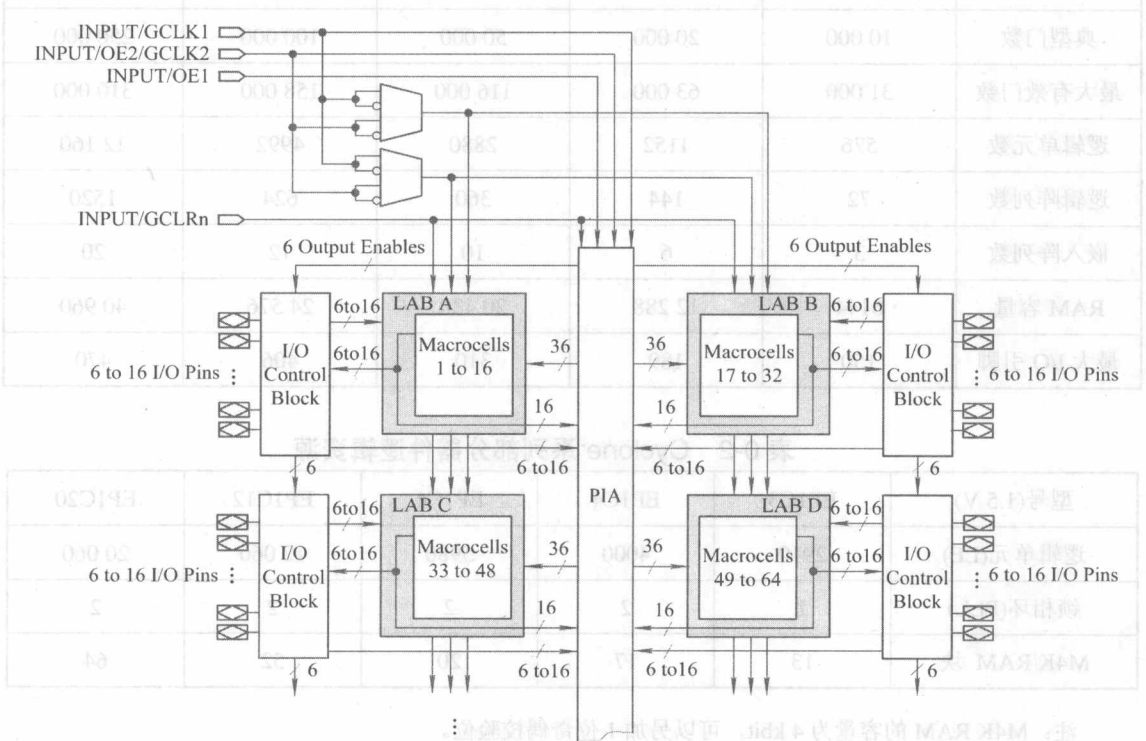


图 0-2 CPLD 的内部结构框图

FPGA 以基于查找表结构的可编程逻辑元构成庞大的阵列。每个逻辑元的规模不大, 输入端不足 10 个, 输出仅 1~2 个。可编程的连线分布在逻辑元与逻辑元之间的布线区。分布(统计)型互连方式的连线资源是分段的, 利用长度不同的金属线沿传输路径连接逻辑元。片内互连方式灵活, 可人为干预, 但信号路径与系统布局有关, 布线延时是累加的, 不可预测。FPGA 的集成度更高, 资源更丰富, 适于实现运算能力较强的数据密集型数字系统。FPGA 内部阵列的配置一般采用在电路可重构(In Circuit Re-config)技术, 编程数据由静态存储器 SRAM 保存。当 FPGA 器件失电时, SRAM 中的配置数据消失。

FLEX10K、Cyclone、Cyclone II 都是 Altera 公司推出的 FPGA 系列器件, 三者的资源特性如表 0-1~表 0-3 所示。FLEX10K 采用钢铝布线的先进 CMOS 工艺, 具有低耗高速特性。Cyclone 和 Cyclone II 器件采用了 1.5 V、0.13 μm 全铜的 SRAM 工艺。Cyclone 具有中等容量的片内存储器, 支持低、中速的 I/O 接口和存储器接口。Cyclone II 器件可通过内嵌的专用接口电路实现与双数据率(DDR)SDRAM 和 FCRAM 及单数据速率(SDR)SDRAM 器件进行快速可靠的数据交换, 最高速率可达 668 Mb/s。内置的增强型锁相环, 可提供高性能的时钟管理功能, 如频率合成、可编程相移、片外时钟输出、可编程占空比、失锁检测及高速差分时钟信号的输入和输出等。

表 0-1 FLEX10K 系列部分器件逻辑资源

型号	EPF10K10	EPF10K20	EPK10K50	EPF10K100	EPF10K250A
典型门数	10 000	20 000	50 000	100 000	250 000
最大有效门数	31 000	63 000	116 000	158 000	310 000
逻辑单元数	576	1152	2880	4992	12 160
逻辑阵列数	72	144	360	624	1520
嵌入阵列数	3	6	10	12	20
RAM 容量	6144	12 288	20 480	24 576	40 960
最大 I/O 引脚	150	189	310	406	470

表 0-2 Cyclone 系列部分器件逻辑资源

型号(1.5 V)	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
逻辑单元(LE)	2910	4000	5980	12 060	20 060
锁相环(PLL)	1	2	2	2	2
M4K RAM 块	13	17	20	52	64

注：M4K RAM 的容量为 4 kbit，可以另加 1 位奇偶校验位。

表 0-3 Cyclone II 系列部分器件逻辑资源

型号	EP2C5	EP2C8	EP2C20	EP2C35	EP2C50	EP2C70
逻辑单元(LE)	4608	8256	18 752	33 216	50 528	68 416
锁相环(PLL)	26	36	52	105	129	250
M4K RAM 块	119 808	165 888	239 616	483 840	594 432	1 152 000
RAM	13	18	26	35	86	150
18×18 位乘法器	2	2	4	4	4	4
最大 I/O 引脚	142	182	315	475	450	622

3. FLEX10KE 的内部结构

FLEX10KE 和 FLEX10K 的内部结构类似，包含嵌入式阵列块(Embedded Array Block, EAB)，逻辑阵列块(Logic Array Block, LAB)，由列互连(Column Interconnect)、行互连(Row Interconnect)、局部互连(Local Interconnect)构成的快速互连通道(Fast Interconnect Track, FIT)和输入/输出单元(I/O Element, IOE)4 个主要部分，原理结构如图 0-3 所示。片内由 LAB 构成阵列，每行的中间有一个 EAB。每个 LAB 包含若干逻辑元(Logic Element, LE)。LAB 和 EAB 由快速通道连接，IOE 位于快速通道连线的行和列的两端，为外部封装引脚与 LAB、

EAB 提供了可编程的接口。另外，器件具有 6 个专用输入端口，其中 4 个为全局信号端，可通过专用的布线通道控制片内触发器，具有比快速通道更短的信号延迟和更小的失真偏移。

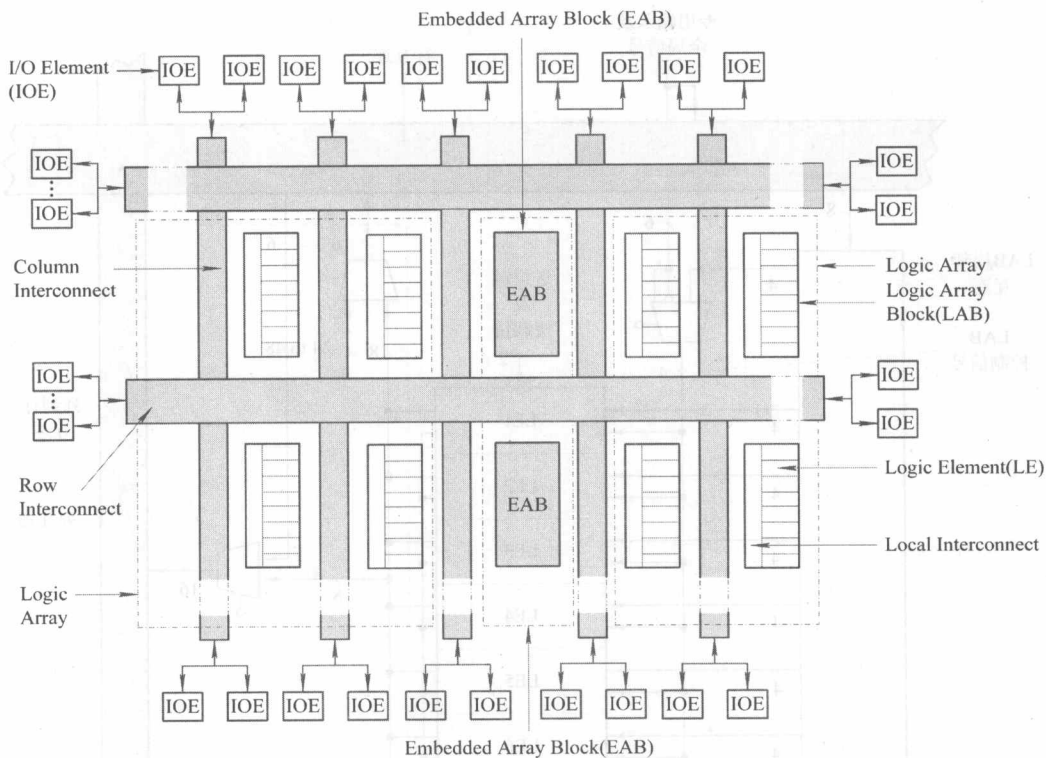


图 0-3 FLEX10KE 内部结构框图

1) 嵌入式阵列块 EAB

每个 EAB 可提供 100~600 个有效门用以单独或组合实现乘法器、微控制器、状态机等复杂逻辑，也可构造 RAM、ROM、FIFO 或双口 RAM 等各种存储器实现诸如数字信号处理、微处理器、数据传输等逻辑系统。

EAB 的结构是具有输入/输出寄存功能的变形 RAM。一个 FPGA 芯片中所有的 EAB 可以级联成一个 RAM。Altera 的 PLD 开发软件 Quartus II 能够自动组合 EAB 实现设计者指定的存储器。EAB 的输入、输出信号有专用时钟(Dedicated Clock)、专用输入与全局信号(Dedicated Inputs & Global Signals)、数据总线(data)、读地址总线(rdaddress)、写地址总线(wraddress)、外部时钟使能(outclocken)、内部时钟使能(inclocken)、读使能控制(rden)、写使能控制(wren)等。

EAB 对时钟驱动和控制提供了灵活的选项，EAB 的输入和输出可以使用不同的时钟。每个 EAB 的输出可以同时驱动两个行互连通道和两个列互连通道。寄存器能被独立插入 EAB 数据总线、地址总线或使能控制线。

2) 逻辑阵列块 LAB

LAB 可实现普通逻辑功能，如计数器、加法器、状态机、多路选择器等。FLEX10K 的

LAB 结构如图 0-4 所示。每个 LAB 包含 8 个 LE、一些进位链及级联链、控制信号选择器和局部互连结构。8 个 LE 可以构成一个中规模的逻辑块，如 8 位计数器、地址译码器和状态机。多个 LAB 组合起来可以构成更大的逻辑块。

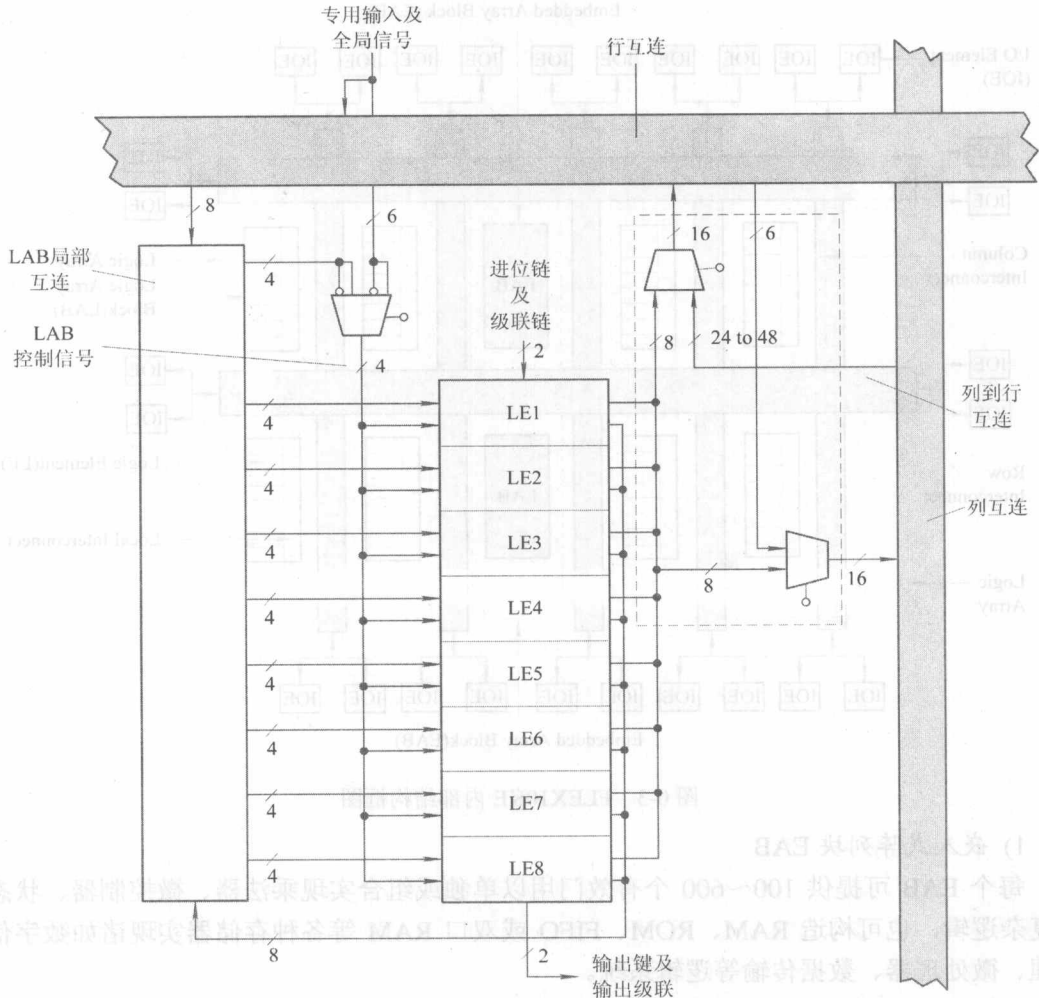


图 0-4 LAB 内部结构示意图

每个 LAB 为 8 个 LE 提供了 4 个可编程的控制信号。其中两个可作为时钟，另两个用作清除/置位控制(Clear/Preset Logic)。LAB 时钟和清除/置位信号可以由器件的专用时钟输入信号、I/O 信号、全局信号或经过 LAB 局部互连的内部逻辑信号直接驱动。全局控制信号由 LAB 中的一个或多个 LE 形成，因其在器件内部传输时失真很小，通常作为全局时钟及异步控制信号的首选。

3) 逻辑元 LE

每个 LE 含有一个 4 输入查找表(Look-Up Table, LUT)、一个可编程寄存器(Programmable Register)、一个进位链(Carry Chain)和级联链(Cascade Chain)及若干选择信号的多路选择器 MUX，内部结构如图 0-5 所示。LUT 通过数据存储表方式可实现一个 4 变量输入的快速逻辑。

辑发生器。可编程寄存器可以配置成 D、T、JK、RS 等激励功能。寄存器的时钟和清除/置位控制可由全局信号、I/O 信号或任何内部逻辑信号驱动。如果将寄存器旁路，由 LUT 直接驱动 LE 输出，可实现组合逻辑函数。

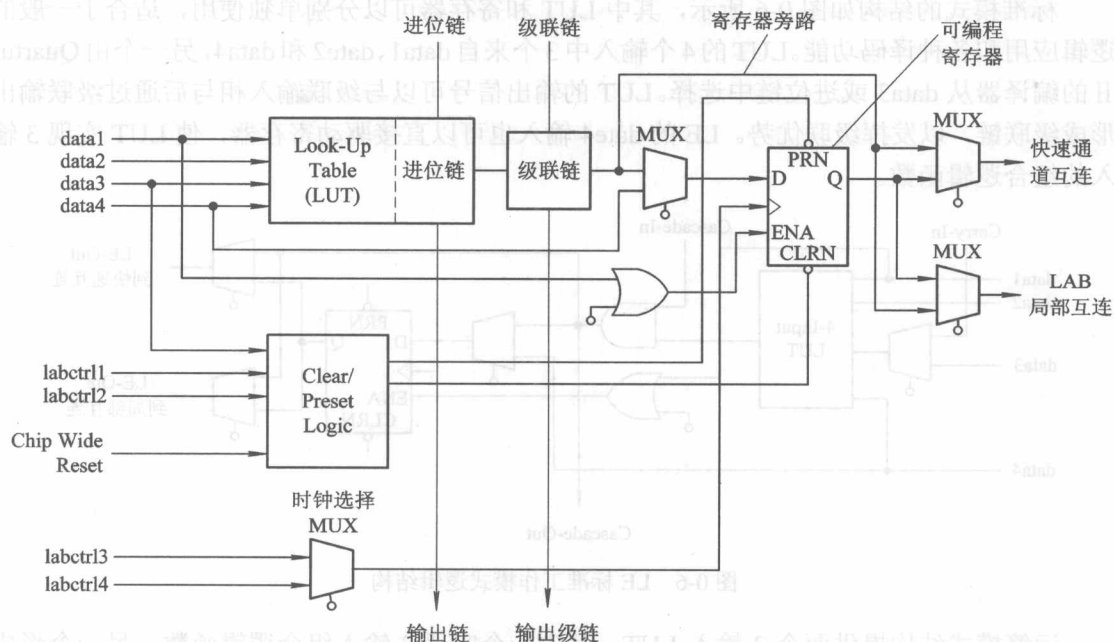


图 0-5 LE 逻辑结构示意图

LUT 的 4 个输入 data1~data4 来自 LAB 的局部互连。每个 LE 另外还有 7 个输入：局部控制信号 labctrl1~labctrl4，芯片级复位(Chip Wide Reset)，来自前级进位链输入和级联链输入。芯片级复位特性在设计输入时建立，该信号有效时使器件内所有寄存器复位或置位。

LE 有两个驱动互连通道的输出信号，一个驱动局部互连(LAB Local Interconnect)，另一个驱动行或列的快速通道互连(Fast Track Interconnect)，两个信号可以分别单独控制。例如，可以利用 LUT 驱动局部互连，而以触发器驱动快速互连。

LE 可编程寄存器的清除/置位控制逻辑(Clear/Preset Logic)有 6 种模式：异步清除(Asynchronous Clear)、异步置位(Asynchronous Preset)、异步清除及置位(Asynchronous Clear and Preset)、带清除的异步加载(Asynchronous Load With Clear)、带置位的异步加载(Asynchronous Load With Preset)、无清除或置位的异步加载(Asynchronous Load Without Clear or Preset)。

可编程寄存器清除与置位功能由输入到 LE 的 labctrl1、labctrl2 和 Chip Wide Reset 信号控制，data3 输入异步加载数据。其中 Chip Wide Reset 信号在任何清除/置位模式中都优先控制，除异步置位模式使寄存器置位外，其他模式都使寄存器清除。Quartus II 的编译器能够自动选择最优的信号实现清除/置位控制，并将未用的控制端置无效电平。

LE 的工作模式有 4 种：标准模式(Normal Mode)、运算模式(Arithmetic Mode)、加/减计数模式(Up/Down Counter Mode)和可清除计数模式(Clearable Counter Mode)，每种模式使用