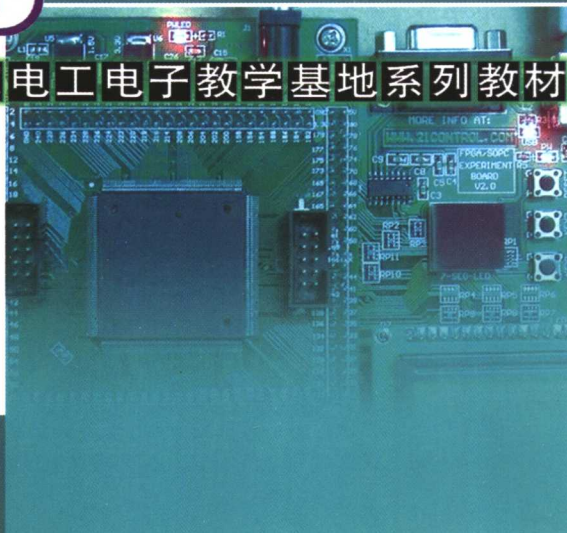
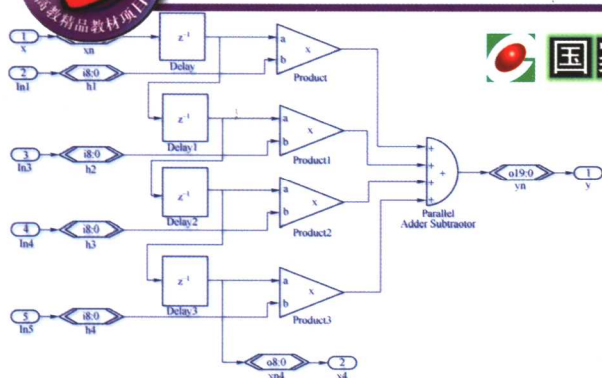




北京市高等教育精品教材立项项目



国家电工电子教学基地系列教材



SOPC技术 基础教程

◎ 侯建军 郭 勇 编著



清华大学出版社
<http://www.tup.tsinghua.edu.cn>



北京交通大学出版社
<http://press.bjtu.edu.cn>

TP332.1/53

2008

北京市高等教育精品教材立项

国家电工电子教学基地系列教材

SOPC 技术基础教程

侯建军 郭 勇 编著

清华大学出版社
北京交通大学出版社
·北京·

内 容 简 介

本书系统地介绍了基于FPGA的SOPC的软硬件开发技术,以一个简单的设计实例为主线介绍软硬件的开发流程、开发工具的使用及开发的思想,使读者对SOPC技术有一个基本的了解。将Nios II体系结构、Avalon总线规范、Nios II处理器常用外部设备的更多底层细节提供给读者,使读者获得进行高级开发的能力,如第8章介绍的定制指令、定制外设开发和C2H编译器的使用。另外还介绍了使用MATLAB和DSP Builder进行基于FPGA的DSP开发技术,并提供了一些典型的实验。

本书可作为高等院校电子信息类专业本科生、研究生的教材,也可以作为相关工程技术人员的参考书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13501256678 13801310933

图书在版编目(CIP)数据

SOPC技术基础教程/侯建军,郭勇编著. —北京:清华大学出版社;北京交通大学出版社, 2008.5

(国家电工电子教学基地系列教材)

北京市高等教育精品教材立项项目

ISBN 978-7-81123-027-7

I. S… II. ①侯… ②郭… III. 微处理器-系统设计-高等学校-教材 IV. TP332

中国版本图书馆CIP数据核字(2008)第010273号

策划编辑:韩 乐

责任编辑:郭东青

出版发行:清华大学出版社 邮编:100084 电话:010-62776969

北京交通大学出版社 邮编:100044 电话:010-51686414

印刷者:北京东光印刷厂

经 销:全国新华书店

开 本:185×230 印张:25 字数:569千字

版 次:2008年5月第1版 2008年5月第1次印刷

书 号:ISBN 978-7-81123-027-7/TP·400

印 数:1~4000册 定价:39.00元

本书如有质量问题,请向北京交通大学出版社质监组反映。对您的意见和批评,我们表示欢迎和感谢。

投诉电话:010-51686043, 51686008; 传真:010-62225406; E-mail: press@bjtu.edu.cn。

国家电工电子教学基地系列教材 编审委员会成员名单

主 任 谈振辉

副主任 张思东 赵乐沅 孙雨耕

委 员 (以姓氏笔画为序)

王化深	卢先河	刘京南	朱定华	沈嗣昌
严国萍	杜普选	李金平	李哲英	张有根
张传生	张晓冬	陈后金	邹家驷	郑光信
屈 波	侯建军	贾怀义	徐国治	徐佩霞
廖桂生	薛 质	戴瑜兴		

总 序

当今信息科学技术日新月异,以通信技术为代表的电子信息类专业知识更新尤为迅猛。培养具有国际竞争能力的高水平的信息技术人才,促进我国信息产业发展和国家信息化水平的提高,都对电子信息类专业创新人才的培养、课程体系的改革、课程内容的更新提出了富有时代特色的要求。近年来,国家电工电子教学基地对电子信息类专业的技术基础课程群进行了改革与实践,探索了各课程的认知规律,确定了科学的教育思想,理顺了课程体系,更新了课程内容,融合了现代教学方法,取得了良好的效果。为总结和推广这些改革成果,在借鉴国内外同类有影响教材的基础上,决定出版一套以电子信息类专业的技术基础课程为基础的“国家电工电子教学基地系列教材”。

本系列教材具有以下特色:

- ◇ 在教育思想上,符合学生的认知规律,使教材不仅是教学内容的载体,也是思维方法和认知过程的载体。
- ◇ 在体系上,建立了较完整的课程体系,突出了各课程内在联系及课群内各课程的相互关系,体现微观与宏观、局部与整体的辩证统一。
- ◇ 在内容上,体现现代与经典、数字与模拟、软件与硬件的辩证关系,反映当今信息科学与技术的新概念和新理论,内容阐述深入浅出,详略得当。增加工程性习题、设计性习题和综合性习题,培养学生分析问题和解决问题的素质与能力。
- ◇ 在辅助工具上,注重计算机软件工具的运用,使学生从单纯的习题计算转移到基本概念、基本原理和基本方法的理解和应用,提高了学习效率和效果。

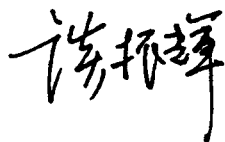
本系列教材包括:

《基础电路分析》、《现代电路分析》、《电路分析学习指导及习题精解》、《模拟集成电路基础》、《信号与系统》、《信号与系统学习指导及习题精解》、《模拟电子技术》、《模拟电子技术学习指导与习题精解》、《电子测量技术》、《微机原理与接口技术》、《电路基础实验》、《电子电路实验及仿真》、《数字实验一体化教程》、《SOPC 技术基础教程》、《数字信息处理综合设计实验》、《电路基本理论》、《现代电子线路》(上、下册)、《电工技术》。

本系列教材的编写和出版得到了教育部高等教育司的指导、北京交通大学教务处及电子与信息工程学院的支持,在教育思想、课程体系、教学内容、教学方法等方面获得了国内同行们的帮助,在此表示衷心的感谢。

北京交通大学
“国家电工电子教学基地系列教材”

编审委员会主任

A handwritten signature in black ink, reading '谈振辉' (Tan Zhenhui), written in a cursive style.

2008年1月

前 言

微电子技术与计算机技术的飞速发展对电子系统的设计技术产生了巨大而深远的影响，电子系统的设计技术在近几年发生了革命性的变化。

在集成电路（IC）发展初期，电路设计都是从器件的物理版图设计入手。后来出现了集成电路单元库，使得集成电路设计从器件级进入逻辑级，极大地推动了 IC 产业的发展。随着 IC 设计技术与工艺水平的发展，集成电路的集成度越来越高，规模越来越大，在 20 世纪 90 年代末，SOC（System On Chip）技术成为主流的设计技术。SOC 称为片上系统，是指将一个完整产品的功能集成在一个芯片上或芯片组上。SOC 从系统的整体角度出发，以 IP（Intellectual Property）核为基础，以硬件描述语言作为系统功能和结构的描述手段，借助于以计算机为平台的 EDA 工具进行开发。由于 SOC 设计能够综合、全盘考虑整个系统的情况，因而可以实现更高的系统性能。

SOPC（System On a Programmable Chip，片上可编程系统）是 Altera 公司提出的一种灵活、高效的 SOC 解决方案，是一种新的软硬件协同设计的系统设计技术，它将处理器、存储器（ROM、RAM 等）、总线和总线控制器、I/O 端口、DSP、锁相环等集成到一片 FPGA 芯片中。SOPC 技术是可编程器件技术与 SOC 技术的融合，代表半导体产业未来的发展方向。SOPC 的设计周期短、成本低。现在 SOPC 技术已经成为众多中小企业、科研院所和大专院校青睐的设计技术。

SOPC 技术是新兴的技术，有许多新的概念、设计理念和设计方法，但同时 SOPC 技术又有很强的应用性，而且通过实践可以更好地掌握 SOPC 技术。因此，本书的编写特征是由浅入深、循序渐进，理论和实践并重、理论和实践紧密结合。相应的理论讲解完后一定有相应的配套实验。本书贯穿少而精的原则，力求重点突出，基本概念明确清晰。

参加本书编写的教师多年来一直从事电子电路课程体系、课程内容的改革，总结了多年的教学经验，尤其是在新技术方面有较大的突破。本书由侯建军教授任主编，郭勇老师执笔第 2、4、5、6、7、8 章，侯建军老师执笔其余各章，并对全书进行了整理和统稿。陈后金教授认真审阅了大部分章节，并提出了许多宝贵意见。借此机会也向所有关心、支持和帮助过本书编写的同志们和北京革新科技有限公司致以诚挚的谢意。

限于作者水平有限，书中难免出现不妥之处和错误，恳请读者批评指正。

编 者

2008 年 3 月

目 录

第 1 章 绪论	1
1.1 基本概念	1
1.1.1 SOC 系统	1
1.1.2 SOPC	2
1.1.3 IP 核	2
1.2 Nios II 软核处理器简介	4
1.2.1 可定制特性	4
1.2.2 系统性能可配置性	5
1.2.3 延长产品生存周期	8
1.3 SOPC 设计流程	8
1.4 支持 Nios II CPU 的 FPGA 型号	9
1.4.1 Cyclone 和 Cyclone II 系列	9
1.4.2 Stratix 和 Stratix II 系列	11
1.4.3 HardCopy 器件	13
第 2 章 SOPC 的硬件开发环境及硬件开发流程	14
2.1 创建 Quartus II 工程	14
2.2 创建 Nios II 系统模块	18
2.2.1 创建顶层实体	18
2.2.2 创建 Nios II 系统模块	20
2.2.3 分配 IP 模块的地址和中断号	29
2.2.4 配置 Nios II 系统	30
2.2.5 生成 Nios II 并加入到工程中	31
2.2.6 加入引脚和嵌入式锁相环	32
2.3 设计优化	39
2.3.1 面积与速度的优化	39
2.3.2 时序约束与设置	40
2.3.3 Fitter 设置	42
2.4 编译	42
2.4.1 编译设置	43
2.4.2 引脚分配	45

2.4.3 编译用户设计	47
2.5 编程下载	48
2.5.1 下载	48
2.5.2 验证	49
第3章 Nios II 体系结构	51
3.1 Nios II 处理器结构	51
3.2 Nios II 寄存器文件	54
3.2.1 通用寄存器	54
3.2.2 控制寄存器	55
3.3 存储器和 I/O 组织	55
3.3.1 指令和数据总线	56
3.3.2 高速缓存	58
3.3.3 紧耦合存储器	59
3.3.4 地址映射	59
3.4 寻址方式	60
第4章 Avalon 总线规范	61
4.1 Avalon 总线简介	61
4.2 Avalon 总线基本概念	62
4.2.1 Avalon 外设和交换架构	63
4.2.2 Avalon 信号	64
4.2.3 主端口和从端口	64
4.2.4 传输	65
4.2.5 主从端口对	65
4.2.6 周期	65
4.3 Avalon 信号	65
4.3.1 信号类型的完整列表	66
4.3.2 信号极性	69
4.3.3 信号命名规则	69
4.3.4 Avalon 信号时序说明	69
4.3.5 传输属性	70
4.4 从端口传输	70
4.4.1 从端口信号详述	71
4.4.2 从端口读传输	73
4.4.3 从端口写传输	77
4.5 主端口传输	80

4.5.1	主端口信号	81
4.5.2	主端口基本读传输	82
4.5.3	主端口基本写传输	83
4.5.4	等待周期、建立时间和保持时间属性	84
4.5.5	流水线、突发和三态属性	85
4.6	流水线传输属性	85
4.6.1	具有固定延迟的从端口流水线读传输	85
4.6.2	具有可变延迟的从端口流水线读传输	87
4.6.3	主端口流水线传输	89
4.7	流控制	90
4.7.1	具有流控制的从端口传输	91
4.7.2	具有流控制的主端口传输	94
4.8	三态传输	95
4.8.1	三态从端口传输	96
4.8.2	三态主端口传输	102
4.9	突发传输	103
4.9.1	限制	103
4.9.2	主端口突发传输	104
4.9.3	从端口突发传输	106
4.10	和传输无关的信号	109
4.10.1	中断请求信号	110
4.10.2	复位控制信号	110
4.11	地址对齐	111
4.11.1	本地地址对齐	111
4.11.2	动态地址对齐	112
第 5 章	基于 FPGA 的 DSP 开发技术	114
5.1	基于 MATLAB/DSP Builder 的 DSP 模块设计流程	114
5.2	正弦发生器模块的设计	116
5.2.1	建立模型	117
5.2.2	模型仿真	123
5.2.3	使用 SignalCompiler 从算法到硬件的实现	128
5.2.4	使用 ModelSim 进行 RTL 级仿真	132
5.2.5	使用 Quartus II 进行时序仿真	134
5.2.6	硬件实现与测试	135
5.2.7	使用嵌入式逻辑分析仪 SignalTap II 进行测试	137

5.3	DSP Builder 的层次设计	143
5.4	FIR 数字滤波器设计	147
5.4.1	FIR 滤波器原理	147
5.4.2	16 阶 FIR 滤波器的设计	147
5.4.3	使用 MATLAB 的 FDATool 进行滤波器系数的计算	152
5.4.4	使用 MegaCore 实现 FIR 滤波器的设计	159
5.5	IIR 数字滤波器的设计	164
5.6	快速傅立叶变换	167
5.7	MegaCore 的使用	170
5.7.1	伪随机序列的原理	171
5.7.2	伪随机序列发生器的设计	171
5.7.3	其他常用的 MegaCore	173
第 6 章	软件设计流程和方法	175
6.1	Nios II IDE 简介	175
6.1.1	工程管理器	176
6.1.2	编辑器和编译器	178
6.1.3	调试器	179
6.1.4	闪存编程器	180
6.2	软件开发流程	180
6.2.1	Nios II 程序的构成	180
6.2.2	Nios II IDE 软件开发步骤	182
6.3	运行和调试程序	191
6.3.1	调试/运行环境设置	192
6.3.2	调试/运行程序	195
6.3.3	下载程序到 Flash	195
6.4	硬件抽象层库	198
6.4.1	HAL 简介	198
6.4.2	HAL 体系结构	198
6.5	使用 HAL 开发应用程序	201
6.5.1	Nios II IDE 工程结构	202
6.5.2	系统描述文件——system. h	202
6.5.3	数据宽度和 HAL 类型定义	203
6.5.4	UNIX 风格的接口	204
6.5.5	文件系统	204
6.5.6	使用字符型设备	206

6.5.7	使用文件子系统	207
6.5.8	使用定时器设备	207
6.5.9	使用 flash 设备	210
6.5.10	使用 DMA 设备	215
6.5.11	启动顺序和入口点	220
6.6	异常处理	222
6.6.1	异常处理概念	222
6.6.2	硬件如何工作	223
6.6.3	ISR 性能数据	227
6.6.4	调试 ISR	230
第 7 章	Nios II 常用外设编程	231
7.1	并行输入/输出内核	231
7.1.1	PIO 寄存器描述	231
7.1.2	软件编程	233
7.2	定时器	235
7.2.1	定时器寄存器描述	236
7.2.2	软件编程	237
7.3	异步串口 UART	239
7.3.1	UART 内核功能描述	239
7.3.2	在 SOPC Builder 中实例化 UART	241
7.3.3	UART 寄存器描述	243
7.3.4	中断行为	247
7.3.5	软件编程	247
7.4	Optrex 16207 LCD 控制器内核	250
7.4.1	功能描述	250
7.4.2	软件编程	251
7.5	通用 Flash 接口控制器内核	251
7.5.1	功能描述	251
7.5.2	在 SOPC Builder 中实例化 CFI 控制器内核	252
7.5.3	软件编程	253
7.6	DMA 内核	254
7.6.1	功能描述	254
7.6.2	在 SOPC Builder 中实例化 DMA 内核	256
7.6.3	软件编程	257
第 8 章	Nios II 系统高级开发技术	259

8.1 用户定制指令	259
8.1.1 定制指令综述	260
8.1.2 定制指令体系结构的类型	261
8.1.3 软件接口	266
8.1.4 实现 Nios II 定制指令	269
8.2 用户定制外设	273
8.2.1 元件开发流程	273
8.2.2 硬件设计	274
8.2.3 软件设计	275
8.2.4 验证元件	276
8.2.5 设计实例：脉宽调制器从外设	277
8.2.6 共享元件	289
8.3 C2H 编译器的使用	290
8.3.1 C2H 概念	291
8.3.2 适合硬件加速的 C 代码	294
8.3.3 C2H 编译器设计流程	296
附录 A 电子钟 C 语言的源程序和头文件	306
附录 B GX-SOC/SOPC 专业级创新开发实验平台硬件介绍	323
附录 C SOPC 实验	333
参考文献	383

第 1 章 绪 论

微电子技术与计算机技术的飞速发展对电子系统的设计技术产生了巨大而深远的影响，电子系统的设计技术在近几年发生了革命性的变化。

在集成电路（IC）发展初期，电路设计都是从器件的物理版图设计入手。后来出现了集成电路单元库，使得集成电路设计从器件级进入逻辑级，极大地推动了 IC 产业的发展。不过当时 IC 之间是通过 PCB 板等技术来进行互联而构成整个系统的，所以 PCB 板上 IC 芯片之间连线的延时、PCB 板的可靠性、PCB 板的尺寸等因素，会对系统的整体性能造成很大的限制。传统的集成电路设计技术已经不能满足现代电子系统对整机性能的日益提高的要求。

随着 IC 设计技术与工艺水平的发展，集成电路的集成度越来越高，规模越来越大，在 20 世纪 90 年代末，达到了可以将整个系统集成在一个芯片上的水平，高性能产品的要求和微电子技术的发展使 SOC（System On Chip）技术成为主流的设计技术。SOC 称为片上系统，是指将一个完整产品的功能集成在一个芯片上或芯片组上。SOC 从系统的整体角度出发，以 IP（Intellectual Property）核为基础，以硬件描述语言作为系统功能和结构的描述手段，借助于以计算机为平台的 EDA 工具进行开发。由于 SOC 设计能够综合、全盘考虑整个系统的情况，因而可以实现更高的系统性能。SOC 的出现是电子系统设计领域内的一场革命，其影响将是深远和广泛的。SOC 是专用集成电路系统，其设计周期长、成本高，SOC 的设计技术难以被中小企业、研究院所和大专院校采用。

SOPC（System On a Programmable Chip，片上可编程系统）是 Altera 公司提出的一种灵活、高效的 SOC 解决方案。它将处理器、存储器（ROM、RAM 等）、总线和总线控制器、I/O 口、DSP、锁相环等集成到一片 FPGA 中。它具有灵活的设计方式，可裁剪、可扩充、可升级，并具备软硬件在系统可编程功能。由于市场上有丰富的 IP Core 可供选择，用户可以快速地构成各种不同的系统，有些可编程器件内还包含有部分可编程模拟电路。以上的特点使得 SOPC 的设计周期短、成本低。

1.1 基本概念

1.1.1 SOC 系统

从集成规模和系统功能的角度来考察，SOC 并没有严格的定义。广义而言，SOC 指的是在单片上集成系统级、多元化的大规模功能模块，从而构成一个能够处理各种信息的集成

系统。这个集成系统通常包括一个主控单元和一些功能模块，主控单元通常是一个处理器，这个处理器可以是一个通用的处理器的核，也可以是数字信号处理器的核，还可以是一个专用的运算控制逻辑单元，在主控单元周围集成了一些功能模块，分别完成不同的功能。在 SOC 中将硬件逻辑与智能算法集成在一起。从系统集成的角度看，SOC 是以不同模型、不同工艺的电路集成作为支持基础的，所以要实现 SOC，首先必须重点研究器件的结构与设计技术、工艺兼容技术、信号处理技术、测试与封装技术等，这是 SOC 设计的一个重要方面。另一方面，要研究 SOC 的应用技术，即对现有的 SOC，针对既定的功能要求，进行工程开发的技术，这将涉及到比前者更多的工程技术人员的参与。

狭义地讲，SOC 是一种结合了许多功能模块和微处理器核的单芯片电路系统，传统的设计都是根据功能划分设计成多个功能模块，加上微处理器，做在一个电路板上。利用 SOC 技术可以大大缩小系统所占的面积，提高系统的性能和健壮性。在批量生产的情况下，可大量地降低成本。

使用可重用的 IP 来构建 SOC 系统，可以缩短产品的开发周期，降低开发的复杂度。可重复利用的 IP 包括元件库、宏及特殊的专用 IP 等，如通信接口 IP、输入输出接口 IP；各开发商开发的微处理器 IP，如 ARM 公司的 RISC 架构的 ARM 核。SOC 嵌入式系统就是微处理器的 IP 再加上一些外围 IP 整合而成的。

SOC 以嵌入式系统为核心，集软、硬件于一体，并追求最高的集成度，是电子系统设计发展的必然趋势和最终目标，是现代电子系统设计的最佳方案。SOC 是一种系统集成芯片，其系统功能可以完全由硬件完成，也可以由硬件和软件协同完成。目前的 SOC 主要指后者。

1.1.2 SOPC

SOPC 是 SOC 技术与可编程逻辑技术结合的产物，即基于大规模 FPGA 的单芯片系统。它是由美国的 Altera 公司在 2000 年提出来的，同时推出了相应的开发软件和可供利用的 IP。此外，还有很多公司开发的 IP 可供选择。Altera 公司提供了 SOPC 开发的整体解决方案，所以开发效率高、成本低、不存在兼容性的问题。

1.1.3 IP 核

IP (Intellectual Property) 是知识产权的简称，SOC 和 SOPC 在设计上都是以集成电路 IP 核为基础的。集成电路 IP 经过预先设计、验证，符合产业界普遍认同的设计规范和设计标准，并具有相对独立并可以重复利用的电路模块或子系统，如 CPU、运算器等。集成电路 IP 模块具有知识含量高、占用芯片面积小、运行速度快、功耗低、工艺容差性大等特点，还具有可重用性，可以重复应用于 SOC、SOPC 或复杂的 ASIC 的设计当中。

美国 Dataquest 咨询公司将半导体产业的 IP 定义为用于 ASIC、ASSP 和 PLD 等当中, 并且是预先设计好的电路模块。IP 核模块有行为 (Behavior)、结构 (Structure) 和物理 (Physical) 三个不同级别的设计, 对应描述功能的不同分为三类, 即软核 (Soft IP Core)、完成结构描述的固核 (Firm IP Core) 和基于物理描述并经过工艺验证的硬核 (Hard IP Core)。

1. 软核

IP 软核通常是用 HDL 文本形式提交给用户, 它经过 RTL 级设计优化和功能验证, 但其中不含有任何具体的物理信息。据此, 用户可以综合出正确的门电路级设计网表, 并可以进行后续的结构设计, 具有很大的灵活性。借助于 EDA 综合工具可以很容易地与其他外部逻辑电路合成一体, 根据各种不同半导体工艺, 设计成具有不同性能的器件。IP 软内核也称为虚拟组件 (Virtual Component, VC)。

2. 硬核

IP 硬核是基于半导体工艺的物理设计, 已有固定的拓扑布局和具体工艺, 并已经过工艺验证, 具有可保证的性能。其提供给用户的形式是电路物理结构掩模版图和全套工艺文件, 是可以拿来就用的全套技术。

3. 固核

IP 固核的设计程度则是介于软核和硬核之间, 除了完成软核所有的设计外, 还完成了门级电路综合和时序仿真等设计环节。一般以门级电路网表的形式提供给用户。

在 SOPC 的设计中, 嵌入式的微处理器的 IP 分软核和硬核两种。基于 FPGA 嵌入 IP 硬核的 SOPC 系统, 是在 FPGA 中以硬核的方式预先植入嵌入式系统处理器, 可以是 ARM 或其他的微处理器知识产权核, 然后利用 FPGA 中的可编程逻辑资源和 IP 核来实现其他的外围器件和接口。这样使得 FPGA 的灵活的硬件设计和实现与处理器的强大运算功能可以很好地结合。

基于 FPGA 嵌入 IP 硬核的 SOPC 系统的高性能是以降低灵活性和高成本为代价的, 有以下的缺点。

(1) 此类硬核多来自第三方公司, FPGA 厂商需要支付知识产权费用, 从而导致 FPGA 器件价格相对偏高。

(2) 由于硬核是预先植入的, 设计者无法根据实际需要改变处理器的结构, 如总线宽度、接口方式等, 更不能将 FPGA 逻辑资源构成的硬件模块以指令的形式形成内置嵌入式系统的硬件加速模块。

(3) 无法根据实际需要要在同一 FPGA 中使用多个处理器核。

(4) 无法裁剪处理器的硬件资源以降低 FPGA 成本。

(5) 只能在特定的 FPGA 中使用硬核。

基于 FPGA 嵌入 IP 软核的 SOPC 系统可以弥补上述的缺点, 目前最具代表性的软核嵌入式系统处理器分别是 Altera 公司的 Nios 和 Nios II, 以及 Xilinx 的 MicroBlaze 核。Altera 公司的 Nios 和 Nios II 软核是用户可以配置的嵌入式软核, 软核的好多特性都可以进行配置, 如总线宽度、指令集等。同时 Altera 公司的完备的开发工具提供给客户一个良好的开发环境, SOPC Builder 中包含了其他常用的外设 IP 模块和接口模块, 同时用户也可以自己设计自己的外设 IP。用户无需为 Nios 支付知识产权费用。通过 MATLAB 和 DSP Builder, 或直接使用 VHDL 等硬件描述语言, 用户可以为 Nios 嵌入式处理器设计各类加速器, 并以指令的形式加入 Nios 的指令系统, 从而成为 Nios 系统的一个接口设备, 与整个片内嵌入式系统融为一体。

1.2 Nios II 软核处理器简介

在第一代软核处理器 Nios 取得巨大成功的基础上, Altera 公司于 2004 年 6 月推出了 Nios II 软核处理器, 相对于 Nios, Nios II 性能更高, 占用 FPGA 的资源更少, 而与之配套的开发环境更先进, 有更多的资源可供用户使用。

当今的嵌入式设计工程师面临很棘手的挑战: 寻找一款能够实现特性、成本、性能和生命周期完美组合的处理器。Altera Nios II 处理器所具有的完全可定制特性、性能可配置性、较低的产品和实施成本、易用性、适应性和不会过时等优势使其成为工程师们的最佳选择。

Nios II 系列 32 位 RISC 嵌入式处理器具有超过 200 DMIP 的性能, 在 FPGA 中实现的成本只有 35 美分。由于处理器是软核形式, 具有很大的灵活性, 用户可以在多种系统设置组合中进行选择, 达到性能、特性和成本目标。采用 Nios II 处理器进行设计, 可以帮助用户将产品迅速推向市场, 延长产品生命周期, 防止出现处理器过时的弊病。

下面详细阐述 Nios II 软核处理器的这些特性。

1.2.1 可定制特性

采用 Nios II 处理器, 开发者将不会局限于预先制造的处理器技术, 而是根据自己的标准定制处理器, 按照需要选择合适的外设、存储器和接口。此外, 用户还可以轻松集成自己专有的功能, 使设计具有独特的竞争优势。Nios II 具有完全可定制和重新配置特性, 所实现的产品可满足现在和今后的需求。

1. 三种处理器内核

Nios II 处理器系列包括三种内核——快速 (Nios II /f)、标准 (Nios II /s) 和经济型 (Nios II /e), 每一型号都针对价格和性能进行了优化, 三种类型的内核特性对比参见表 1-1。