



高等学校电子与通信类专业“十一五”规划教材

Pentium系列微型计算机 原理与接口技术

主编 杜巧玲
主审 龚向东



西安电子科技大学出版社
<http://www.xduph.com>

高等学校电子与通信类专业“十一五”规划教材

Pentium 系列微型计算机原理与 接口技术

主 编 杜巧玲

副主编 于 枫 任增强 杨柏胜

主 审 龚向东

西安电子科技大学出版社

2008

内 容 简 介

本书以 32 位微处理器 Intel Pentium 为平台,在介绍微型计算机基本知识的基础上,系统地阐述了 Pentium 系列微型计算机的体系结构、原理及接口技术,同时介绍了 Pentium II 微处理器的新技术。主要内容包括微型计算机的运算基础与结构基础、Pentium 微处理器的系统原理、汇编语言结构和寻址方式、存储器管理技术、高速缓冲存储器、浮点部件、总线部件、中断管理技术、I/O 接口技术及外围接口芯片、汇编语言程序设计方法等。

本书注重基础,取材新颖,内容丰富,实用性强;涉及的技术较新,反映了现代微处理器技术发展的最新趋势。

本书既可作为高等院校信息工程、电子工程、自动控制及网络工程等专业的教学用书,也可作为其他专业的选修课教材,亦可供社会读者参考。

★ 本书配有电子教案,有需要的老师可与出版社联系,免费提供。

图书在版编目(CIP)数据

Pentium 系列微型计算机原理与接口技术 / 杜巧玲主编. —西安:西安电子科技大学出版社,2008.2

高等学校电子与通信类专业“十一五”规划教材

ISBN 978 - 7 - 5606 - 1989 - 7

I. P… II. 杜 III. ① 微型计算机—理论—高等学校—教材 ② 微型计算机—接口—高等学校—教材 IV. TP 36

中国版本图书馆 CIP 数据核字(2008)第 005163 号

策 划 曹 昶

责任编辑 寇向宏 曹 昶

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

<http://www.xduph.com> E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印刷单位 陕西华沐印刷科技有限责任公司

版 次 2008 年 2 月第 1 版 2008 年 2 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 21.25

字 数 493 千字

印 数 1~4000 册

定 价 30.00 元

ISBN 978 - 7 - 5606 - 1989 - 7/TP • 1031

XDUP 2281001-1

*** 如有印装问题可调换 ***

本社图书封面为激光防伪覆膜,谨防盗版。

高等学校电子与通信类专业“十一五”规划教材 编审专家委员会名单

主任：杨 震（南京邮电大学校长、教授）

副主任：张德民（重庆邮电大学通信与信息工程学院副院长、教授）

秦会斌（杭州电子科技大学电子信息学院院长、教授）

通信工程组

组 长：张德民（兼）

成 员：（成员按姓氏笔画排列）

王 晖（深圳大学信息工程学院副院长、教授）

巨永锋（长安大学信息工程学院副院长、教授）

成际镇（南京邮电大学通信与信息工程学院副院长、副教授）

刘顺兰（杭州电子科技大学通信工程学院副院长、教授）

李白萍（西安科技大学通信与信息工程学院副院长、教授）

张邦宁（解放军理工大学通信工程学院卫星系主任、教授）

张瑞林（浙江理工大学信息电子学院院长、教授）

张常年（北方工业大学信息工程学院院长、教授）

范九伦（西安邮电学院信息与控制系主任、教授）

姜 兴（桂林电子科技大学信息与通信学院副院长、教授）

姚远程（西南科技大学信息工程学院副院长、教授）

康 健（吉林大学通信工程学院副院长、教授）

葛利嘉（中国人民解放军重庆通信学院军事信息工程系系主任、教授）

电子信息工程组

组 长：秦会斌（兼）

成 员：（成员按姓氏笔画排列）

王 荣（解放军理工大学通信工程学院电信工程系系主任、教授）

朱宁一（解放军理工大学理学院基础电子学系主任、工程师）

李国民（西安科技大学通信与信息工程学院院长、教授）

李邓化（北京信息工程学院信息与通信工程系系主任、教授）

吴 谨（武汉科技大学信息科学与工程学院电子系主任、教授）

杨马英（浙江工业大学信息工程学院副院长、教授）

杨瑞霞（河北工业大学信息工程学院院长、教授）

张雪英（太原理工大学信息工程学院副院长、教授）

张 彤（吉林大学电子科学与工程学院副院长、教授）

张焕君（沈阳理工大学信息科学与工程学院副院长、副教授）

陈鹤鸣（南京邮电大学光电学院院长、教授）

周 杰（南京信息工程大学电子与信息工程学院副院长、教授）

欧阳征标（深圳大学电子科学与技术学院副院长、教授）

雷 加（桂林电子科技大学电子工程学院副院长、教授）

项目策划：毛红兵

策 划：曹 昞 寇向宏 杨 英 郭 景

前 言

当今社会,微型计算机在各行各业得以迅猛发展。20 世纪 80 年代初,微型计算机主要是以 16 位微处理器 8086/8088 为代表;80 年代末,出现了 16 位体系结构向 32 位体系结构转变的 80386 微处理器,以及提高指令执行速度和支持多处理器系统的 80486 微处理器。到了 90 年代,Intel 公司推出了第一代 Pentium 微处理器,微处理器技术发展进入了一个新阶段。

最早推出的 Pentium 与接下来出现的 Pentium MMX 同属第一代 Pentium 微处理器产品,简称 P5,其设计思想是如何把提高微处理器内部指令执行的并行性作为主导。继 P5 微处理器之后,Intel 公司推出了 P6 微处理器,例如,1997 年推出的 Pentium II 微处理器。从 P5 开始,为了提高微处理器内部操作的并行性,首先把片内的一级高速缓冲存储器(L1 Cache)分为专门存放指令代码的 I cache 与专门存放操作数的 D cache 两部分,这就可使处理器取指令操作与访问数据的操作重叠进行。另外,在片内实现了多重功能部件,如两条整数操作执行流水线,即超标量(superscalar)技术。为了使分支指令的执行不致影响流水线的连续运行,P5 微处理器中还实现了分支预测功能。P6 微处理器采用的一项创新技术是动态执行技术。这项技术是在 P6 内部通过硬件电路对处理器预取到的 30 条指令进行分析,打破原来指令流的顺序,将那些已形成功能的操作数的指令先行派送到流水线中去执行,尽量保证流水线高效持续运行。

本书全面介绍微处理器所采用的这些新技术。内容安排由浅入深,从易到难,循序渐进。在介绍微型计算机基本知识的基础上,阐述了 P5 微处理器在体系结构方面所采用的先进技术,系统地论述了 Pentium 系列微型计算机的基本结构、原理及接口技术,并同时介绍了 Pentium II 微处理器的新技术。全书共 12 章,第 1 章介绍微型计算机的运算基础与结构基础;第 2 章以 8086/8088 为代表介绍 80X86 架构微处理器;第 3 章主要阐述 Pentium 微处理器的系统原理、汇编语言结构和寻址方式;第 4 章主要介绍 Pentium 的存储器组织、保护方式下的分段和分页存储管理方式;第 5 章介绍高速缓冲存储器的工作原理、基本结构、操作方式和性能分析;第 6 章介绍 Pentium 的超标量流水线技术,包括整型流水线和浮点流水线,以及动态执行技术和分支预测;第 7 章主要介绍浮点部件的体系结构;第 8 章阐述中断的基本概念、中断处理过程、Pentium 中断机制、实模式中断处理过程及保护模式中断操作;第 9 章讲述总线的概念及分类、ISA 总线、EISA 总线、VESA 总线、PCI 总线、AGP 总线;第 10 章介绍可编程的 I/O 接口芯片,包括高性能可编程 DMA 控制器接口 82C37A-5、可编程中断控制器 82C59A、CMOS 可编程时间间隔定时器芯片 82C54、可编程外围接口 82C55A、可编程串行通信接口芯片 82C51A;第 11 章以 AD7522 芯片和 AD1143 芯片为代表,介绍数/模转换和模/数转换的接口技术;第 12 章介绍汇编语言的源程序结构和程序设计方法。

本书在注重基础讲解的同时,吸收了当前的一些最新技术,旨在奉献给读者一本实用并具有特色的教材。

由于水平有限,书中难免有疏漏和不妥之处,殷切希望广大读者批评指正。

编者

2007 年 11 月

目 录

第 1 章 微型计算机系统基础知识	1
1.1 概述	1
1.2 微型计算机的硬件结构和基本工作原理	2
1.2.1 微型计算机的基本结构	2
1.2.2 中央处理器(CPU)	3
1.2.3 存储器	7
1.2.4 I/O 设备	12
1.2.5 总线	15
1.3 计算机中信息的表示	15
1.3.1 进位计数制	15
1.3.2 数值信息在计算机内的表示	18
1.3.3 非数值信息在计算机内的表示	24
1.4 微型计算机的软件系统	29
1.4.1 软件分类	29
1.4.2 操作系统的概念	30
1.4.3 计算机语言和语言处理程序	30
1.5 微型计算机系统性能指标	33
1.5.1 计算机系统的组成	33
1.5.2 系统的基本配置	33
1.5.3 微型计算机的主要性能指标	34
习题 1	35
第 2 章 80X86 微处理器结构	37
2.1 微型计算机的发展概况	37
2.1.1 由 8086 到 Pentium	38
2.1.2 由 Pentium Pro 到 Pentium II/III	42
2.2 8086/8088 微处理器的结构	47
2.2.1 8086 的功能结构	47
2.2.2 8086/8088 的寄存器结构	48
2.3 8086 的引脚功能和工作模式	52
2.4 存储器组织和 I/O 组织	58
习题 2	60
第 3 章 Pentium 系统原理	61
3.1 概述	61
3.2 Pentium 微处理器体系结构	62
3.2.1 Pentium 微处理器的外形和封装	62

3.2.2 Pentium 微处理器的功能结构.....	64
3.3 Pentium 微处理器的寄存器.....	70
3.3.1 基本寄存器.....	70
3.3.2 系统级寄存器.....	80
3.3.3 Pentium 调试寄存器.....	85
3.4 RISC 和 CISC.....	87
3.4.1 复杂指令系统计算机(Complex Instruction Set Computer, CISC).....	88
3.4.2 精简指令系统计算机(Reduced Instruction Set Computer, RISC).....	88
3.5 Pentium 指令格式与寻址方式.....	89
3.5.1 指令格式.....	89
3.5.2 寻址方式.....	91
3.6 数据类型.....	93
3.6.1 基本的数据类型.....	93
3.6.2 Pentium 的操作数类型.....	94
3.6.3 Pentium FPU 的数据类型.....	95
3.7 Intel Pentium II 微处理器.....	97
习题 3.....	98
第 4 章 Pentium 存储管理.....	99
4.1 概述.....	99
4.2 存储器组织.....	100
4.2.1 实模式下的存储器组织.....	100
4.2.2 保护模式下的存储器组织.....	101
4.2.3 虚拟 8086 模式下的存储器组织.....	102
4.3 保护方式的分段模型.....	103
4.3.1 平面模型.....	104
4.3.2 带保护的平面模型.....	104
4.3.3 多段模型.....	105
4.4 Pentium 段的转换.....	106
4.4.1 段寄存器及段描述符高速缓存器.....	107
4.4.2 段描述符表.....	115
4.5 保护方式的页转换.....	117
4.5.1 分页功能.....	118
4.5.2 控制寄存器的页属性.....	125
4.5.3 Pentium 微处理器后系列的页功能.....	126
4.5.4 物理地址扩展特性.....	128
4.5.5 物理地址扩展与页面尺寸扩展.....	130
4.6 保护方式的段和页转换的组合.....	132
习题 4.....	134
第 5 章 高速缓冲存储器.....	135
5.1 高速缓冲存储器的工作原理.....	135

5.2 高速缓冲存储器的基本结构	137
5.2.1 全相联 Cache	138
5.2.2 直接映像 Cache	140
5.2.3 组相联 Cache	142
5.3 高速缓冲存储器的性能分析	144
5.4 高速缓冲存储器的操作方式	147
5.4.1 替换策略	147
5.4.2 Cache 与主存的一致性问题	148
5.5 MESI 一致性协议	149
5.5.1 MESI 一致性协议	149
5.5.2 MESI 协议状态转换规则	150
5.6 Pentium II 处理器的 Cache 技术	150
习题 5	152
第 6 章 超标量流水线	153
6.1 概述	153
6.2 整型流水线	154
6.2.1 Pentium 的流水线	155
6.2.2 指令配对	156
6.3 浮点流水线	160
6.4 动态执行技术	162
6.4.1 Pentium II 的流水线结构	162
6.4.2 动态执行过程	163
6.5 分支预测	165
习题 6	168
第 7 章 浮点部件	169
7.1 概述	169
7.2 浮点部件体系结构	170
7.2.1 数值寄存器	170
7.2.2 FPU 寄存器栈	171
7.2.3 状态字寄存器	172
7.2.4 控制字寄存器	175
7.2.5 标记字寄存器	176
7.2.6 最后的指令操作码字段	177
7.2.7 数值指令和数据指针	178
习题 7	179
第 8 章 中断	180
8.1 概述	180
8.1.1 中断概念	180
8.1.2 中断源分类	180

8.2 中断与异常	181
8.2.1 硬件中断	181
8.2.2 异常中断	182
8.2.3 软件中断	183
8.2.4 异常和中断向量	183
8.2.5 指令的重新启动	185
8.3 中断描述符表和中断描述符	185
8.3.1 中断描述符表	185
8.3.2 IDT 描述符	186
8.4 中断处理	187
8.4.1 实模式使用中断向量表	187
8.4.2 保护模式使用中断描述符表	187
8.5 出错代码	189
8.6 异常条件	189
习题 8	199
第 9 章 总线	200
9.1 概述	200
9.1.1 总线的概念	200
9.1.2 总线的工作原理	200
9.1.3 总线的分类	200
9.1.4 总线操作	202
9.1.5 总线结构	202
9.1.6 总线的主要参数	205
9.2 总线信号类型及总线周期	206
9.2.1 总线系统的层次	206
9.2.2 总线系统的信号类型	206
9.2.3 总线周期	207
9.3 ISA 总线	209
9.3.1 ISA 总线的特性	209
9.3.2 ISA 总线的引线定义	209
9.3.3 ISA 总线的体系结构	210
9.3.4 ISA 总线的插槽	210
9.4 EISA 总线	212
9.5 VESA 总线	212
9.6 PCI 总线	213
9.6.1 PCI 总线的特点及接口信号	214
9.6.2 采用北桥/南桥体系结构的芯片组	219
9.6.3 PCI 总线的应用	221
9.7 AGP	222

9.7.1	AGP 的主要特点	222
9.7.2	AGP 工作模式	222
习题 9		223
第 10 章	I/O 接口与可编程芯片	224
10.1	82C37A-5 高性能可编程 DMA 控制器接口	224
10.1.1	82C37A-5 的内部结构	224
10.1.2	82C37A-5 的内部寄存器	225
10.1.3	DMA 编程和应用举例	233
10.2	82C59A 可编程中断控制器	235
10.2.1	82C59A 的内部结构	235
10.2.2	82C59A 的程序设计	237
10.2.3	82C59A 在 Pentium 机上的应用	243
10.3	CHMOS 可编程时间间隔定时器芯片 82C54	243
10.3.1	82C54 的内部结构	244
10.3.2	82C54 的内部寄存器	245
10.3.3	82C54 编程和应用举例	247
10.4	82C55A 可编程外围接口	249
10.4.1	82C55A 的内部结构	249
10.4.2	82C55A 的控制字和 3 种工作方式	251
10.4.3	82C55A 编程和应用举例	252
10.5	可编程串行通信接口芯片 82C51A	255
10.5.1	串行通信	255
10.5.2	82C51A 的内部结构	256
10.5.3	82C51A 的寄存器	257
10.5.4	82C51A 编程和应用举例	259
习题 10		261
第 11 章	模/数转换及数/模转换	263
11.1	概述	263
11.2	D/A 转换器	264
11.2.1	D/A 转换器的基本原理	264
11.2.2	权电阻解码网络 D/A 转换器	265
11.2.3	T 形电阻解码网络 D/A 转换器	266
11.2.4	D/A 转换器的主要技术指标	267
11.3	A/D 转换器	268
11.3.1	采样/保持	268
11.3.2	A/D 转换器的基本原理	269
11.3.3	A/D 转换器的主要技术指标	272
11.4	D/A 转换芯片介绍	273
11.4.1	AD7522 的性能指标	273

11.4.2 AD7522 的各功能部件与引脚功能.....	273
11.5 A/D 转换芯片介绍.....	277
11.5.1 A/D 芯片基本构成.....	278
11.5.2 A/D 转换芯片 ADC1143	278
11.5.3 ADC1143 在 8031 单片机系统中的应用	281
习题 11	281
第 12 章 汇编语言程序设计	283
12.1 汇编语言概述	283
12.1.1 汇编语言和汇编程序的基本概念	283
12.1.2 汇编语言程序设计的基本步骤	284
12.2 汇编语言源程序结构	285
12.2.1 汇编语言语句格式	285
12.2.2 伪操作	288
12.2.3 宏操作	302
12.2.4 过程	303
12.2.5 宏操作和过程的比较	305
12.3 汇编程序设计	306
12.3.1 顺序结构程序设计	306
12.3.2 分支程序设计	308
12.3.3 循环程序设计	314
12.3.4 子程序	319
习题 12	326
参考文献.....	328

第1章 微型计算机系统基础知识

1.1 概 述

20 世纪 70 年代初期以来,随着微电子技术的飞速发展,大规模和超大规模集成电路芯片的不断涌现,以微处理器为核心的微型计算机在计算机的发展中取得了重大突破,给计算机的发展、应用和普及带来极其深刻的影响。因此,有人说微处理器及微型计算机的出现和崛起是计算机技术的第二次革命。

下面,首先说明几个基本概念,然后进一步介绍微型计算机系统的基础知识。

微处理器(Microprocessor,简称 MP 或 μP),通常是指在一块大规模或超大规模集成电路芯片上,把冯·诺依曼计算机体系结构中的运算器和控制器集成进去。这样,它虽然不是通常所指的微型计算机,但却是微型计算机的核心部件。近几年来,随着微电子和超大规模集成技术的迅速发展,微处理器内部不仅包括运算器和控制器等基本部件,而且已经把数学协处理器、高速缓冲存储器及多种接口和控制部件,甚至多媒体部件也集成到一块芯片内。因此,其功能之强大是可想而知的。

微型计算机(Microcomputer,简称 MC 或 μC),是以微处理器为核心,配上用大规模集成电路制作的存储器、输入/输出接口电路,以及系统总线等部件的“裸机”,它包含冯·诺依曼计算机体系结构中的五个部件。特别要指出的是,为了进一步微型化,在微型计算机的发展过程中,还出现了单片计算机和单板计算机。其中,前者是将微型计算机的所有部件全部集成在一块芯片上,而后者则是将微型计算机的各个部件安装在一块印制电路板上,从而使微型计算机更适合小型化的应用场合。

微型计算机系统(Microcomputer System,简称 MCS 或 μCS)是以微型计算机为核心,配置相应的外部设备、系统软件及应用软件,从而具有独立的数据处理和运算能力的设备。即微型计算机系统是微型计算机硬件、软件及外部设备的集合,使“裸机”变成一台完整的、可供用户直接使用的计算机或控制设备。

微型计算机系统、微型计算机和微处理器三者之间的关系如图 1-1 所示。

下面将介绍微型计算机的硬件结构、计算机中信息的表示、软件系统以及微型计算机系统的性能指标,从而为学习后续章节打下基础。

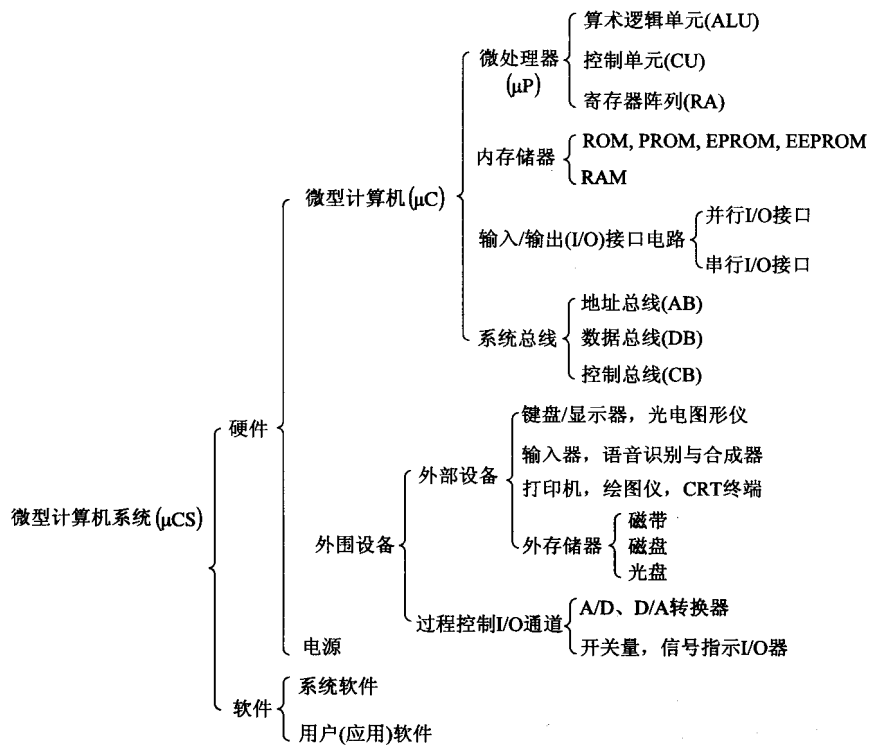


图 1-1 微型计算机系统、微型计算机和微处理器之间的相互关系

1.2 微型计算机的硬件结构和基本工作原理

1.2.1 微型计算机的基本结构

20 世纪 70 年代初, 美国 Intel 公司成功地将运算器与控制器集成在一个芯片上, 该芯片称为微处理器。这一技术的产生为微型计算机的崛起奠定了基础。微型计算机本质上与其他计算机并无太多的区别, 它的基本结构同样属于冯·诺依曼型, 就基本工作原理而言, 都是存储程序控制的原理, 所不同的是, 由于微型计算机广泛采用了集成度相当高的器件和部件, 因此具有以下一系列特点:

- ① 体积小, 重量轻。
- ② 价格低。
- ③ 可靠性高, 结构灵活。
- ④ 应用面广。
- ⑤ 功能强, 性能优越。

微型计算机通常由微处理器、存储器、输入/输出接口电路、总线及其他支持逻辑电路组成, 如图 1-2 所示。

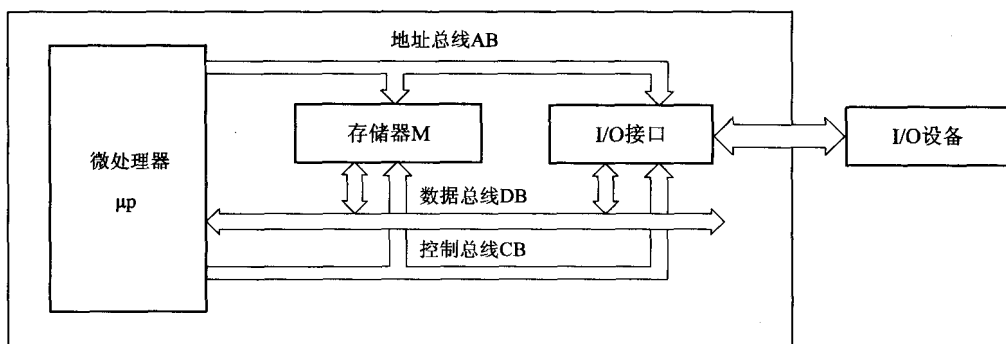


图 1-2 微型计算机组成原理框图

通常微处理器是一块大规模集成电路芯片，主要包含运算器和控制器两大核心部件，其功能是负责计算机的运算和控制。因此，又把微处理器叫做中央处理器或者中央处理部件(Central Processing Unit, CPU)。

存储器是用来存储数据和程序的部件。为了满足存储容量和存取速度的需要，存储器一般采用分级存储方式，即用速度较高的半导体存储器件作为内存，而用容量较大、存取速度相对较低的磁表面存储器或光盘存储器作为外存储器。

输入/输出接口又称为 I/O 接口，它是微型计算机与外部设备之间交换信息的通路。不同的外部设备与微型计算机相连都需要配备不同的接口。常见的输入/输出接口有显示器接口、打印机接口、串行通信接口等。

总线是连接上述各部件的公共线路。按照传送信号的性质，总线可分为数据总线、地址总线和控制总线，它们分别用于传送数据、地址和控制信号，而按照总线连接的对象不同，总线又可分为系统总线、局部总线和外部总线。其中，系统总线用于微机内各部件之间的连接，局部总线用于微机内 CPU 与外围芯片之间的连接，而外部总线则用于微机与外部设备之间的连接。

总之，上述微处理器、存储器、输入/输出接口及总线构成了计算机的硬件基础。通常，把这一部分叫做微型计算机，有时简称为主机。下面介绍这几个组成部分的特点和功能。

1.2.2 中央处理器(CPU)

微处理器是整个微型计算机硬件控制的指挥中心。不同型号的微型计算机性能的差别首先在于微处理器型号的不同。当今流行的 Intel 公司的 Pentium、Pentium Pro(高能 Pentium)、Pentium MMX(多能 Pentium)、Pentium II 和 Pentium III 等都是广泛使用的微处理器。微处理器的性能又与它的内部结构、硬件配置有关。但无论哪种微处理器，其基本部件都是相同的。

如上所述，中央处理器主要包括运算器和控制器两大部件，图 1-3 是典型 CPU 的基本结构，下面分别介绍这两个部件的基本组成和工作原理。

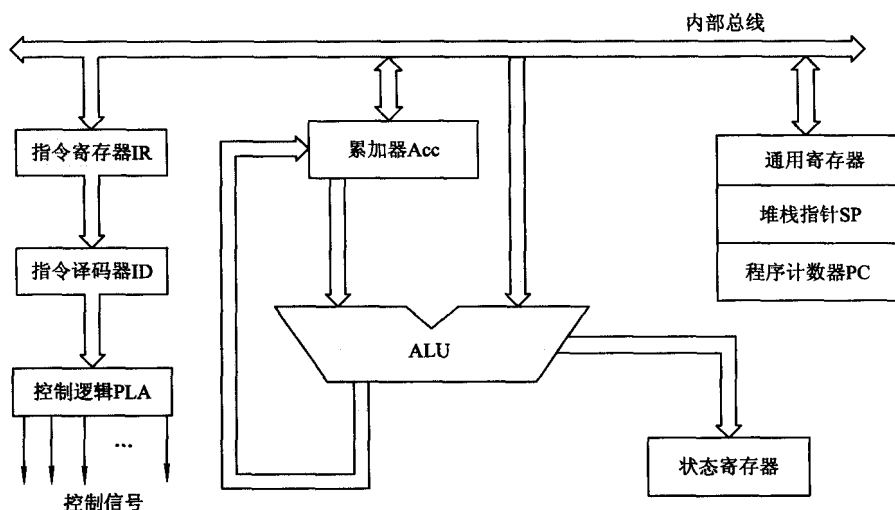


图 1-3 典型 CPU 的基本结构

1) 运算器

计算机中运算器需要具有完成多种运算操作的功能，因而必须将各种算法综合起来，设计一个完整的运算部件。运算器的组成取决于整机的设计思想和设计要求，采用不同的运算方法将导致不同的运算器组成。但由于运算器的基本功能是一样的，其算法也大致相同，因而不同机器的运算器大同小异。运算器主要由算术逻辑单元 ALU(Arithmetic Logic Unit)、累加器 Acc(Accumulator)、状态寄存器 FR(Flag Register)和寄存器 RS(Register Set)组成。运算器的设计主要是围绕着 ALU 和寄存器同数据总线之间如何传送操作数和运算结果而进行的。

运算器的基本功能是完成对各种数据的加工处理，例如，算术四则运算，与、或、求反等逻辑运算，算术和逻辑移位操作，比较数值，变更符号，计算主存地址等。运算器中的寄存器用于临时保存参加运算的数据和运算的中间结果等。运算器中还要设置相应的部件，用来记录一次运算结果的特征情况，如是否溢出，结果的符号位，结果是否为零等。

(1) 算术逻辑部件 ALU。ALU 主要完成对二进制信息的定点算术运算、逻辑运算和各种移位操作。算术运算主要包括定点加、减、乘和除运算。逻辑运算主要包括逻辑与、逻辑或、逻辑异或和逻辑非操作。移位操作主要完成逻辑左移和右移、算术左移和右移及其他移位操作。某些机器中 ALU 还要完成数值比较、变更数值符号、计算操作数在存储器中的地址等。可见，ALU 是一种功能较强的组合逻辑电路，有时被称为多功能发生器，它是运算器组成中的核心部件。ALU 能处理的数据位数(即字长)与机器有关，如 Z80 单板机中，ALU 是 8 位；IBM PC/XT 和 AT 机中，ALU 是 16 位；386 和 486 微机中，ALU 是 32 位。ALU 有两个数据输入端和一个数据输出端，输入/输出的数据宽度(即位)与 ALU 处理的数据宽度相同。

(2) 通用寄存器。近期设计的机器的运算器都有一组通用寄存器。它主要用来保存参加运算的操作数和运算结果。早期的机器只设计一个寄存器，用来存放操作数、操作结果和执行移位操作，由于可用于存放重复累加的数据，因而常称为累加器。通用寄存器均可作

为累加器使用。通用寄存器的数据存取速度是非常快的，目前一般是十几个纳秒(ns)。如果ALU的两个操作数都来自寄存器，则可以极大地提高运算速度。

通用寄存器可以兼作专用寄存器，包括用于计算操作数的地址。例如，可作为变址寄存器、程序计数器(PC)、堆栈指示器(SP)等。必须注意的是，不同的机器对这组寄存器使用的情况和设置的个数是不相同的。

(3) 状态寄存器。状态寄存器用来记录算术、逻辑运算或测试操作的结果状态。在程序设计中，这些状态通常用做条件转移指令的判断条件，所以又称为条件码寄存器。一般均设置如下几种状态位：

- ① 零标志位(Z)：当运算结果为0时，置“1”；当运算结果非0时，清“0”。
- ② 负标志位(N)：当运算结果为负时，置“1”；当运算结果为正时，清“0”。
- ③ 溢出标志位(V)：当运算结果发生溢出时，置“1”；当运算结果无溢出时，清“0”。
- ④ 进位或借位标志(C)：在做加法时，当运算结果最高有效位(对于有符号数来说，即符号位；对于无符号数来说，即数值最高位)向前产生进位时，C位置“1”；当运算结果最后无进位时，清“0”。在做减法时，当不够减，最高有效位向前有借位时，C位置“1”；最高有效位无借位时，C位清“0”。

除上述状态外，状态寄存器还常设有保存有关中断和机器工作状态(用户态或核心态)等信息的一些标志位，以便及时反映机器运行程序的工作状态，所以在有的机器中称它为“程序状态字”或“处理机状态字”(Processor Status Word, PSW)。应当说明，不同的机器规定的内容和标志符号不完全相同。

2) 控制器

控制器是计算机工作的指挥和控制中心，计算机按程序中每一条指令的要求，在控制器的统一指挥下工作。了解控制器的工作原理有助于了解计算机的全部工作过程。控制器的基本功能如下。

(1) 执行指令。执行指令包括取指令、分析指令与执行指令。其中，取指令时，控制器首先发出指令地址及控制信号，然后从存储器中取出一条指令到控制器。分析指令也叫解释指令或指令译码，是指出本指令要进行什么操作，并产生相应的操作控制命令，分析参与这次操作的各操作数所在的地址，即操作数的有效地址。执行指令是根据分析指令时产生的“操作命令”和“操作数地址”形成相应的操作控制信号序列，并通过存储器、运算器以及输入/输出设备的执行来实现每条指令的功能。一般情况下，还要形成下一条指令的地址，并取出下一条指令进行分析、执行，如此循环，直到程序执行完毕或有外来干预为止。

(2) 控制程序和数据的输入及结果的输出。程序和数据预先存放在存储器中，运算结果要输出以及在执行上述操作时，常采用的I/O指令都要由控制器统一指挥，以便完成主机和I/O设备之间的信息交换。

(3) 异常情况和某些请求的处理。计算机在运行时往往会遇到一些异常情况或某些请求，这些请求或异常情况事先无法预测，但是一旦发生，CPU应该立即对它们作出响应，这就要求控制器具有处理这类问题的功能。通常当这些情况出现时，由相应部件或设备向CPU发出“中断请求”信号，待执行完当前指令后，CPU响应该请求，中止当前执行的程序，转去执行中断程序，以便处理这些请求。当处理完毕后，再返回原程序继续执行。

图1-4是控制器组成示意图，它包括控制器最基本的组成部分。控制部分包括程序计数

器(Program Counter, PC)、指令寄存器(Instruction Register, IR)、指令译码器(Instruction Decoder, ID)以及控制信号发生电路等,实际机器的控制器要比该框图复杂得多。当代微机为了提高指令的执行速度,在 CPU 内有一个指令预取队列,可以预取出若干条指令,存放在由寄存器组成的队列中。这样,当执行程序需要取指令时,可以从速度比存储器快得多的寄存器中得到,从而缩短了执行程序的时间。提高指令执行速度的另一种技术就是当代微处理器采用的流水线技术。

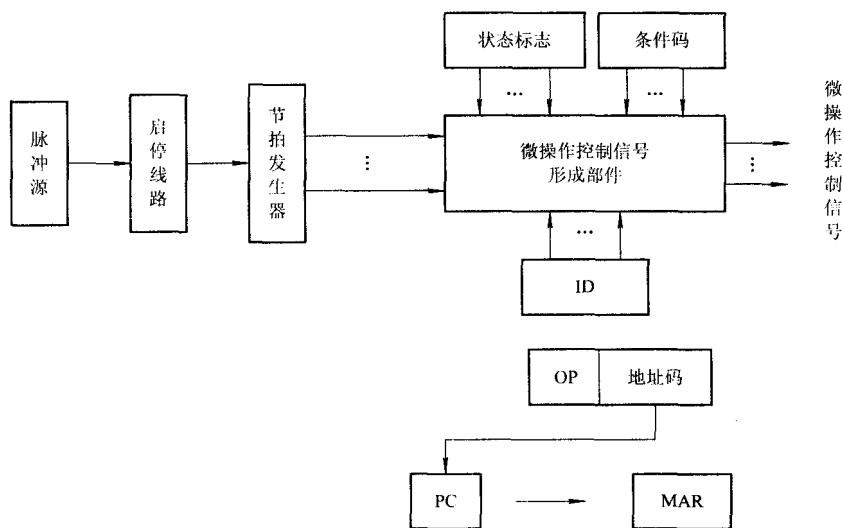


图 1-4 控制器组成示意图

(1) 程序计数器(PC)。程序计数器用以存放将要执行的下一条指令在内存中的地址,又称为指令地址寄存器。它应该能够指出内存中的任一地址,其位数通常与内存的地址寄存器位数相等。为了保证程序的连续执行,CPU 必须通过某些手段来确定下一条指令的地址,程序计数器正是为此而设置的,因此又被称为指令计数器。在程序开始执行前,将程序的第一条指令所在内存单元的地址送入 PC,以便从程序的第一条指令开始执行。在执行程序的过程中,CPU 自动修改 PC 的内容,使其保持的总是将要执行的下一条指令的地址。通过对 PC 加 1,使程序按顺序执行。PC 加 1 功能可以通过运算器的算术逻辑单元实现。

(2) 指令寄存器(IR)。指令寄存器用以存放当前正在执行的指令,以便在指令执行过程中,完成一条指令的全部控制功能。当执行一条指令时,首先从内存中将指令取出送到存储器数据寄存器,然后再传送至指令寄存器。

(3) 指令译码器(ID)。指令译码器主要是对指令寄存器中的操作码进行分析解释,产生相应的控制信号,有的机器也需要对寻址方式字段进行译码,用以产生有效地址所需的信号。译码器的输出反映了指令功能的一串控制电位序列,而哪些电位信号起作用,应该由指令的操作码和寻址模式决定,至于控制电位什么时候起控制作用,则由时序系统来决定。

(4) 时序部件。时序部件是指产生各种时序信号的部件。计算机完成一条指令的过程是通过执行若干个微操作来实现的,而且各个微操作的执行顺序又有严格的要求。时序部件用来产生一系列的时序信号,可以保证各个微操作的执行顺序。

时序部件一般由脉冲源、周期状态触发器、节拍发生器、启停线路等组成。它产生周