

版 权 声 明

Original edition, entitled *CMOS Circuit Design, Layout, and Simulation (Second Edition)* by R. Jacob Baker, ISBN 0-471-70055-X, published by John Wiley & Sons, Inc. Copyright © 2005 by the Institute of Electrical and Electronics Engineers, Inc.

All rights reserved. This translation published under license.

Translation edition published by POSTS & TELECOM PRESS Copyright © 2008.

本书简体中文版由 John Wiley & Sons, Inc. 授权人民邮电出版社独家出版。
版权所有,侵权必究。

译者序

集成电路是信息社会的基础,其发展已进入深亚微米和 SoC 时代。正如本书前言中所述:在过去 25 年里,CMOS 技术已成为制造集成电路的主流工艺;在未来 25 年里,CMOS 技术仍将占据主导地位。掌握 CMOS 集成电路设计和制作技术的重要意义由此可见一斑。

本书是 CMOS 集成电路设计领域的一部力作,自第一版正式出版以来一直受到广大读者的普遍欢迎。这也是促成第二版及其中译本出现的主要原因。作者 R. Jacob (Jake) Baker 教授在 CMOS 集成电路设计领域享有崇高的声望。本书是其 20 多年教学和研究成果的总结,涵盖设计流程与 EDA 软件、工艺、器件、模型、数字和模拟 CMOS 集成电路设计等诸多内容,从基础到前沿,由浅入深,结构合理,特色鲜明。读者只需具备一定的电路和微电子知识,便可对现代 CMOS 集成电路设计理论与方法有完整而深刻的认识。此外,本书针对不同的读者群有所侧重。例如:对于学生,强调了扎实基础;对于科研人员,探讨了某些前沿专题;对于工程师,则提供了大量可直接用于生产的实例。由于本书内容丰富,还可根据不同集成电路设计课程的需要选择其中部分章节使用。作者对本书进行了多次修正,可确保文字的准确性。本书的相关辅助材料可从 <http://CMOSedu.com> 获得。

进入 21 世纪,中国集成电路产业如雨后春笋般迅猛发展,集成电路设计人才炙手可热。引进这样一部权威著作,无疑会对在国内培养更多高水平 CMOS 集成电路设计人才起到重要的推动作用。

本书由刘艳艳、张为等翻译,张为审校。参加翻译和初校工作的还有齐步坤、曾燕、刘洋、郝英楠、冯波、翟鲁坤等。本书中译本的出版是集体智慧的结晶,渗透着众人的汗水。在此,对所有为本书的翻译出版提供了帮助的人们表示诚挚的谢意!

需要指出的是,一些有关集成电路、特别版图和工艺的词汇及其译法目前尚无统一标准,译者力图深入浅出、翔实准确,但由于水平有限,译文中难免有不妥之处,敬请读者不吝指正。

译者

于天津大学

2007 年 10 月

前 言

在过去的 25 年里,CMOS(互补金属氧化物半导体)技术已成为制造集成电路(IC 或芯片)的主流工艺。在未来 25 年里,CMOS 技术仍将占据集成电路技术的主导地位。为什么会出现这种情况?因为 CMOS 技术可靠性高、可制造性强、低功耗、低成本;也许最重要的原因是其可收缩性。早在 1965 年,Intel 的创始人 Gordon Moore 就已观察到并描述了硅集成电路工艺可收缩性的事实。他的结论现在被称为摩尔定律,并表述为芯片上器件的数量每 18 个月至 24 个月翻一番。虽然最初并非特指 CMOS 工艺,但通过不断地减小 CMOS 工艺的特征尺寸,摩尔定律多年来始终有效。早期 CMOS 晶体管的栅长在微米尺寸(长沟道器件),如今 CMOS 器件的特征尺寸已进入纳米范围(短沟道器件)。

为了在本书中同时涵盖长沟道和短沟道 CMOS 工艺,本书采用两种方式介绍 CMOS 集成电路设计。本书还讨论了这两种情况的设计技巧并进行比较。这种比较将会使读者对集成电路设计过程有更深刻的认识。虽然学生们在微电子概述课程中学到的描述 MOS 管特性的平方律方程可用于采用长沟道 CMOS 工艺的模拟设计,但在进行短沟道或者纳米级 CMOS 设计时不再有效。纳米 CMOS 工艺器件的特性十分复杂,不可能使用简单方程描述器件的特性。但我们仍可使用描述电学特性的曲线估算偏置点和工作特性。然而,对于习惯严格数学推导的学生,当学习电路分析和设计时,上述方法仍然有效,这就是为什么采用两种方式介绍的原因。

作为一本教材和设计工程师的参考手册,本书富含设计实例、讨论和问题。各章末问题的答案和用于仿真电路的网表可以在 <http://CMOSedu.com> 上找到。该网址还提供了附加的问题。有兴趣深入理解 CMOS 模拟和数字设计的读者将从下载、修改和仿真书中电路的网表中获得极大帮助。本书读者应具有一定线性电路(例如,RC 和 RCL 电路、伯德图、拉普拉斯变换、交流分析等)、微电子(例如,二极管、晶体管、小信号分析、放大器、开关特性等)和数字逻辑设计的背景知识。下述课程可采用本书作为教材,如 VLSI 或数字 IC 设计(《CMOS 电路设计、布局与仿真(第 2 版·第 1 卷)》中的第 1~7 章和第 10~19 章)、模拟 IC 设计(《CMOS 电路设计、布局与仿真(第 2 版·第 1 卷)》中的第 9 章和本书第 1~5 章^①)和高级模拟 IC 设计(《CMOS 电路设计、布局与仿真(第 2 版·第 1 卷)》中的第 8 章和本书第 6~10 章)等。

① 本书第 2 卷主要包含原版的第 20~29 章内容,其第 1~19 章的内容在本书第 1 卷中。——编者注

学生、研究人员和工程师如何有效地使用本书

本书力图对于各类读者都有所帮助。对于学生,本书包含上百个实例、问题和实践讨论(按照我的一个学生的说法,教材中的实例再多也不为过)。有关版图的讨论建立了对于发现问题和精确或高速设计十分重要的知识基础。通过一步步地学习,包括电路设计细节、工艺步骤和仿真考虑(寄生效应)等可掌握版图设计技术。这样避免了仅在一章中介绍版图以及从设计和仿真开始的讨论的不连续性。数字设计章节强调实际工艺参数(例如, I_{off} 、 I_{on} 、 t_{ox} 、 V_{DD} 等)。模拟章节提供有关器件尺寸选择和设计考虑的讨论。相同步骤的选择 MOS 管宽长比和在短沟道工艺中使用长沟道方程的设计过程并未提供。本书侧重于培养学生在成为 CMOS IC 设计者或制造工程师时具有坚实的基础。

对于研究人员,已在本版中增加了诸如噪声考虑和使用 $\Delta\Sigma$ 调制器(DSM)感测等电路设计专题。本书还试图提供未来设计范例。例如,增加 DSM 用于 CMOS 图像传感器、闪存和使用薄氧化层的存储器(直接隧穿)。本书还介绍了使用 DSM 进行感测,因为其利用如下事实:随着 CMOS 时钟的速度不断提高,晶体管的增益和匹配正在恶化。此外,本书还率先讨论了受噪声限制的设计问题,如“为什么我的图像芯片的信噪比不能得到改善”或者“为什么热噪声或闪烁噪声的积累是有害的”。

对于工程师,本书试图提供可立刻应用于产品的设计和版图实例。虽然显而易见,但仍须强调匹配、功耗、速度、工艺偏移、供电电压变化和温度特性等问题在实际设计中极为重要。我将本书的讨论和实例集中于上述内容,并以众多实例详细介绍了锁相环、电荷泵、低电压基准源、单差分运算放大器和全差分运算放大器设计、连续和钟控比较器、存储器电路等。为确保绝大多数设计可通过计算机验证,纳米级设计(50nm 工艺)的仿真采用 BSIM4 SPICE 模型。

致 谢

我要感谢 Micron Technology 公司的大力支持。特别感谢 Mary Miller 对本书技术性内容进行审读时所提供的帮助。此外,我还要感谢为本书的出版付出辛勤劳动的审稿人、学生、同事和朋友,他们分别是 Jeanne Audino、Rupa Balan、David M Binkley、Bill Black、Dave Boyce、Elizabeth Brauer、John Brews、J. W. Bruce、Kris Campbell、Kloy Debban、Ahmad Dowlatabadi、Kevin Duesman、Krishna Duvvada、Surendranath Eruvuru、Cathy Faduska、Paul Furth、Neil Goldsman、Tyler Gomm、Kory Hall、Wes Hansford、David Harris、Bob Hay、Jeff Jessing、Brent Keeth、Howard Kirsch、Bill Knowlton、Bhavana Kollimarla、Harry W. Li、Matthew Leslie、Song Liu、Amy Moll、Sugato Mukherjee、Ward Parkinson、Vishal Saxena、Terry Sculley、Brian Shirley、Harish Singidi、Mike Smith、Mark Tuttle、Vance Tyree、Gary VanAckern、Indira Vemula、Tony VenGraitis 和 Joseph J. Walsh。

R. Jacob (Jake) Baker

**第1卷表 9-1 利用本书中介绍的长沟道 CMOS 工艺进行模拟设计的典型参数。注意
这些参数可能会随着温度或漏源电压的变化而改变**

通用模拟设计的长沟道 MOS 管参数, $V_{DD}=5V$, 比例因子为 $L_{\mu m}$ (即比例因子 $=L \times 10^{-6}$)			
参 数	NMOS 管	PMOS 管	注 释
偏置电流, I_D	20 μA	20 μA	近似值
W/L	10/2	30/2	基于 I_D 和 $V_{DS, sat}$ 选定的
$V_{DS, sat}$ 和 $V_{SD, sat}$	250mV	250mV	对于列出的器件大小而言
V_{GS} 和 V_{SG}	1.05V	1.15V	无体效应
V_{THN} 和 V_{THP}	800mV	900mV	典型值
$\partial V_{THN,P}/\partial T$	-1mV/ $^{\circ}C$	-1.4mV/ $^{\circ}C$	随温度变化
KP_n 和 KP_p	120 $\mu A/V^2$	40 $\mu A/V^2$	$t_{ox}=200\text{\AA}$
$C'_{ox}=\epsilon_{ox}/t_{ox}$	1.75fF/ μm^2	1.75fF/ μm^2	$C_{ox}=C'_{ox}WL \cdot (\text{比例因子})^2$
C_{oxn} 和 C_{oxp}	35fF	105fF	PMOS 管的宽度为 NMOS 管的宽度的三倍
C_{gsn} 和 C_{gsp}	23.3fF	70fF	$C_{gs}=\frac{2}{3}C_{ox}$
C_{gdn} 和 C_{gdp}	2fF	6fF	$C_{gd}=CGDO \cdot W \cdot \text{比例因子}$
g_{mn} 和 g_{mp}	150 $\mu A/V$	150 $\mu A/V$	$I_D=20\mu A$
r_{on} 和 r_{op}	5M Ω	4M Ω	在 $I_D=20\mu A$ 处近似得出
$g_{mn}r_{on}$ 和 $g_{mp}r_{op}$	750V/V	600V/V	开路增益
λ_n 和 λ_p	0.01V $^{-1}$	0.0125V $^{-1}$	$L=2$
f_{Tn} 和 f_{Tp}	900MHz	300MHz	$L=2$ 时所得, 如果 $L=1$, f_T 将上升

**第1卷表 9-2 利用本书中介绍的短沟道 CMOS 工艺进行模拟设计的典型参数。
这些参数值只对表中列出的器件尺寸和电流有效**

通用模拟设计的短沟道 MOS 管参数, $V_{DD}=1V$, 比例因子为 50nm (即比例因子 $=50 \times 10^{-9}$)			
参 数	NMOS 管	PMOS 管	注 释
偏置电流, I_D	10 μA	10 μA	近似值, 参见图 9-31
W/L	50/2	100/2	基于 I_D 和 $V_{DS, sat}$ 选定的
实际的 W/L	2.5 $\mu m/100nm$	5 $\mu m/100nm$	L_{min} 为 50nm
$V_{DS, sat}$ 和 $V_{SD, sat}$	50mV	50mV	不过请参见图 9-32 及相关的讨论
V_{ovn} 和 V_{ovp}	70mV	70mV	
V_{GS} 和 V_{SG}	350mV	350mV	无体效应
V_{THN} 和 V_{THP}	280mV	280mV	典型值
$\partial V_{THN,P}/\partial T$	-0.6mV/ $^{\circ}C$	-0.6mV/ $^{\circ}C$	随温度变化
v_{satn} 和 v_{satp}	110 $\times 10^3$ m/s	90 $\times 10^3$ m/s	根据 BSIM4 模型而来
t_{ox}	14 $\text{\AA}$	14 $\text{\AA}$	隧道栅电流, 5A/cm 2
$C'_{ox}=\epsilon_{ox}/t_{ox}$	25fF/ μm^2	25fF/ μm^2	$C_{ox}=C'_{ox}WL \cdot (\text{比例因子})^2$
C_{oxn} 和 C_{oxp}	6.25fF	12.5fF	PMOS 管宽度为 NMOS 管宽度的两倍
C_{gsn} 和 C_{gsp}	4.17fF	8.34fF	$C_{gs}=\frac{2}{3}C_{ox}$
C_{gdn} 和 C_{gdp}	1.56fF	3.7fF	$C_{gd}=CGDO \cdot W \cdot \text{比例因子}$
g_{mn} 和 g_{mp}	150 $\mu A/V$	150 $\mu A/V$	$I_D=10\mu A$
r_{on} 和 r_{op}	167k Ω	333k Ω	在 $I_D=10\mu A$ 处近似得出
$g_{mn}r_{on}$ 和 $g_{mp}r_{op}$	25V/V	50V/V	还是开路增益
λ_n 和 λ_p	0.6V $^{-1}$	0.3V $^{-1}$	$L=2$
f_{Tn} 和 f_{Tp}	6000MHz	3000MHz	大约在 $L=2$ 处

乘 数

名 字	符 号	值
terra	T	10^{12}
giga	G	10^9
mega	M(在 SPICE 中表示 MG)	10^6
kilo	k	10^3
milli	m	10^{-3}
micro	μ (或者 u)	10^{-6}
mano	n	10^{-9}
pico	p	10^{-12}
femto	f	10^{-15}
atto	a(在 SPICE 中不采用)	10^{-18}

物理常量

名 字	符 号	值/单位
真空介电常数	ϵ_0	$8.85\text{aF}/\mu\text{m}$
硅介电常数	ϵ_{sil}	$11.7\epsilon_0$
二氧化硅介电常数	ϵ_{ox}	$3.97\epsilon_0$
氮化硅介电常数	ϵ_{Ni}	$16\epsilon_0$
波尔兹曼常数	k	$1.38 \times 10^{-23} \text{J/K}$
电子电荷	q	$1.6 \times 10^{-19} \text{C}$
温度	T	K
热电压	V_T	$kT/q = 26\text{mV}@300\text{K}$

平方定律方程

对于一个工作在线性区的长沟道 NMOS 管,有

$$I_D = KP_n \cdot \frac{W}{L} \cdot \left[(V_{GS} - V_{THN})V_{DS} - \frac{V_{DS}^2}{2} \right]$$

其中 $V_{GS} \geq V_{THN}$ 且 $V_{DS} \leq V_{GS} - V_{THN}$ 。

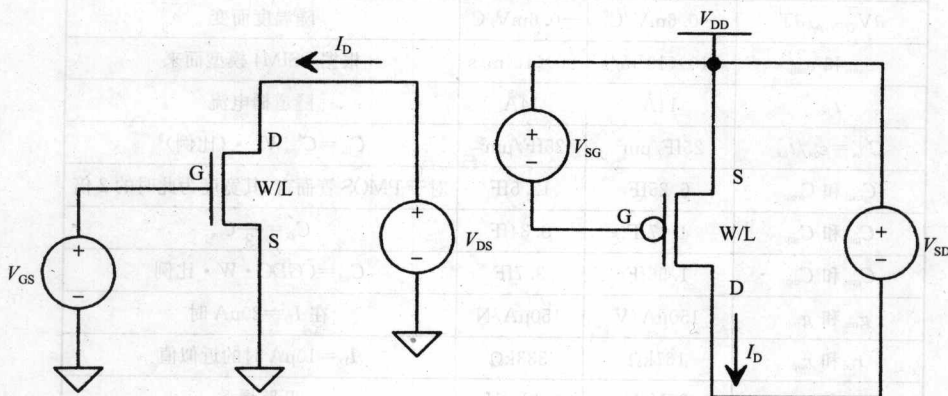
对于一个工作在饱和区的长沟道 NMOS 管,则有:

$$I_D = \frac{KP_n}{2} \cdot \frac{W}{L} (V_{GS} - V_{THN})^2 [1 + \lambda(V_{DS} - V_{DS,sat})]$$

其中 $V_{GS} > V_{THN}$ 且 $V_{DS} \geq V_{GS} - V_{THN}$ 。

在饱和区和线性区的边界处则有:

$V_{DS,sat} = V_{GS} - V_{THN}$, 此时的漏电流被称为 $I_{D,sat}$, 参见图 6-11。



对于 PMOS 管而言,只需将上述方程中做如下替换即可:

$$V_{DS} \rightarrow V_{SD}, V_{GS} \rightarrow V_{SG}, V_{THN} \rightarrow V_{THP}$$

在 PMOS 管和 NMOS 管方程中所有电压和电流都为正。例如,对于一个 PMOS 管而言,能够传导漏电流的条件是 $V_{SG} > V_{THP}$;而对于一个 NMOS 管而言,能够传导漏电流的条件是 $V_{GS} > V_{THN}$ 。

本书中通用模拟设计所对应的短沟道 MOS 管参数, $V_{DD}=1V$, 比例为 10nm (比例=50e-9)			
参 数	NMOS	PMOS	注 释
偏置电流	10 μ A	10 μ A	近似值, 参见图 9-31
W/L	50/2	100/2	基于 I_D 和 V_{ox} 而选择的结果
实际的 W/L	2.5 μ m/100nm	5 μ m/100nm	L_{min} 为 50nm
$V_{DS, sat}$ 和 $V_{SD, sat}$ V_{ovn} 和 V_{ovp}	50mV 70mV	50mV 70mV	不过, 请参见图 9-32 及相关讨论
V_{GS} 和 V_{SG}	350mV	350mV	无体效应
V_{THN} 和 V_{THP}	280 mV	280 mV	典型值
$\partial V_{THN, p} / \partial T$	-0.6mV/C $^\circ$	-0.6mV/C $^\circ$	随温度而变
v_{satn} 和 v_{satp}	110 $\times 10^3$ m/s	90 $\times 10^3$ m/s	根据 BSIM4 模型而来
t_{ox}	14 $\text{\AA}$	14 $\text{\AA}$	隧道栅电流
$C'_{ox} = \epsilon_{ox} / t_{ox}$	25fF/ μ m 2	25fF/ μ m 2	$C_{ox} = C'_{ox} WL \cdot (\text{比例})^2$
C_{con} 和 C_{oxp}	6.25fF	12.5fF	对于 PMOS 管而言, 其宽度为此时的 2 倍
C_{gsn} 和 C_{sep}	4.17fF	8.34fF	$C_{gs} = \frac{2}{3} C_{ox}$
C_{gdn} 和 C_{dgp}	1.56fF	3.7fF	$C_{gd} = CGDO \cdot W \cdot \text{比例}$
g_{mn} 和 g_{mp}	150 μ A/V	150 μ A/V	在 $I_D=20\mu$ A 时
r_{on} 和 r_{op}	167k Ω	333k Ω	$I_D=10\mu$ A 时的近似值
$g_{mn}r_{on}$ 和 $g_{mp}r_{op}$	25V/V	50V/V	开路增益
λ_n 和 λ_p	0.6V $^{-1}$	0.3V $^{-1}$	$L=2$
f_{Tn} 和 f_{Tp}	6000MHz	3000MHz	$L=2$ 时的近似值

对于长沟道和短沟道情况, 采用所示绘制尺寸时的有效数字开关电阻和氧化层电容值					
工 艺	绘制尺寸	比例因子	实际尺寸	$R_{n, p}$	$C_{ox, n, p}$
NMOS(长沟道)	10/1	1 μ m	10 μ m $\times$ 1 μ m	1.5k Ω	17.5fF
PMOS(长沟道)	30/1	1 μ m	30 μ m $\times$ 1 μ m	1.5k Ω	52.5fF
NMOS(短沟道)	10/1	50nm	0.5 μ m $\times$ 50nm	3.4k Ω	625aF
PMOS(短沟道)	20/1	50nm	1 μ m $\times$ 50nm	3.4k Ω	1.25 fF

本书中通用模拟设计所对应的长沟道 MOS 管参数, $V_{DD}=5V$, 比例因子为 $1\mu m$ (比例 $=1e-6$)			
参 数	NMOS	PMOS	注 释
偏置电流	$20\mu A$	$20\mu A$	近似值
W/L	10/2	30/2	基于 I_D 和 $V_{DS,sat}$ 而选择的结果
$V_{DS,sat}$ 和 $V_{SD,sat}$	250mV	250mV	对于所选定的尺寸而言
V_{GS} 和 V_{SG}	1.05V	1.15V	无体效应
V_{THN} 和 V_{THP}	800 mV	900 mV	典型值
$\partial V_{THN,p}/\partial T$	$-1mV/C^\circ$	$-1.4mV/C^\circ$	随温度而变
KP_n 和 KP_p	$120\mu A/V^2$	$40\mu A/V^2$	$t_{ox}=200\text{\AA}$
$C'_{ox}=\epsilon_{ox}/t_{ox}$	$1.75fF/\mu m^2$	$1.75fF/\mu m^2$	$C_{ox}=C'_{ox}WL \cdot (\text{比例})^2$
C_{oxn} 和 C_{oxp}	35fF	105fF	对于 PMOS 管而言, 宽度为此时的 3 倍
C_{gsn} 和 C_{gsp}	23.3fF	70fF	$C_{gs}=\frac{2}{3}C_{ox}$
C_{gdn} 和 C_{gdp}	2fF	6fF	$C_{gd}=CGDO \cdot W \cdot \text{比例}$
g_{nm} 和 g_{mp}	$150\mu A/V$	$150\mu A/N$	在 $I_D=20\mu A$ 处
r_{on} 和 r_{op}	5M Ω	4M Ω	$I_D=20\mu A$ 时的近似值
$g_{nm}r_{on}$ 和 $g_{mp}r_{op}$	750V/V	600V/V	开路增益
λ_n 和 λ_p	$0.01V^{-1}$	$0.0125V^{-1}$	$L=2$ 时的结果
f_{Tn} 和 f_{Tp}	900MHz	300MHz	$L=2$ 时的结果, 若 $L=1$, 则 f_T 值增加

本书中讨论的利用长沟道和短沟道工艺进行的数字设计模型				
工 艺	R_n	R_p	比例因子	$C_{ox}=C'_{ox}WL \cdot (\text{比例})^2$
1 μm (长沟道)	$15k \frac{L}{W}$	$45k \frac{L}{W}$	1 μm	$(1.75fF) \cdot WL$
50nm (短沟道)	$\frac{34k}{W}$	$\frac{68k}{W}$	50nm	$(62.5aF) \cdot WL$

第 1 章 电 流 镜

在本章中,我们将注意力转向电流镜[用来产生(或抽取)恒定电流的电路]的设计、布局 and 仿真。正如在第 1 卷图 9-1 中及相关讨论中所见,电流源的理想输出电阻 r_o 为无穷大。本章的要点就是获得较高的输出电阻(意味着输出电流不会随着电流源上压降的变化而产生太多变化)。

对于读者而言非常重要的一点是,首先要理解第 1 卷第 9 章中有关偏置电流和器件尺寸的选择,以及它们如何影响模拟电路的增益/速度。在本章的许多实例中,我们将采用第 1 卷表 9-1 和表 9-2^①中给出的参数。

1.1 基本电流镜

图 1-1 给出的是基本 NMOS 管电流镜电路,采用了 M_1 管和 M_2 管。假设 M_1 和 M_2 的沟道长度和宽度都相等,并且电路中 $V_{GS1}=V_{DS1}=V_{GS2}$ 。由于两个 MOS 管具有相同的栅-源电压,因此我们认为(忽略沟道长度调制)它们的漏极电流相等。如果 M_1/M_2 的漏极电阻的阻值相等,那么 M_2 的漏极电位将与 M_1 的漏极电位相等(这一点很重要)。通过匹配两个晶体管的尺寸、 V_{GS} 以及漏极电流 I_D ,我们可以确保这两个 MOS 管具有相同的漏-源电压($V_{GS1}=V_{DS1}=V_{GS2}=V_{DS2}$)。

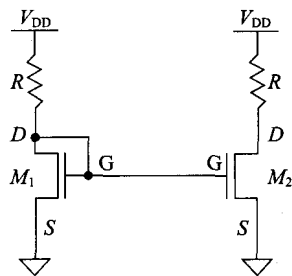


图 1-1 基本电流镜

1.1.1 长沟道设计

我们来看图 1-2。在此图中展示的是一个电流镜以及一个电流源的等效电路。分析 M_1 管,可写出

$$I_{REF} = I_{D1} = \frac{KP_n W_1}{2 L_1} (V_{GS1} - V_{THN})^2 (1 + \lambda(V_{DS1} - V_{DS1,sat})) \quad (1-1)$$

^① 第 1 卷表 9-1 和表 9-2 附在本书书末。——编者注

已知 $V_{DS1} = V_{GS1}$ 和 $V_{DS1, sat} = V_{GS1} - V_{THN}$ 。对于 M_2 管,则可写出

$$I_O = I_{D2} = \frac{KP_n W_2}{2 L_2} (V_{GS1} - V_{THN})^2 (1 + \lambda(V_O - V_{DS1, sat})) \quad (1-2)$$

注意: $V_{GS1} = V_{GS2}$, $V_{DS1, sat} = V_{DS2, sat}$, V_O 为电流源上的压降。写出两个 MOS 管的漏极电流之比

$$\frac{I_O}{I_{REF}} = \frac{W_2/L_2}{W_1/L_1} \cdot \frac{1 + \lambda(V_O - V_{DS1, sat})}{1 + \lambda(V_{DS1} - V_{DS1, sat})} \quad (1-3)$$

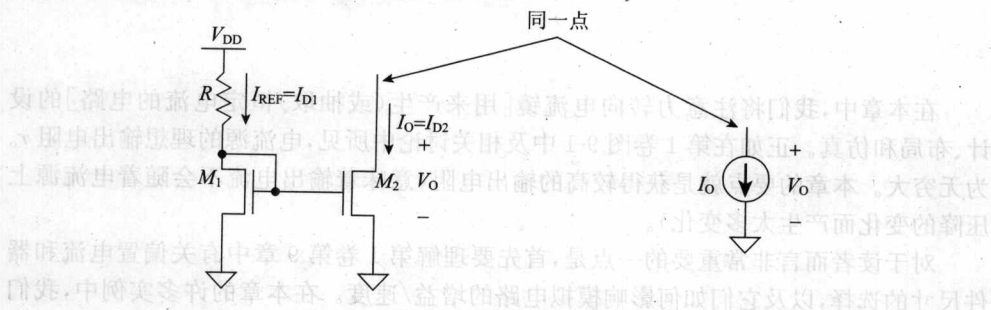


图 1-2 电流镜以及电流源的等效符号

通常,电流镜中各器件(MOS管)的长度是相等的(我们暂且认为它们是相等的)。同时,我们还假设不考虑沟道长度调制($\lambda=0$),于是得到一个非常有用的结论,即

$$\frac{I_O}{I_{REF}} = \frac{W_2}{W_1} \quad (1-4)$$

只需简单地调整 M_2 管的宽度,我们就可以调整输出电流的大小。图 1-3 给出的就是这样一个通过调整 MOS 管(采用的是 PMOS 管)尺寸来调整输出电流的实例。

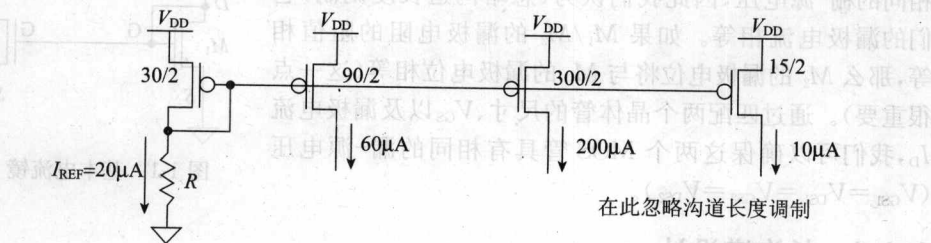


图 1-3 调整电流镜的比例

例 1-1 确定图 1-2 和图 1-3 中所需电阻 R 的阻值,以使基准漏极电流为 $20\mu\text{A}$ 。采用第 1 卷表 9-1 中给出的长沟道参数。使用计算出来的电阻值对 NMOS 管电流镜的工作进行仿真。

对于图 1-2(NMOS 管电流镜),可以写出

$$I_{REF} = 20\mu\text{A} = \frac{V_{DD} - V_{GS1}}{R} \approx \frac{KP_n}{2} \cdot \frac{10}{2} \cdot \left(\overbrace{V_{GS1}}^{1.05\text{V}} - \overbrace{V_{THN}}^{0.8} \right)^2 = \frac{KP_n}{2} \cdot \frac{10}{2} \cdot (0.25)^2 \quad (1-5)$$

(注意,在此用的是“约等于”符号,因为在此等式中没有考虑沟道长度调制)或

$$R = \frac{5 - 1.05}{20\mu\text{A}} \approx 200\text{k}\Omega$$

而对于图 1-3(PMOS 管电流镜),可以写出

$$I_{\text{REF}} = 20\mu\text{A} = \frac{V_{\text{DD}} - V_{\text{SG}}}{R} \approx \frac{K P_P}{2} \cdot \frac{30}{2} \cdot \left(\overbrace{V_{\text{SG}} - V_{\text{THP}}}^{1.15\text{V} \quad 0.9} \right)^2 = \frac{K P_P}{2} \cdot \frac{30}{2} \cdot (0.25)^2$$

或

$$R = \frac{5 - 1.15}{20\mu\text{A}} \approx 200\text{k}\Omega$$

对 NMOS 管电流镜的工作进行的仿真结果如图 1-4 所示。基准电流不是精确的 $20\mu\text{A}$ (不要期望它会是精确的 $20\mu\text{A}$)。图中 x 轴是对电流镜上压降 V_O 的扫描。需要注意的是,当 V_O 小于 $V_{\text{DS,sat}}$ (在此为 250mV)时 M_2 管处于线性区,输出电流 I_O 趋于零。此电流源的输出随从(compliance)范围(即此电流源电路确实表现出电流源特性时的输出电压范围,也就是说电流源的工作既不是开路也不是电阻时的输出电压范围)为 $V_{\text{DS,sat}}$ 到 V_{DD} 。当 $V_O = V_{\text{DS1}} = V_{\text{GS1}}$ 时对应的位置就是 $I_O = I_{\text{REF}}$ 的位置(这一点对于两个电流的匹配而言同样非常重要)。最后需要指出的是, I_{REF} 和 V_{GS1} 都与 V_O 无关。

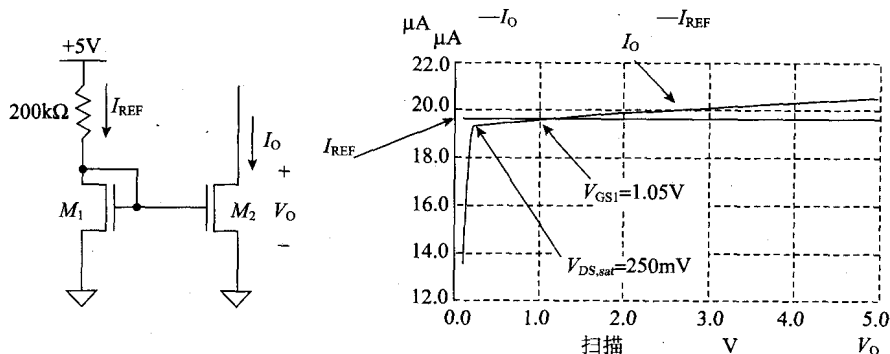


图 1-4 NMOS 管电流镜的工作

1.1.2 电流镜中电流的匹配

很多模拟电路应用对于版图设计中的偏差很敏感。在器件需要匹配的电路中,版图的设计就成了关键因素。例如,在图 1-2 所示的基本电流镜中,一阶工艺偏差就可以引起输出电流 I_O 与基准电流产生明显的偏差。工艺参数(如栅氧化层厚度、横向扩散、氧化层侵蚀和氧化层电荷密度等)能够严重地影响器件的性能。采用一定的版图设计方法可以使这些参数偏差的一阶影响最小化。

1. 阈值电压失配

对于一个给定的电流镜电路,阈值电压的值对于确定电流镜的整体精度非常

关键。关于这一点同样可以参照图 1-2 所示的基本电流镜电路。两个 MOS 管的 V_{GS} 值相等, 并且假设两个 MOS 管的尺寸和跨导参数都相等, 我们来分析一下 M_1 管和 M_2 管阈值电压失配的影响。假定阈值电压的失配值平均分布在 M_1 管和 M_2 管上, 那么

$$V_{THN1} = V_{THN} - \frac{\Delta V_{THN}}{2} \quad (1-5)$$

$$V_{THN2} = V_{THN} + \frac{\Delta V_{THN}}{2} \quad (1-6)$$

式中, V_{THN} 为 V_{THN1} 和 V_{THN2} 的平均值, ΔV_{THN} 为失配值, 那么电流比值为

$$\frac{I_O}{I_{REF}} = \frac{\frac{KP_n W}{2L} (V_{GS} - V_{THN} - \frac{\Delta V_{THN}}{2})^2}{\frac{KP_n W}{2L} (V_{GS} - V_{THN} + \frac{\Delta V_{THN}}{2})^2} = \frac{\left[1 - \frac{\Delta V_{THN}}{2(V_{GS} - V_{THN})}\right]^2}{\left[1 + \frac{\Delta V_{THN}}{2(V_{GS} - V_{THN})}\right]^2} \quad (1-7)$$

将上式右端分子和分母的平方展开并忽略高阶量, 得到电流比值的一阶表达式如下

$$\frac{I_O}{I_{REF}} \approx 1 - \frac{2\Delta V_{THN}}{V_{GS} - V_{THN}} = 1 - \frac{2\Delta V_{THN}}{V_{DS,sat}} \quad (1-8)$$

式(1-8)给我们展示了一个非常有用的信息: 当 V_{GS} 减小时, 因阈值电压失配导致的镜像电流的偏差会增大。当 MOS 管之间的距离相对而言比较大时, 由于阈值电压对工艺参数的梯度变化非常敏感, 因阈值电压失配引起的电流偏差会格外严重。为了提高电路速度并减小由于阈值电压失配带来的效应, 应该采用较大的栅极过驱动电压(记住对于长沟道工艺有 $V_{ov1} = V_{DS,sat} = V_{GS} - V_{THN}$)。当然, 对于电流镜电路而言, 这样做的缺点是电流镜的随从范围减小了(MOS 管更早进入三极管区域)。

2. 跨导参数失配

同样, 可对跨导参数 KP_n 进行上述分析。假设 $KP_{n1} = KP_n - \Delta KP_n/2$, $KP_{n2} = KP_n + \Delta KP_n/2$ (其中, KP_n 为 KP_{n1} 和 KP_{n2} 的平均值), 同时假定其他参数都理想匹配, 则电流比值为

$$\frac{I_O}{I_{REF}} = \frac{KP_n + 0.5\Delta KP_n}{KP_n - 0.5\Delta KP_n} \approx 1 + \frac{\Delta KP_n}{KP_n} \quad (1-9)$$

由于 KP_n 为工艺参数, 我们可能会认为随着 CMOS 管的等比例尺寸缩小 (C'_{ox} 增加), 由于氧化层偏差及迁移率偏差引起的失配将逐步改善。但是, 随着版图尺寸的减小, 这些偏差的平均性更低了。实际上我们即将看到, 此时 V_{DS} 的偏差决定了匹配的性能。

3. 漏-源电压和 λ

在电流镜设计中影响电流精度的一个关键因素就是漏-源电压。如图 1-4 所示, 两个电流真正完全相等的唯一位置处就是两个 MOS 管的 V_{DS} 相等的时候。在式(1-3)中, 输出电流与基准电流的比值同时受到漏-源电压的匹配 (V_O 和 V_{DS1}) 和 MOS 管 λ 值的影响。以短沟道工艺 (参见第 1 卷表 9-2) 为例, 如果 $V_{DS1} = 0.35V$, $V_{DS2} = V_O = 0.75V$, $\lambda_1 = \lambda_2 = 0.6V^{-1}$, 那么

$$\frac{I_O}{I_{REF}} = \frac{1 + \lambda_2 \cdot V_O}{1 + \lambda_1 \cdot V_{DS1}} = \frac{1 + 0.6 \cdot 0.75}{1 + 0.6 \cdot 0.35} = 1.20 \quad (1-10)$$

可见输出电流和基准电流间有 20% 的偏差。因此非常重要的一点是,为了获得良好的匹配,应该让电流镜中 MOS 管的 V_{DS} 相等。

4. 提高匹配程度的版图设计技术

对于大多数通用模拟电路,一般要求 MOS 管栅极的长度要比最小值稍长一些,因为沟道长度调制 λ 对长沟道器件的影响比对短沟道器件的影响小(正如第 1 卷第 9 章所述)。因此,在数字电路设计中常采用最小尺寸的 MOS 管,而在模拟电路设计中却很少采用最小尺寸的 MOS 管(关于这一点请参阅第 7 章)。但是如果版图设计不当,大尺寸的 MOS 管会引入较大的寄生效应。图 1-5a 给出了一个 W/L 较大的基本 MOS 管。管子的源极和漏极的注入电阻可用图 1-5b 所示的电路模型表示。仅仅通过在源区和漏区加入尽可能多的接触孔就可以轻易地减小注入电阻,如图 1-5c 所示。增加接触孔的数目可以减小接触电阻,增大导电能力,使整个器件的电流负载更为分散。但是,随着管子的宽度逐步增加,可采用另外一种版图设计技术,把寄生器件(包括寄生电阻和寄生电容)分解为较小的寄生器件。

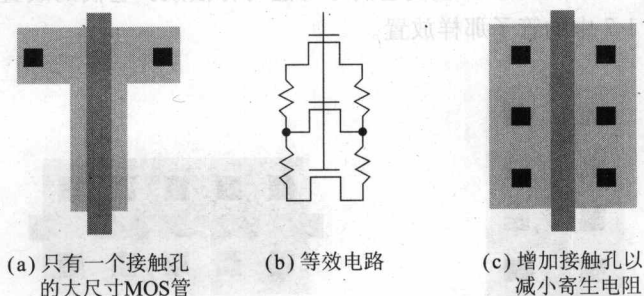


图 1-5

考察图 1-6。图中,一个 W/L 较大的 MOS 管被分成 4 个并联的 MOS 管,每个 MOS 管的沟道宽度为原来的 $1/4$ 。像这样将一个大管子拆分成几个小管子,能够减小反向偏置的注入区和衬底之间的 PN 结引入的寄生电容(源区或漏区和衬底之间的耗尽电容)。由于 C_{db} 和 C_{sb} 正比于 W ,把一个大尺寸的 MOS 管拆分为 n 个并联的 MOS 管,会使 C_{db} 和 C_{sb} 减为原来的 $(n+1)/2n$ (当 n 为奇数时);当 n 为偶数时, C_{sb} 减为原来的一半, C_{db} 减为原来的 $(n+2)/2n$ 。正如图 1-6b 所示,将这些器件并联在一起时还可以减小源区和漏区串联的寄生电阻(也大约减小了一半)。

在图 1-6a 中同时还可以看到,在 MOS 管两侧各多出一条陪衬多晶硅条。它们的作用是减小钻蚀对最外侧多晶硅条的影响,如图 1-6c 所示。如果不在 MOS 管两侧各多加一条陪衬多晶硅条,那么位于器件最外侧的多晶硅栅极被钻蚀的程度比器件内部的多晶硅栅极大,从而导致 4 个并行 MOS 管间出现失配。

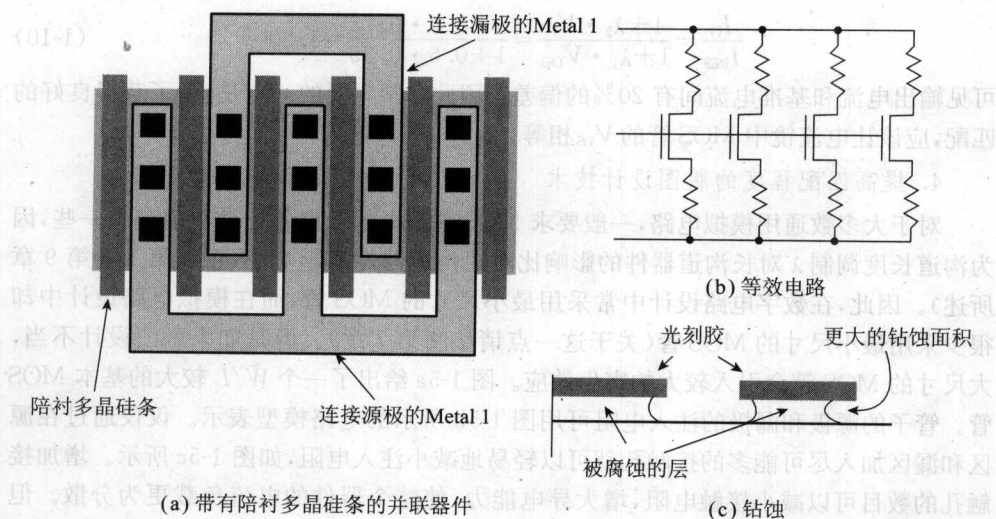


图 1-6

当需要将两个器件匹配时,应使它们尽可能对称摆放。它们的放置方向总是要相同,而不应像图 1-7 中的管子那样放置。

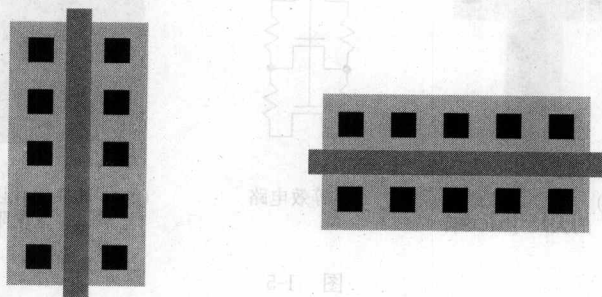


图 1-7 放置方向不同的器件(匹配较差)

把需要匹配的两个器件拆分成几个并联器件,并采用叉指方式布图,这样可以把工艺参数的梯度变化分摊在两个器件上,从而使两个器件匹配得更好。图 1-8 给出了这样的一个实例。图 a 是图 b 所示电流镜电路的版图。在图 b 中,每个 MOS 管被拆分成了 4 个并联的 MOS 管。假设图 b 中每个 MOS 管的 W/L 为 $80/2$,那么图 a 中每个 MOS 管(叉指)的 W/L 为 $20/2$ 。需要注意的是,在此版图中加入陪衬多晶硅条。将图 1-8 中的电流镜按共质心方式重新布图是一个不错的方法(参见第 1 卷第 5 章)。采用更大的版图面积(长度较长、宽度较宽)以及共质心的版图可以显著提高器件间的匹配程度。

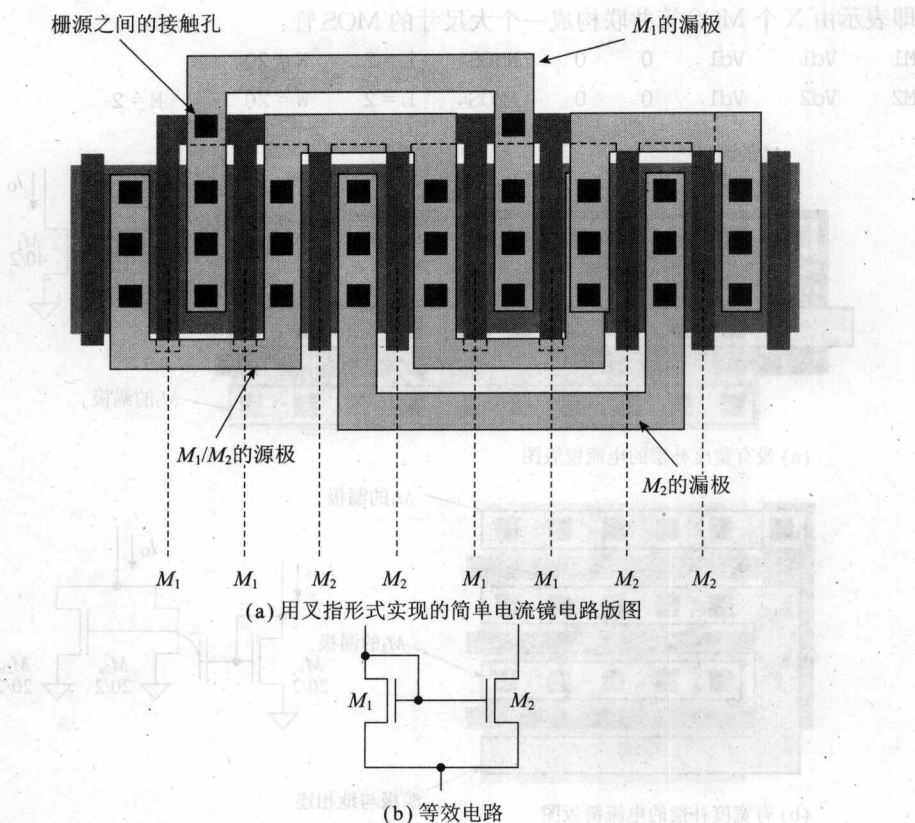


图 1-8

5. 不同宽度电流镜的版图

在设计电流镜的版图时,栅氧化层下的横向扩散 L_{diff} (第1卷图 5-13) 和氧化层侵蚀 W_{enc} 分别会对 MOS 管的实际沟道长度和沟道宽度产生影响。在设计版图时若不小心就会影响到电流镜的比率。在不考虑漏-源电压及 λ 的区别时可将等式 1-3 重新写作

$$\frac{I_O}{I_{\text{REF}}} = \frac{(W_{2\text{drawn}} - 2W_{\text{enc}}) \cdot (L_{1\text{drawn}} - 2L_{\text{diff}})}{(W_{1\text{drawn}} - 2W_{\text{enc}}) \cdot (L_{2\text{drawn}} - 2L_{\text{diff}})} \quad (1-11)$$

如果要求 $L_{1\text{drawn}} = L_{2\text{drawn}}$, 那么电流镜的相对电流比率就由器件的宽度来决定。图 1-9a 给出了未进行宽度补偿的电流镜的版图。如果 W_{enc} 为 0.1, 那么对于这个版图电流镜的相对电流比率为

$$\frac{I_O}{I_{\text{REF}}} = \frac{40 - 0.2}{20 - 0.2} = 2.01 \text{ (由于版图设计得不好产生了 1\% 的误差)}$$

图 1-9b 中的电流镜版图给出了如何解决这些问题的方法。图中, M_2 管改由两个并联的 MOS 管构成。在 SPICE 网表文件中, 可以在 MOS 管语句的后面加上 $M=X$,

