

高速电路 PCB设计 与EMC技术分析

◎ 田广锴 范如东 等编著 ◎ 洗进 审校



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

高速电路 PCB 设计与 EMC 技术分析

田广锴 范如东 等编著

冼进 审校



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

高速电路具有许多特点,给 PCB 设计带来了电磁兼容、信号完整性、电源完整性等问题,本书通过常用 PCB 设计软件的应用,详细介绍了该系统组成的各个技术模块的性能特点与连接技术。

本书从高速电路的特点出发,分析高速电路与低速电路的区别,进而概括出高速电路所面临的三大问题:电磁兼容、信号完整性和电源完整性。接下来对这些问题的来龙去脉及其危害做了详细的分析;最后,通过具体的实例将这些问题的解决方法贯穿到高速电路 PCB 设计的全过程之中。

本书理论体系完整、内容翔实、语言通俗易懂,实例具有很强的针对性和实用性,既适用于电子信息类专业的本科或专科教材,也可供从事高速电路工程与应用工作的科技人员参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

高速电路 PCB 设计与 EMC 技术分析/田广锴等编著. —北京:电子工业出版社,2008.5

ISBN 978-7-121-06411-1

I.高… II.田… III.印制电路—电磁兼容性—计算机辅助设计 IV.TN410.2

中国版本图书馆 CIP 数据核字(2008)第 053089 号

责任编辑:王春宁 特约编辑:王占禄

印 刷:北京市海淀区四季青印刷厂

装 订:北京鼎盛东极装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编:100036

开 本:787×1092 1/16 印张:16 字数:408 千字

印 次:2008 年 5 月第 1 次印刷

印 数:4 000 册 定价:32.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zlls@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

前 言

电子领域的快速发展,使得由集成电路构成的电子系统朝着大规模、小体积和高速度的方向发展。随着芯片的体积越来越小,电路的开关速度越来越快,PCB的密度越来越大,信号的工作频率越来越高,高速电路PCB的电磁兼容性、信号完整性和电源完整性等问题一步步凸显出来,并且相互紧密地交织在一起,使得传统的设计方法已经不能适应现代高速电路设计的要求。

高速电路对PCB设计提出了新的挑战。设计者们应该如何应对这种挑战呢?是坚持传统的PCB设计观念和方法去实现一个高速电路产品设计,却发现设计出来的电路板根本无法工作,最后不得不花费大量的时间和精力去改进甚至从头做起;还是与时俱进,及时更新自身的知识结构,以全新的思维和观念来看待高速电路PCB的设计?

实践证明,与时俱进才是明智的选择,但是变革往往是痛苦的,或是无从下手。如果没有接触过射频及微波电路知识,那么,就很难接受PCB等效为天线、传输线、阻抗匹配和反射等一系列概念。

本书从高速电路的基本概念出发,首先分析高速电路与低速电路的区别,进而概括出高速电路所面临的三大问题:电磁兼容、信号完整性和电源完整性,接着本书对这些问题的来龙去脉及其危害作了详细的分析,最后将这些问题的解决方法贯穿到实际的高速电路PCB设计过程之中。

本书采用“提出问题—分析问题—解决问题”的思维方式,坚持理论和实践相结合。一方面使高速电路PCB设计者对相关理论有清楚的认识,另一方面使高速电路PCB设计者形成一种全局观念,将电磁兼容、信号完整性等观念贯穿于PCB设计过程的始终。

如果您是一名准备进入PCB设计行业的初学者,您将会幸运地避免上面的难题,本书将引导您直接进入高速电路PCB世界。

如果您负责公司的产品设计规划,了解这些理论,形成以上观念,在制订产品方案的时候,将电磁兼容、信号完整性,以及电源完整性等问题考虑进去,将会使设计工作变得更加高效可靠。

本书分为上、下两篇。上篇为基础篇共6章:第1章介绍了高速电路的特点及PCB的基础知识,并提出高速电路PCB设计面临的问题;第2、3、4、5、6章分别对电磁兼容、信号完整性、电源完整性问题和去耦旁路做了深入分析。下篇为应用篇:第7章介绍了现代高速电路PCB设计方法,并针对前述问题提出了解决方案;第8章、第9章介绍了业界广泛使用的PCB设计的PADS软件套装;第10章给出一个完整的应用实例:基于信号完整性分析的高速数据采集卡的设计。上、下篇的有机结合,使本书的知识浑然一体,不仅有利于课堂教学使用,还是一本很好的自学读物。

本书由田广锬、范如东担任主要编写工作。其中,田广锬编写了第1、2、3、4、6章的内容;范如东编写了第5、7、8、9、10章的内容。同时参与本书编写的人员还有:冯强、曾德惠、许庆

华、程亮、周聪、黄志平、胡松、邢永峰、邵军、边海龙、刘达因、赵婷、马鸿娟、侯桐、赵光明、李胜、李辉、侯杰、王红研、王磊、闫守红、康涌泉、李欢、蒋杼倩、王小东、张森、张正亮、宋利梅、何群芬、程瑶等。

为充分展现本书的编写特点，帮助读者深刻理解本书编写意图与内涵，进一步提高对本书在教学中的使用效率，我们提供的本书使用指导联络方式，是读者与编者之间交流沟通的直通车。欢迎读者将本书使用过程中的问题与各种探讨、建议反馈给我们，本书编者会竭诚给您满意的答复。我们的联系方式为 E-mail: china_54@tom.com。

编著者

目 录

第一篇 基础篇

第 1 章 高速电路 PCB 概述	(3)
1.1 高速信号	(3)
1.1.1 高速的界定	(4)
1.1.2 高速信号的频谱	(4)
1.1.3 高速电路与射频电路的区别	(5)
1.2 无源器件的射频特性	(5)
1.2.1 金属导线和走线	(6)
1.2.2 电阻	(7)
1.2.3 电容	(7)
1.2.4 电感和磁珠	(7)
1.3 PCB 基础概念	(8)
1.4 高速电路设计面临的问题	(11)
1.4.1 电磁兼容性	(11)
1.4.2 信号完整性	(11)
1.4.3 电源完整性	(12)
第 2 章 高速电路电磁兼容	(13)
2.1 电磁兼容的基本原理	(13)
2.1.1 电磁兼容概述	(13)
2.1.2 电磁兼容标准	(15)
2.1.3 电磁兼容设计的工程方法	(18)
2.2 电磁干扰	(19)
2.2.1 电磁干扰概述	(19)
2.2.2 电磁干扰的组成要素	(20)
2.3 地线干扰与接地技术	(21)
2.3.1 接地的基础知识	(21)
2.3.2 接地带来的电磁兼容问题	(23)
2.3.3 各种实用接地方法	(24)
2.3.4 接地技术概要	(27)
2.4 干扰滤波技术	(27)
2.4.1 共模和差模电流	(27)
2.4.2 干扰滤波电容	(28)
2.4.3 滤波器的安装	(31)

2.5	电磁屏蔽技术	(32)
2.5.1	电磁屏蔽基础知识	(32)
2.5.2	磁场的屏蔽	(34)
2.5.3	电磁密封衬垫	(34)
2.5.4	截止波导管	(36)
2.6	PCB 的电磁兼容噪声	(37)
2.6.1	PCB 线路上的噪声	(37)
2.6.2	PCB 的辐射	(39)
2.6.3	PCB 的元器件	(41)
2.7	本章小结	(44)
第3章	高速电路信号完整性	(46)
3.1	信号完整性的基础	(46)
3.1.1	信号完整性问题	(46)
3.1.2	高速电路信号完整性问题的分析工具	(48)
3.2	传输线原理	(50)
3.2.1	PCB 中的传输线结构	(51)
3.2.2	传输线参数	(51)
3.2.3	传输线模型	(52)
3.3	时序分析	(55)
3.3.1	传播速度	(55)
3.3.2	时序参数	(56)
3.3.3	时序设计目标和应用举例	(57)
3.4	反射	(59)
3.4.1	瞬态阻抗及反射	(60)
3.4.2	反弹	(61)
3.4.3	上升沿对反射的影响	(64)
3.4.4	电抗性负载反射	(65)
3.5	串扰	(69)
3.5.1	串扰现象	(69)
3.5.2	容性耦合和感性耦合	(70)
3.5.3	串扰的模型描述	(70)
3.5.4	串扰噪声分析	(72)
3.5.5	互连参数变化对串扰的影响	(76)
3.6	本章小结	(78)
第4章	高速电路电源完整性	(80)
4.1	电源完整性问题概述	(81)
4.1.1	芯片内部开关噪声	(83)
4.1.2	芯片外部开关噪声	(84)

4.1.3	减小同步开关噪声的其他措施	(85)
4.1.4	同步开关噪声总结	(86)
4.2	电源分配网络系统设计	(87)
4.2.1	PCB 电源分配系统	(88)
4.2.2	电源模块的模型	(88)
4.2.3	去耦电容的模型	(89)
4.2.4	电源 / 地平面对应的模型	(93)
4.3	本章小结	(93)
第 5 章	去耦和旁路	(95)
5.1	去耦和旁路特性	(95)
5.2	去耦和旁路电路属性参数	(96)
5.2.1	能量储存	(96)
5.2.2	阻抗	(96)
5.2.3	谐振	(97)
5.2.4	其他特性	(98)
5.3	电源层和接地层电容	(99)
5.4	电容选择举例	(100)
5.4.1	去耦电容的选择	(100)
5.4.2	大电容的选择	(102)
5.4.3	选择电容的其他考虑因素	(104)
5.5	集成芯片内电容	(105)
5.6	本章小结	(106)
第 6 章	高速电路 PCB 的布局和布线	(107)
6.1	走线与信号回路	(107)
6.1.1	PCB 的走线结构	(107)
6.1.2	网络、传输线、信号路径和走线	(108)
6.1.3	“地”、返回路径、镜像层和磁通最小化	(109)
6.2	返回路径	(111)
6.2.1	返回电流的分布	(111)
6.2.2	不理想的参考平面	(111)
6.2.3	参考平面的切换	(112)
6.2.4	地弹	(114)
6.3	高速 PCB 的叠层设计	(115)
6.3.1	多层板叠层设计原则	(115)
6.3.2	尽量使用多层电路板	(117)
6.3.3	6 层板叠层配置实例	(118)
6.4	高速 PCB 的分区	(118)
6.4.1	高速 PCB 的功能分割	(118)

6.4.2	混合信号 PCB 的分区设计	(119)
6.5	高速 PCB 的元件布局	(121)
6.5.1	布线拓扑和端接技术	(122)
6.5.2	如何选择端接方式	(126)
6.5.3	端接的仿真分析	(126)
6.6	高速 PCB 布线策略和技巧	(128)
6.6.1	过孔的使用	(128)
6.6.2	调整走线长度	(130)
6.6.3	拐角走线	(130)
6.6.4	差分对走线	(131)
6.6.5	走线的 3-W 原则	(132)
6.7	本章小结	(132)

第二篇 应用篇

第 7 章	现代高速 PCB 设计方法及 EDA	(137)
7.1	现代高速 PCB 设计方法	(137)
7.1.1	传统的 PCB 设计方法	(137)
7.1.2	基于信号完整性分析的 PCB 设计方法	(138)
7.2	高速互连仿真模型	(139)
7.2.1	SPICE 模型	(139)
7.2.2	IBIS 模型	(140)
7.2.3	Verilog-AMS/VHDL-AMS 模型	(146)
7.2.4	三种模型的比较	(147)
7.2.5	传输线模型	(148)
7.3	常用 PCB 设计软件	(148)
7.3.1	Protel	(149)
7.3.2	OrCAD	(149)
7.3.3	ZUKEN CR5000	(150)
7.3.4	Cadence Allegro 系统互连设计平台	(150)
7.3.5	Mentor Graphics PADS	(151)
7.4	本章小结	(152)
第 8 章	PowerLogic & PowerPCB——高速电路设计	(153)
8.1	PADS 软件套装	(153)
8.2	PowerLogic——原理图设计	(154)
8.2.1	PowerLogic 的用户界面	(154)
8.2.2	建立一个新的设计	(156)
8.2.3	环境参数设置	(157)
8.2.4	添加、删除和复制元件	(159)
8.2.5	PADS 元件库与新元件的创建	(160)

8.2.6	建立和编辑连线	(161)
8.2.7	在 PowerLogic 下的叠层设置	(163)
8.2.8	在 PowerLogic 下定义设计规则	(163)
8.2.9	输出网表到 PCB	(164)
8.3	PowerPCB——版图设计	(165)
8.3.1	PowerPCB 的用户界面	(165)
8.3.2	设计准备	(167)
8.3.3	单位设置	(167)
8.3.4	建立板边框	(167)
8.3.5	设置禁布区	(169)
8.3.6	输入网表	(170)
8.3.7	叠层设计	(171)
8.3.8	定义设计规则	(172)
8.3.9	颜色设置	(177)
8.4	元件布局	(178)
8.4.1	准备	(178)
8.4.2	散开元器件	(179)
8.4.3	设置网络的颜色和可见性	(179)
8.4.4	建立元件组合	(180)
8.4.5	原理图驱动布局	(181)
8.4.6	放置连接器	(182)
8.4.7	顺序放置电阻	(183)
8.4.8	使用查找 (Find) 命令放置元件	(183)
8.4.9	极坐标方式放置 (Radial Placement) 元件	(184)
8.4.10	布局完成	(185)
8.5	布线	(186)
8.5.1	布线准备	(186)
8.5.2	几种布线方式	(189)
8.5.3	布线完成	(195)
8.6	定义分割 / 混合平面层	(195)
8.6.1	选择网络并指定不同的显示颜色	(195)
8.6.2	设置各层的显示颜色和平面层的属性	(196)
8.6.3	定义平面层区域	(196)
8.6.4	定义平面层的分隔	(197)
8.6.5	灌注平面层	(197)
8.6.6	初步完成 PCB 设计	(197)
8.7	本章小结	(198)
第 9 章 HyperLynx——信号完整性及 EMC 分析		(199)
9.1	HyperLynx 软件	(199)

9.2	LineSim——布线前仿真	(200)
9.2.1	利用 LineSim 进行反射分析	(200)
9.2.2	利用 LineSim 进行 EMC/EMI 分析	(209)
9.2.3	传输线损耗仿真	(210)
9.2.4	利用 LineSim 进行串扰分析	(211)
9.3	BoardSim——布线后分析	(216)
9.3.1	生成 BoardSim 电路板	(216)
9.3.2	BoardSim 的批处理板级分析	(217)
9.3.3	BoardSim 的交互式仿真	(222)
9.3.4	BoardSim 端接向导	(225)
9.3.5	BoardSim 串扰分析	(227)
9.4	本章小结	(228)
第 10 章 实例——基于信号完整性分析的高速数据采集系统的设计		(229)
10.1	系统组成	(229)
10.1.1	AD9430 芯片简介	(230)
10.1.2	CPLD 芯片简介	(230)
10.1.3	USB2.0 设备控制芯片——CY7C68013	(231)
10.1.4	SDRAM	(231)
10.2	基于信号完整性的系统设计过程	(231)
10.2.1	原理图的信号完整性设计	(231)
10.2.2	PCB 的信号完整性设计	(233)
10.3	设计验证	(238)
10.3.1	差分时钟网络仿真	(238)
10.3.2	数据通道仿真	(239)
10.4	本章小结	(239)
附录 A 常用导体材料的特性参数		(241)
附录 B 常用介质材料的特性参数		(242)
附录 C 变化表		(243)
附录 D 国际单位的前缀		(244)
参考文献		(245)

第一篇 基础篇



第1章 高速电路 PCB 概述

知识点

- 高速的界定
- 无源器件的射频特性
- PCB 基本概念
- 高速电路设计面临的问题

本章导读

电子系统的时钟频率越来越高, 如果一个数字系统的时钟频率达到或者超过 50 MHz, 而且工作在这个频率之上的电路已经占到了整个电子系统一定的分量, 就称为高速电路。高速电路 PCB 设计给工程师们带来了许多新的挑战。本章从介绍高速电路的特性出发, 将对无源器件的射频特性、PCB 基本知识作概括性的介绍, 并由此提出设计高速电路 PCB 面临的几个问题: 电磁兼容、信号完整性和电源完整性。

1.1 高速信号

英特尔的创始人之一摩尔曾经预测: 每隔 18 个月计算机的性能将翻倍, 历史证明了这个预测。衡量计算机性能指标的一个重要指标就是处理器芯片的时钟频率, 如图 1-1 所示说明了英特尔处理器时钟频率的发展趋势: 大约每两年时钟频率就能提高一倍。摩尔定律反映了半导体行业的发展趋势。2001 年半导体行业协会对未来芯片上时钟频率做了一个规划 [半导体国际技术发展蓝图 (ITRS)], 根据规划, 随着处理器时钟频率不断增长, 必然意味着系统上的数据传输速率、总线速率不断增长。此外, 其他产品如高速通信产品中的数据传输率和时钟频率也会加速提高。因此, 越来越多的电子系统设计师们将从事 100 MHz 频率以上的电路设计。目前, 超过一半的数字系统的时钟频率高于 100 MHz。当系统时钟频率超过 50 MHz 时, 将出现传输线效应和信号的完整性问题; 而当系统时钟频率达到 120 MHz 时, 基于传统方法设计的 PCB 将无法工作, 必须使用高速电路设计知识。因此, 高速电路设计已经成为现代电子系统设计师必须掌握的知识。只有使用高速电路设计技术, 才能实现设计过程的可控性。

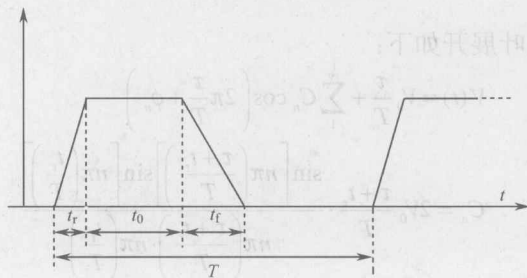


图 1-1 英特尔处理器时钟频率的发展趋势

1.1.1 高速的界定

如果一个数字系统的时钟频率达到或者超过 50 MHz，而且工作在这个频率之上的电路已经占到了整个电子系统一定的分量（比如说 1/3），这就称为高速电路。

实际上信号的谐波频率比信号本身的重复频率高，是信号快速变化的上升沿与下降沿引发了信号传输的非预期结果。因此，通常约定如果走线传播延时大于 20% 驱动端的信号上升时间，则认为此类信号是高速信号并可能产生传输线效应。

定义了传输线效应发生的前提条件，又如何判断传播延时是否大于 20% 驱动端的信号上升时间呢？信号上升时间的典型值一般可通过器件手册查出，而信号的传播时间在 PCB 设计中由实际布线长度和传播速度决定。例如，“FR4”板上信号传播速度大约为 6 in/ns（1 in=2.54 cm），但如果过孔多，器件引脚多，速度将降低，高速逻辑器件的信号上升时间大约为 0.2 ns，则安全的走线长度将不会超过 0.24 in。

假设“ T_r ”为信号上升时间，“ T_D ”为信号线传播延时，有如下经验法则：如果 $T_r \geq 5T_D$ ，信号落在安全区域；如果 $2T_D \geq T_r \geq 5T_D$ ，信号落在不确定区域；如果 $T_r \leq 2T_D$ ，信号落在问题区域。对于落在不确定区域及问题区域的信号，应该使用高速电路设计方法。

与低速情况下的数字设计相比，高速数字设计着重强调了数字电路之间用来传输信号的路径和互连，从发送信号芯片到接收信号芯片间的完整的电流路径，包括封装、走线、连接器、插座，以及许多其他的结构。高速数字电路的设计主要研究互连对信号传播的影响、信号间的相互作用，以及和外界的相互作用。

1.1.2 高速信号的频谱

标准时钟信号波形是梯形的周期数字脉冲，如图 1-2 所示，脉冲周期为 T ；信号上升时间为 t_r ；信号下降时间为 t_f 。假设 $t_r = t_f$ ，高电平维持时间为 t_0 ，定义数字脉冲宽度为 $\tau = t_0 + t_r$ 。

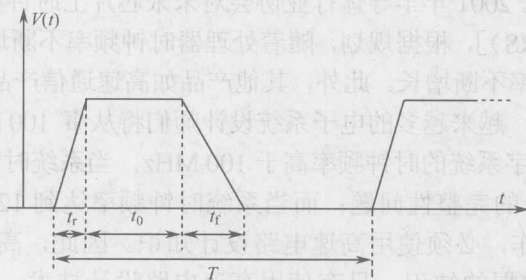


图 1-2 数字时钟信号

将此时钟信号作傅里叶展开如下：

$$\begin{aligned}
 V(t) &= V_0 \frac{\tau}{T} + \sum_1^{\infty} C_n \cos \left(2\pi \frac{\tau}{T} + \phi_n \right) \\
 C_n &= 2V_0 \frac{\tau + t_r}{T} \frac{\sin \left[n\pi \left(\frac{\tau + t_r}{T} \right) \right] \sin \left[n\pi \left(\frac{t_r}{T} \right) \right]}{n\pi \left(\frac{\tau + t_r}{T} \right) \cdot n\pi \left(\frac{t_r}{T} \right)} \\
 \phi_n &= -n\pi \left(\frac{\tau + t_r}{T} \right)
 \end{aligned} \tag{1-1}$$

通过上式的傅里叶展开可以得到此时大致的时钟信号离散频谱,如图 1-3 所示。可见数字信号的频谱并不局限于其时钟频率,而是覆盖很宽的频率范围。例如,一个时钟频率为 33 MHz 的数字系统,它的三次谐波分量接近 100 MHz。电路板上的元件、走线、封装、连接器等互连结构在 33 MHz 时可能不会带来问题,但是对于 100 MHz 的谐波,趋肤效应、传输线效应开始出现,并影响信号的完整性。随着频率的升高,一段不起眼的导线、一个封装引脚都可能像天线一样辐射电磁波,带来电磁兼容性问题。此外,系统互连对不同频率的衰减不同,频率越高,衰减越大,这就可能带来信号波形退化等一系列问题。

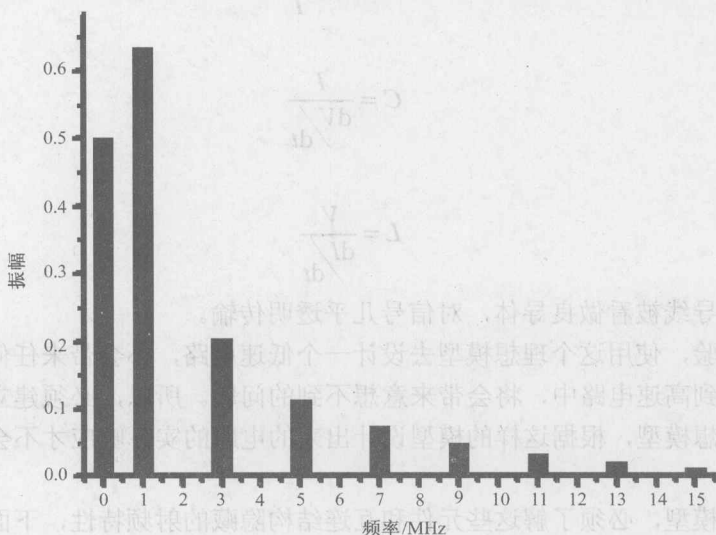


图 1-3 时钟信号的频谱

1.1.3 高速电路与射频电路的区别

什么是射频电路?随着频率的升高,相应的电磁波波长变得可与分立电路元件的尺寸相比拟时,电路上的导线、电阻、电容和电感这些元件的电响应开始偏移其理想频率特性。一般将射频定义在 30 MHz~4 GHz 频段,比射频高的频率称为微波。

一个数字系统的时钟频率本身可能很高,已经处于射频范围内,或者其时钟频率不够高,但其谐波频率却落在射频范围内。所以,一个高速系统,因其信号存在高频成分,电路上的元件呈现分布参数特性,互连系统表现出传输线效应。所以,在设计高速电路时,应具备射频微波知识是很有必要的。

但高速系统和射频系统存在差别,主要表现在:

- 射频系统一般处理模拟信号,而高速系统是针对数字信号而言;
- 射频系统一般是窄带的,而高速系统覆盖从直流开始的很宽频带;
- 射频信号靠信号的幅度和相位传播信息,一般从频域进行分析;而高速信号靠波形传播信息,一般从时域进行分析。

1.2 无源器件的射频特性

电子器件分为两种:实际的和理想的。实际的器件是可测的、实际存在的事物,是构成

硬件电路系统的互连线或元件。实际的器件包括 PCB 上的线条、封装引线或是板上的去耦电容等。

理想器件是特殊的电路元件的数学描述，有详细而精确的定义。仿真器只能仿真实理想器件的性能，电路理论的概念和公式也仅适用于理想器件，它是数学模型，如“SPICE”模型。

实际和理想总是有差别的，而差别的大小与适合元件的应用环境有密切的关系。根据设计低速电路的经验，一个电阻可以定义为

$$R = \frac{V}{I} \tag{1-2}$$

电容定义为

$$C = \frac{I}{dV/dt} \tag{1-3}$$

电感定义为

$$L = \frac{V}{dI/dt} \tag{1-4}$$

而一段金属导线被看做良导体，对信号几乎透明传输。

根据这个经验，使用这个理想模型去设计一个低速电路，不会带来任何问题。但是，如果将这个经验带到高速电路中，将会带来意想不到的问题。所以，必须建立这些元件的适用于高速电路的理想模型，根据这样的模型设计出来的电路的实际响应才不会和预想的产生太大的差别。

要建立这种模型，必须了解这些元件和互连结构隐藏的射频特性，下面逐一分析。

1.2.1 金属导线和走线

根据通常的观念，一般不会想到封装引线、跳线和走线会辐射 RF 能量。事实上，每个元件都有引线电感，从硅胶片的连接导线到电阻、电容器和电感线圈的引线；相互靠近的金属引线之间存在电容；而每条走线都存在寄生的电容和电感，这些寄生元件影响走线的阻抗并且对频率敏感。

在低频段，导线主要呈现电阻特性。一段边长为 a ；长度为 l ；电导率为 σ 的方形导体的电阻为

$$R_{DC} = \frac{l}{a^2\sigma} \tag{1-5}$$

对于低频信号，传导电流几乎均匀地分布在导体的横截面上。但随着信号频率的升高，电流趋于导体表面，此时一段导体同时表现出电阻和电感特性。

$$R = \frac{l}{4a\delta\sigma} \tag{1-6}$$

$$L = \frac{l}{4a\delta\sigma} \cdot \frac{1}{2\pi f} \tag{1-7}$$

其中， δ 为趋肤深度：

$$\delta = \frac{1}{\sqrt{\pi f \mu \sigma}} \tag{1-8}$$

那么在高频电路中，导线呈现出的阻抗为