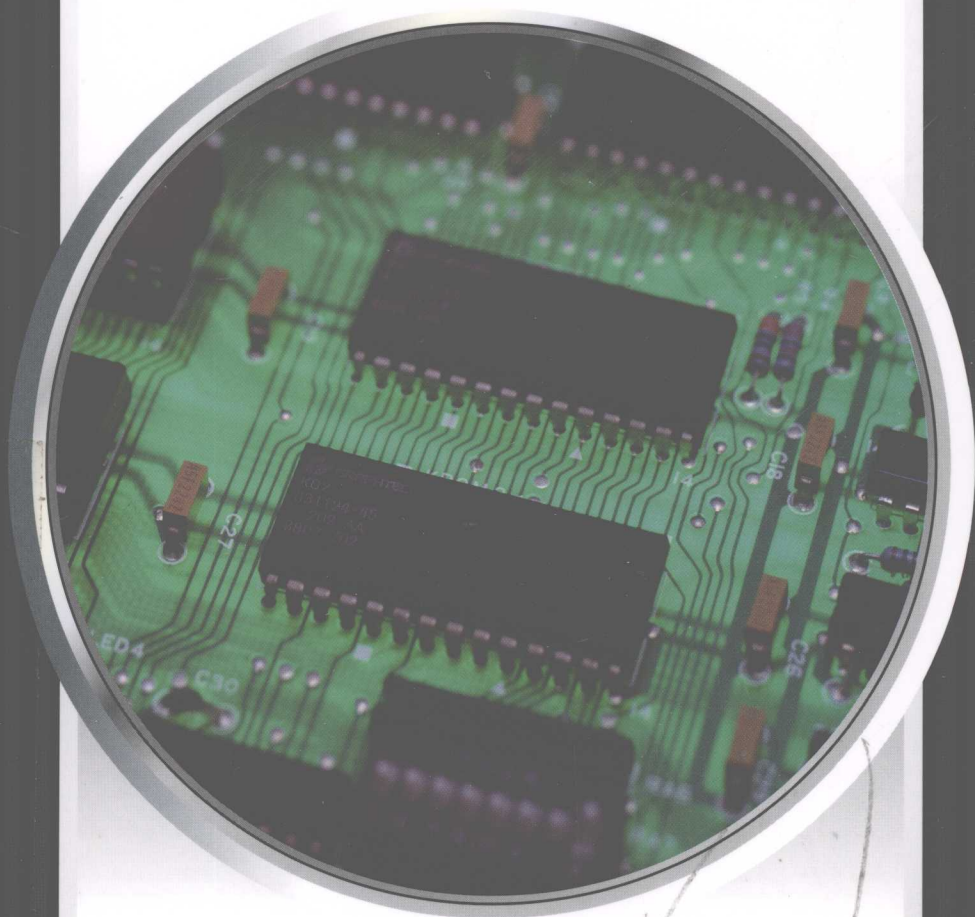


姜岩峰 主编

JICHENG DIANLU
SHEJI SHILI

集成电路 设计实例



化学工业出版社

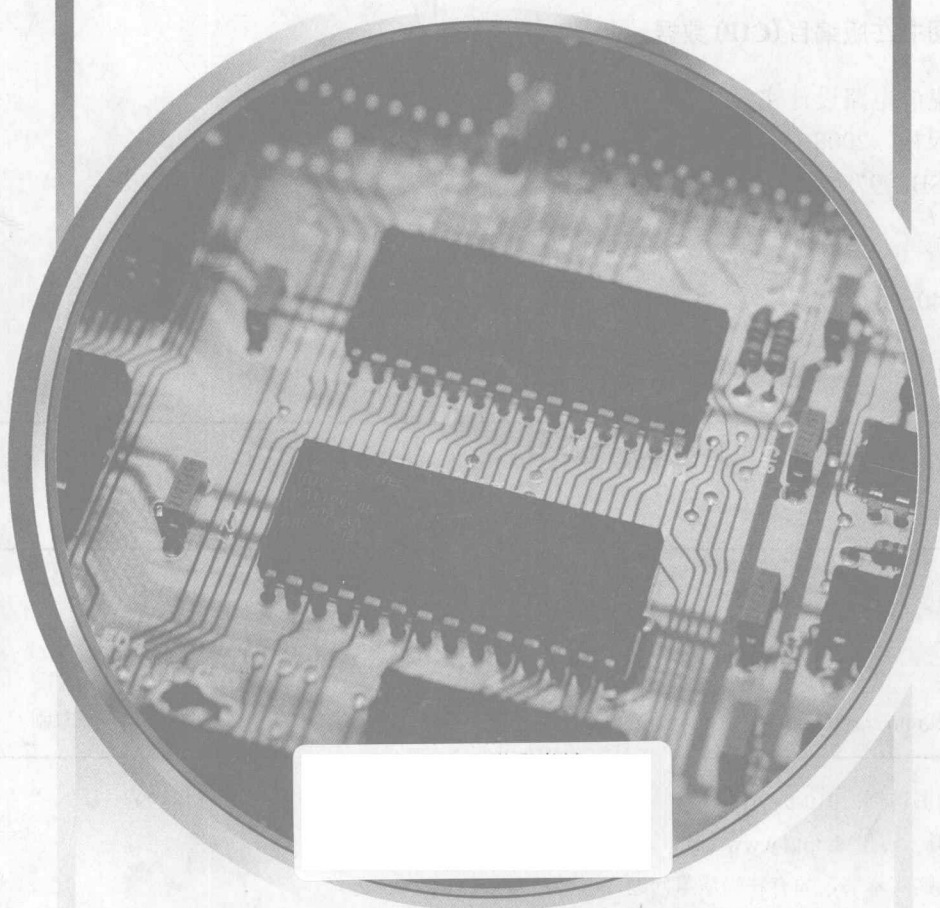
姜岩峰 主编

TN402/29

2008

JICHENG DIAN
SHEN SHI

集成电路 设计实例



化学工业出版社

· 北京 ·

集成电路设计实例

图书在版编目(CIP)数据

集成电路设计实例/姜岩峰主编. —北京: 化学工业出版社, 2008.3

ISBN 978-7-122-02230-1

I. 集… II. 姜… III. 集成电路-电路设计 IV. TN402

中国版本图书馆 CIP 数据核字 (2008) 第 023457 号

责任编辑: 宋 辉 刘 哲

文字编辑: 吴开亮

责任校对: 战河红

装帧设计: 张 辉

出版发行: 化学工业出版社 (北京市东城区青年湖南街 13 号 邮政编码 100011)

印 刷: 大厂聚鑫印刷有限责任公司

装 订: 三河市前程装订厂

720mm×1000mm 1/16 印张 10 字数 196 千字 2008 年 6 月北京第 1 版第 1 次印刷

购书咨询: 010-64518888 (传真: 010-64519686)

售后服务: 010-64518899

网 址: <http://www.cip.com.cn>

凡购买本书, 如有缺损质量问题, 本社销售中心负责调换。

定 价: 22.00 元

版权所有 违者必究

前 言

微电子技术是 21 世纪信息时代的关键技术之一,是技术进步和经济发展的重要因素。它是计算机技术、自动控制技术、纳米技术和通信技术的基础,并为其开拓新的应用领域和市场而不断创立新的技术平台。VLSI 集成度的日益提高、特征工艺尺寸的不断缩小以及性能与功耗的同步增长等,都给人们进行专用集成电路的设计提出了越来越大的挑战。

近年来,我国集成电路市场持续快速增长,已成为仅次于美、日的世界第三大市场。集成电路产业前景广阔。而芯片设计与制造技术是整个集成电路产业的核心技术。芯片业已是世界公认的电子工业、信息产业乃至整个国民经济增长的驱动力。在我国的研究计划中,集成电路被列为信息产业发展的重中之重。然而,目前绝大部分核心芯片都不是由我国设计师所设计的,因此,当务之急是培养足够数量和高水平的集成电路设计工程师,突破人才瓶颈。

近年来,国内出版了很多有影响的集成电路设计方面的专著,对促进国内微电子专业人才的培养起到了很好的促进作用。在此基础上,读者还需要能够反映整个集成电路设计流程实例的书籍。作者一直从事第一线的实践教学工作,根据平时的科研积累,将近年科研的成果进行整理,形成了《集成电路设计实例》这本书,在北方工业大学实践教学中进行应用,反映甚佳,用过此教材的学生普遍认为:通过几个有代表性设计实例的详细论述,不仅把学过的理论知识融会贯通,而且熟悉了不同种类集成电路的设计方法,提高了设计能力。

本书列举了三个实例,分别涵盖了双极型集成电路、CMOS 数字集成电路、CMOS 混合集成电路的设计,针对不同电路,介绍了不同的设计方法,每一种设计实例都给出了全流程的介绍,包括电路设计、仿真、版图设计、验证等,第 4 章介绍了集成电路设计中的若干主要问题。本书的设计与讲解由浅入深,对于有志于从事集成电路设计的读者,是一本非常具体的实例资料,既适合高年级本科生做教材,也适合研究生的课程需求,对于在职工程师,本书也是一本合适的自学教材。

在此,对曾经给这本书的写作和出版给予帮助的老师 and 同学表示感谢,他们是:北方工业大学微电子中心的张晓波、鞠家欣、杨兵、张静、高小飞等人。

限于作者水平和时间所限,书中难免存在疏漏之处,敬请广大读者批评指正。我们希望通过读者的意见来了解自己的不足,读者可以将反馈意见发送到 wdz@ncut.edu.cn。

编者

2008.4

目 录

绪言	1
0.1 ASIC 的分类	1
0.2 ASIC 的设计流程	2
0.3 本书的主要内容	3
第 1 章 双极型集成电路设计实例	4
1.1 典型的双极型集成电路工艺	4
1.2 双极型集成电路设计规则解读	7
1.2.1 版图设计规则	7
1.2.2 版图设计方案	9
1.3 Spice 模型	11
1.3.1 Hspice 基础知识	11
1.3.2 SPICE 器件模型	13
1.4 双极集成电路设计实例	19
1.4.1 电路功能分析	19
1.4.2 电路分析	20
1.4.3 集成电路版图设计	33
第 2 章 CMOS 数字集成电路设计实例	37
2.1 CMOS 工艺简介	37
2.2 N 阱 CMOS 工艺简介	40
2.3 CMOS 数字集成电路设计	41
2.3.1 Verilog 硬件描述语言	41
2.3.2 Verilog 的使用	57
2.3.3 用 Verilog 设计数字集成电路应用举例	58
2.4 CMOS 模拟集成电路设计	66
2.4.1 比较器概述	66
2.4.2 比较器的基本技术指标	68
2.4.3 设计概念介绍	68
2.4.4 集成电路设计要求	69
2.4.5 仿真	70
2.4.6 电路设计介绍	71

2.5 CMOS 放大器设计	88
第 3 章 Bi-CMOS 集成电路设计实例	93
3.1 Bi-CMOS 工艺简介	93
3.2 本设计采用的部分设计规则	94
3.2.1 采用的 Bi-CMOS 工艺	94
3.2.2 设计规则简介	96
3.2.3 设计规则输入	99
3.3 本实例的电路功能分析	99
3.3.1 本实例的设计指标	100
3.3.2 本实例的功能框图	100
3.4 数字部分电路的设计	105
3.4.1 反相器的设计	105
3.4.2 二输入与非门的设计	106
3.4.3 三输入与非门的设计	107
3.4.4 施密特触发器的设计	108
3.4.5 基本 D 触发器的设计	111
3.4.6 带使能端的 D 触发器的设计	113
3.4.7 数字部分的总电路图	114
3.5 模拟部分电路的设计	115
3.5.1 基准电压源的电路设计	115
3.5.2 差分放大电路的电路设计	118
3.5.3 过热保护电路的设计	119
3.5.4 恒流驱动电路的设计	121
3.6 数字部分的版图设计	123
3.6.1 基本 MOS 管的版图设计	123
3.6.2 反相器、与非门、施密特触发器、D 触发器等版图设计	123
3.6.3 数字部分的整体版图设计	124
3.7 模拟部分的版图设计	124
3.7.1 基本晶体管、电容、电阻等的版图设计	124
3.7.2 基准电压源、差分放大器等部分的版图设计	126
3.8 整体版图的位置分配与设计结果	127
3.9 设计规则检查与版图验证	129
3.9.1 设计规则检查 (DRC)	129
3.9.2 版图验证 (LVS)	132

第4章 集成电路设计若干主要问题	133
4.1 可靠性技术	133
4.1.1 可靠性技术简介	133
4.1.2 电路设计中提高可靠性的措施	134
4.1.3 版图设计中提高可靠性措施	137
4.1.4 工艺设计中提高可靠性的措施	139
4.2 可测性技术	140
4.2.1 可测性技术简介	140
4.2.2 可测试性设计的准则	141
4.2.3 可测试性的关键技术	141
4.2.4 可测试性技术的发展趋势	142
4.3 集成电路 ESD 方面知识	144
4.3.1 集成电路 ESD 模型和 ESD 测试方法	144
4.3.2 ESD 保护器件设计方案	148
参考文献	151

绪 言

专用集成电路 (application specific integrated circuit, ASIC) 是一种为专门目的而设计的集成电路, 具有设计自由度大、芯片中没有无用的单元或晶体管、面积小、性能高、大批量生产时成本低的特点。目前, ASIC 的设计已经在整机系统与电路的设计中占有重要的地位。

0.1 ASIC 的分类

ASIC 按应用特性分类, 有数字 ASIC、模拟 ASIC 和数模混合 ASIC 三种。

按 ASIC 芯片制造方法分, ASIC 设计可以分为全定制方法和半定制方法。

全定制方法是一种基于晶体管级的 ASIC 设计方法, 设计者使用版图编辑工具, 从晶体管版图尺寸、位置及互连线开始设计, 这些设计全部是按用户的要求进行的。这种设计方法是以得到尽可能小的芯片面积和尽可能高的系统性能为目标, 在大批量生产时具有成本低的优点, 常用于大批量的 ASIC 生产中, 但全定制方法设计周期长, 开发阶段投资风险大。

半定制集成电路指所有的逻辑单元预先进行设计, 但其中一些或所有的掩膜版按定制方式进行制作的集成电路。使用单元库中预先设计好的单元可以大大简化设计, 设计者不必涉及单元电路内部器件之间的互连, 只需要将这些基本单元进行合理的布局和互连就行了。在这里将半定制集成电路分为标准单元集成电路和门阵列集成电路。

在标准单元设计中, 是以精心设计的逻辑电路单元及版图为基础, 按具体电路的要求, 可将它们放在芯片上的任意位置按行排列, 单元行之间留出空隙作为单元间布线的通道, 标准单元可以是等高的, 单元的宽度随逻辑电路的规模大小而变化。有的标准单元设计系统亦可以接受高度、宽度均可变的宏单元。标准单元设计过程中, 从库中调出电路单元, 单元行放置的位置及布线通道宽度均可由设计者确定, 故标准单元设计中, 电路性能、芯片利用率以及灵活性较门阵列好, 但因其需要用户设计全部的掩膜版并要经过全部的工艺过程, 故生产周期较长且成本也较门阵列高。

门阵列在 ASIC 市场中占有很大的比重, 这是由于它在设计过程中的自动化程度高, 生产周期短且价格较低, 较适于批量小的 ASIC 设计。门阵列的器件结构是在硅片上预先制定好固定的晶体管阵列、固定的输入及输出的压焊块位置、固定的

布线通道。这种阵列分布的晶体管基片就称为门阵列母片。用它来实现的 ASIC 是通过母片上阵列分布的晶体管之间的金属化互连来实现的。

0.2 ASIC 的设计流程

图 0.1 描述了 ASIC 的设计步骤（当然对于不同的软件开发系统，在设计步骤上会有所不同），下面对每一步的功能作一个简单的介绍。

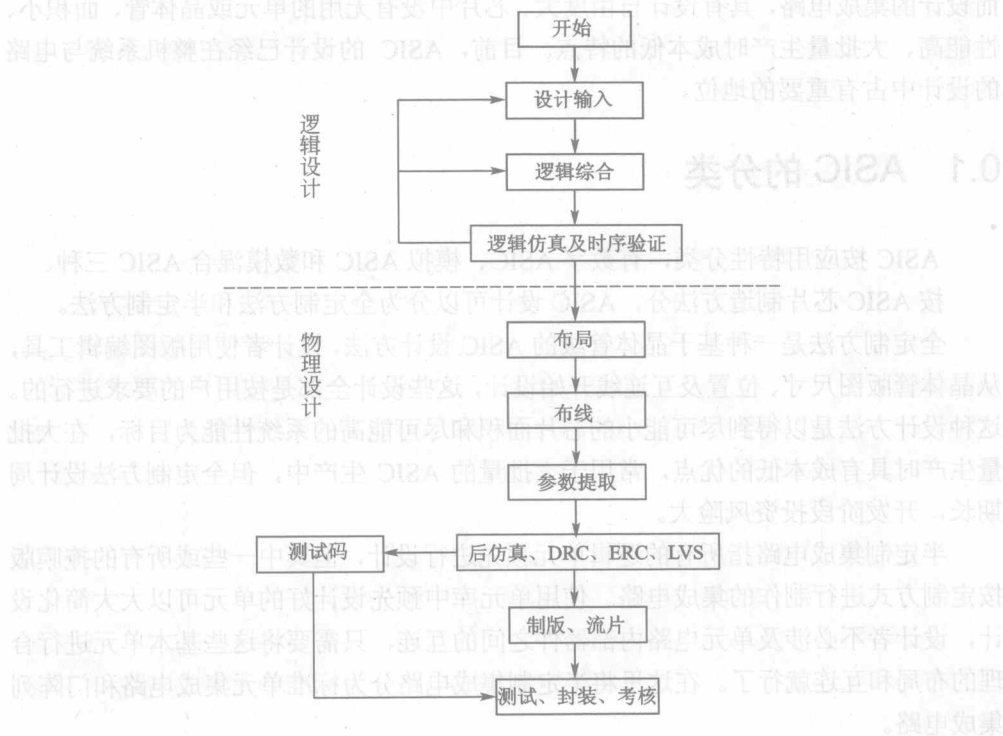


图 0.1 ASIC 的设计流程图

- ① 设计输入，采用草图或硬件描述语言的方式将电子系统输入到 ASIC 设计系统。
- ② 逻辑综合，对于 HDL 输入的方式，采用逻辑综合工具建立网表。
- ③ 布局前模拟，检查系统功能的正确性，包括逻辑仿真和静态时序分析。
- ④ 布局布线，确定各功能块的位置及对功能块之间和单元之间进行布线。此时要考虑到芯片尺寸、电路的最高工作频率、最长的关键路径，以及电源地线、时钟树分布和芯片压焊点是否合理等。
- ⑤ 参数提取，确定各个连接处的电阻和电容等电学参数值。
- ⑥ 布局后模拟，加入布局布线时增加各种电学寄生参数之后，再次检查系统

第1章 双极型集成电路设计实例

1.1 典型的双极型集成电路工艺

双极型集成电路的成熟期在 1950~1960 年间。20 世纪 70 年代集成电路的主要品种是双极型。随着芯片尺寸的缩小化, MOS 工艺由于其尺寸上的优势逐步成为市场的主流工艺。然而, 随着 MOS 工艺的发展, 双极型电路并没有完全被取代, 在某些应用场合仍然有着 MOS 电路不可替代的优势。如基于双极工艺的发射极耦合逻辑电路 (ECL) 电路, 其速度方面有着得天独厚的优势。除了高速场合外, 强调模拟特性的场合仍然用双极型电路, 这是因为双极型器件线性度高、频率噪声特性好、无论小电流还是大电流跨导特性都比较好等, 在射频领域双极型电路得到很好的发展。另外, 双极型器件具有电流驱动能力高的特点, 所以在很多集成电路中的输入输出极都采用双极型器件。

双极型电路的主要缺点是集成度较低, 同时伴随着功耗大等特点, 双极型集成电路的集成度都不高, 一般都是中规模集成电路或小规模集成电路。

双极型集成电路的制作工艺基本上与平面管的制作工艺相同, 其主要差别在于“隔离”。由于集成电路中各种晶体管、电阻和电容等都是制作在同一块硅片上的, 先要使这些元件相互电绝缘而成为各自独立的元件, 然后再用金属连线将它们按电路要求相互连接起来。因此, 在制作双极型集成电路时先要在硅片上造就各自电绝缘的隔离区, 各隔离区之间形成隔离岛, 再在这些隔离岛上制作各种元件。通常的隔离方法有反偏 PN 结隔离、介质隔离和等平面 PN 结介质混合隔离等。在反偏 PN 结隔离中, 所选衬底材料为 P 型, 在其上外延 N-层。所谓的 PN 结隔离就是离子注入 P+区, 与外延层形成起保护作用的二极管, 当在衬底加负电压或低电位时, 此二极管就反偏, 从而将各隔离区彼此分离开来。结构如图 1.1 所示。

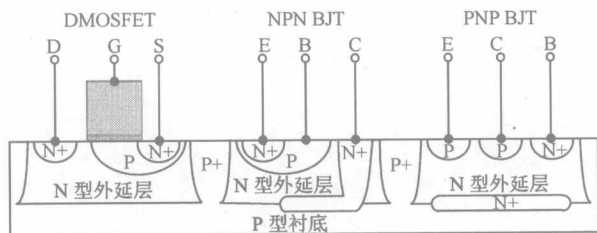


图 1.1 利用 PN 结隔离的器件结构剖面图

图 1.1 中, P+区把三种不同器件隔离开, 这三种器件分别是 DMOSFET、NPN 型双极晶体管和 PNP 型双极晶体管。可以看出, 在外延后, 通过离子注入 P+区域, 使隔离区的外延层反型, 从而形成 P+、N 二极管。

图 1.2 所示为介质隔离示意图, 把需要隔离的器件放在绝缘层上, 从而达到绝缘隔离的目的。

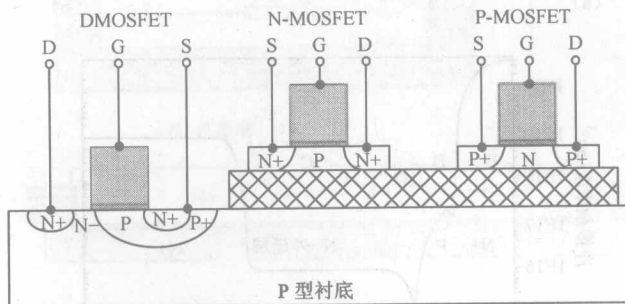


图 1.2 介质隔离示意图

目前各代工厂提供的工艺中, 绝大部分都是反偏 PN 结对通隔离, 所以下面的讨论将以 PN 结隔离双极型工艺为主。

制作集成电路的工艺流程较长, 通常需要 40 道左右的主要工艺步骤。它的各类元件又是在同一个流程中制作的, 因此在工艺参数的选择上要考虑各元件间的兼容和各工艺间的兼容, 这使得集成电路上各元件的性能也必须作折中考虑。

由于集成电路中各元件的结构在很大程度上是由其表面图形决定的, 也就是由掩模版上的图形决定的, 下面结合国内某双极工艺代工厂的主要工艺流程来介绍集成电路元件的形成过程及它们的结构。

图 1.3 所示为双极型集成电路中元件的版图[图 1.3 (a)]、对应的剖面图[图 1.3 (b)]和各区的典型掺杂浓度[图 1.3 (c)]。

图 1.3 中 E 代表发射极, C 代表集电极, B 代表基极。

对应图 1.3 中得到的最终结构, 主要工艺步骤如下。

- ① 选择 P 型衬底。
- ② 掩埋层扩散。
- ③ 外延 N-层。
- ④ 离子注入 P+隔离区。
- ⑤ 离子注入加扩散形成基区。
- ⑥ 离子注入发射区。
- ⑦ 深注入 N+区, 用于集电区深扩散。
- ⑧ 接触处理。
- ⑨ 金属化。

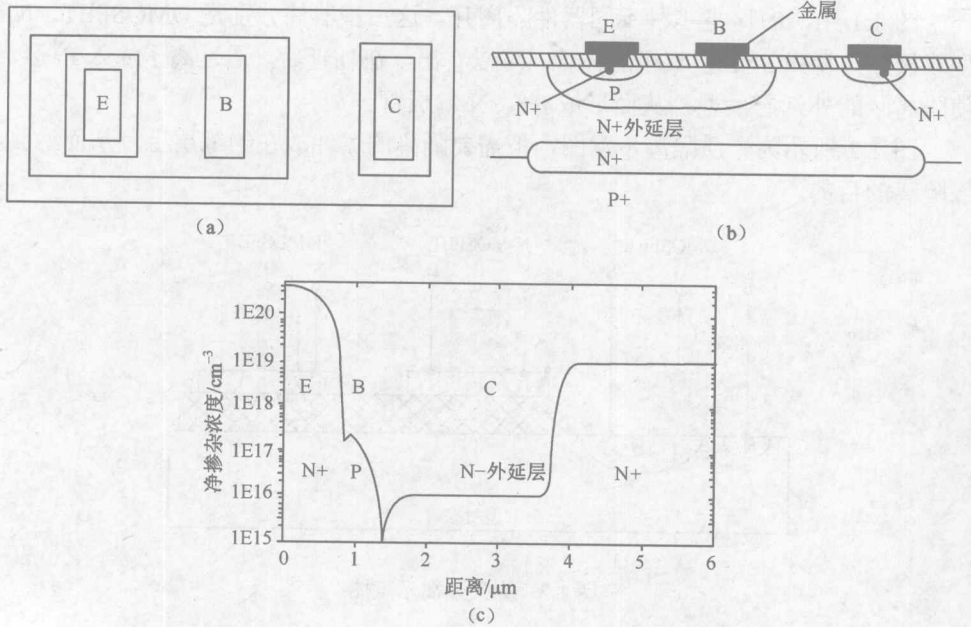


图 1.3 双极型集成电路中元件的版图[图 1.3 (a)]、对应的剖面图[图 1.3 (b)]和各区的典型掺杂浓度[图 1.3 (c)]

外延区的厚度对不同的器件从零点几微米到几微米不等。在高频应用场合，一般外延层厚度都较薄，这是因为此时要求集电区阻抗较小的原因。

基区在垂直方向的厚度及掺杂浓度是非常重要的两个参数，一般基区厚度为 $0.1 \sim 1 \mu\text{m}$ 之间，而掺杂浓度则在 $10^{17} \sim 10^{18} \text{cm}^{-3}$ 之间，发射极和集电极之间的击穿电压由基区决定，所以，基区掺杂浓度应该尽量浓一些，以便承受更大的电压。

发射区的参数设计时，为了保持一定的发射效率，发射结不能太浅，一般在 $1 \mu\text{m}$ 左右，发射区的掺杂浓度要尽可能高，一般在 $10^{20} \sim 10^{21} \text{cm}^{-3}$ 之间，几乎接近于硅的固溶度了。

根据以上结构和工艺分析，双极电路中的元件寄生参数如图 1.4 所示。其中 R_E 代表发射极电阻， R_{Bi} 代表本征基区电阻， R_{BX} 代表基区外电阻， R_C 代表集电区电阻， C_{EB} 代表发射极-基极电容， C_{BC1} 代表本征基区-集电区电容， C_{BCx} 代表基区-集电区外电容， C_{Cs} 代表集电区-衬底电容。

为了降低集电区等效电阻，在工艺中加入了深 N^+ 扩散，扩散在集电区中，如图 1.5 所示。双极工艺中的掩埋层和深 N^+ 扩散都是为了降低集电区电阻的。

对于和 NPN 晶体管在同一衬底上集成的 PNP 晶体管，在考虑了工艺兼容性的基础上，一般设计的结构图如图 1.6 所示。

图 1.6 中有两个集电区的引出，分别是 $C1$ 和 $C2$ 。一般设计的 PNP 晶体管，都是集电区环绕在发射区周围，这是为了增加收集效率而特别设计的。

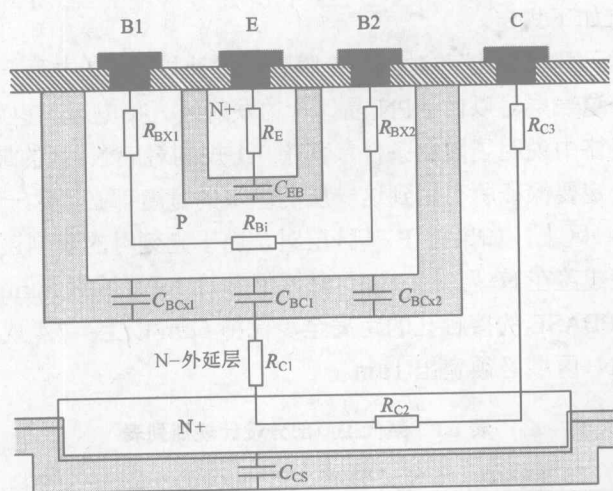


图 1.4 双极电路中的元件寄生参数示意图

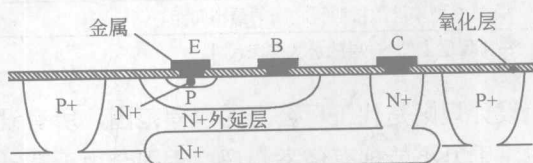


图 1.5 最终的双极工艺中 NPN 晶体管的剖面图

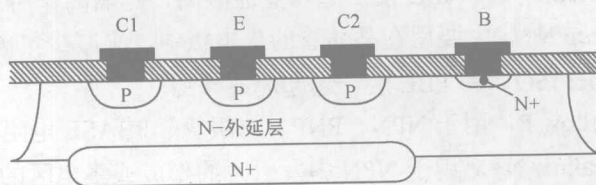


图 1.6 双极工艺中 PNP 晶体管的剖面图

1.2 双极型集成电路设计规则解读

某双极电路代工厂提供的主要设计文件，包括版图设计规则和器件的 SPICE 模型。

1.2.1 版图设计规则

版图设计规则其实是代工厂充分考虑其加工误差后而确定的尺寸裕度。例如，

在设计规则中有如下规定。

表 1.1 中表示的是 N+扩散对应的掩膜版的设计规则, 其中第一行括号中说明了这一层的作用, 这一层可以做 NPN 晶体管的发射区、集电区, 也可以做 PNP 晶体管的基区。在表格中说明了限制条件, 其中 7.1 规则对应 N+区的最小宽度为 $6\mu\text{m}$, 在版图设计时一定要保证所有用到这一层的区域的宽度都必须大于或等于 $6\mu\text{m}$; 7.2 规则对应是在 N+区上, 如果有 P 基区层时, 由于光刻时的套刻误差, 为了保证 P 基区层能够完整覆盖在 N+层上, P 基区边沿必须比 N+区域宽 $3\mu\text{m}$; 7.3 规则说明的是 N+区域距离 PBASE 的接触孔的距离至少保持 $6\mu\text{m}$ 以上; 7.4 规则说明的是在掩埋层 BLN 上的 N+区域必须宽出 $1\mu\text{m}$ 。

表 1.1 某代工厂部分设计规则列表

7.0 掩膜 07 (重 N 型掺杂: 用于 NPN 的发射集和收集极, NPN 的基极等)		
类 别	描 述	尺寸/mm
7.1	最小宽度	6.0
7.2	P 基区覆盖在 N+上的最小尺寸	3.0
7.3	N+和 P 型基区的接触孔之间的最小间距	6.0
7.4	在掩埋层上的 N+层的最大覆盖尺寸	1.0

以上可以看出, 设计规则是代工厂公布的误差范围, 所有设计人员都必须严格遵守, 在设计过程中, 千万不能抱有侥幸心理, 否则会由于某一处没有遵守设计规则而导致整个芯片设计的失败。

■ NBL: Buried N+, 即掩埋层, 在外延前进行, 目的是为了降低集电区电阻。

■ PBL: Buried P+, 和 ISO 层一起, 穿通隔离, 起隔离作用。

■ DNL: Deep N+, 主要用在晶体管的集电极中, 来减少集电极的电阻。

■ ISO: Upper ISO, 和 PBL 层一起起隔离作用。

■ PBS: Shallow P, 用于 NPN、PNP、二极管、PBASE 电阻。

■ EMT: Shallow N+, 用于 NPN 中发射区的形成或集电区的欧姆接触。

■ CAP: Capacitor, 电容层。

■ CON: Contact, 衬底和第一层金属的接触点。

■ INL: 1st Metal, 第一层金属连接线。

■ PAD: Passivation, 和金属一起组成 pad。

■ INS: 2nd Metal, 第二层金属连接线。

■ VIA: 一层金属和二层金属的接触点。

■ PML: imp resistor, 用做离子注入电阻。

根据以上版图所设计的 NPN 晶体管的剖面示意图和对应的平面版图如图 1.7 所示。

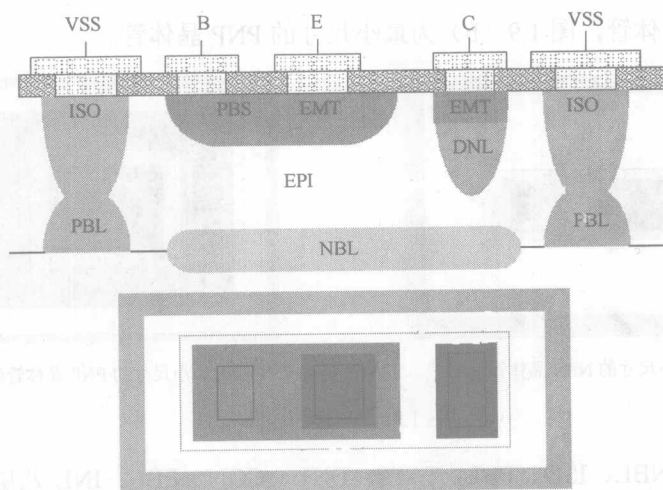


图 1.7 NPN 晶体管各图层对应的剖面示意图和平面版图

所设计的横向 PNP 晶体管的剖面示意图和对应的平面版图如图 1.8 所示。

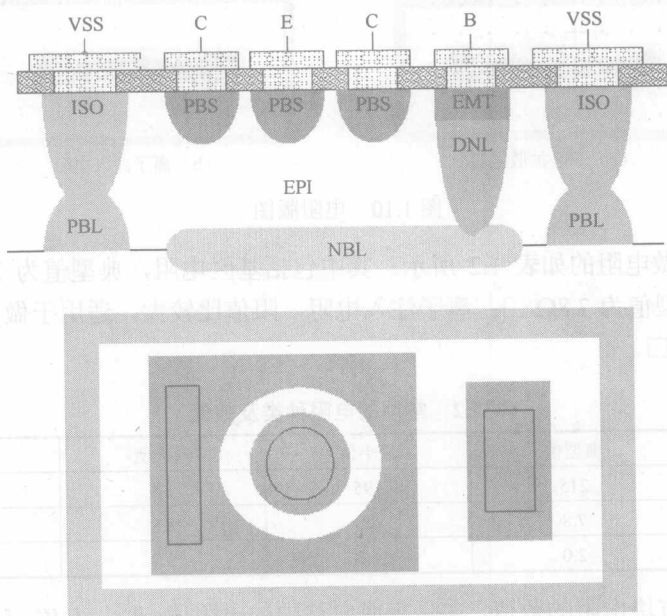


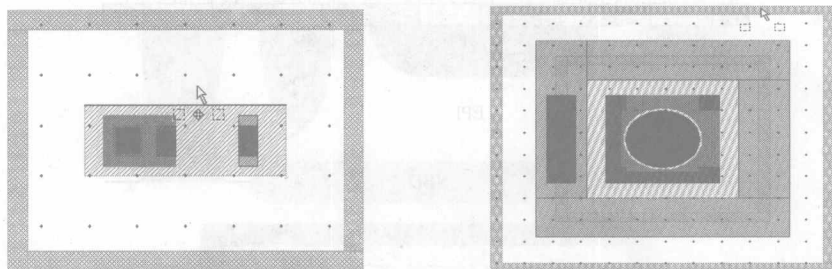
图 1.8 PNP 晶体管各图层对应的剖面示意图和平面版图

1.2.2 版图设计方案

(1) 晶体管版图

根据版图设计规则，设计的晶体管版图如图 1.9 所示，其中图 1.9 (a) 为最小

尺寸的 NPN 晶体管，图 1.9 (b) 为最小尺寸的 PNP 晶体管。



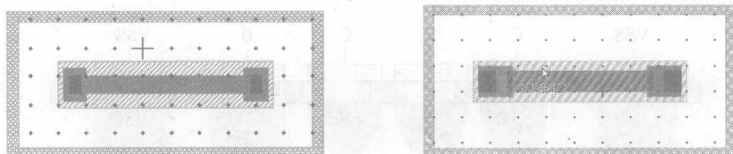
(a) 最小尺寸的 NPN 晶体管版图

(b) 最小尺寸的 PNP 晶体管版图

图 1.9 晶体管版图

晶体管由 NBL、ISO、PBL、EMT、DNL、CON、PBS、INL 八层组成，NPN 型发射区面积用的是规则中的最小尺寸 $6\mu\text{m} \times 6\mu\text{m}$ 。PNP 中发射区圆的直径为规则中的最小尺寸 $6\mu\text{m}$ 。其他层之间的距离也都是按照规则中的最小尺寸来做的。

(2) 电阻 (图 1.10)



(a) 基区扩散电阻

(b) 离子注入电阻

图 1.10 电阻版图

能够用来做电阻的如表 1.2 所示。其中包括基区电阻，典型值为 $215\Omega/\square$ ；发射区电阻，典型值为 $7.8\Omega/\square$ ；离子注入电阻，阻值比较大，适用于做大阻值电阻，典型值为 $2\text{k}\Omega/\square$ 。

表 1.2 常用的电阻种类及数值

电 阻 种 类	典型值	最小值	最大值	单 位
基区电阻	215	195	235	$\Omega/\square$
发射区电阻	7.8	6.8	8.8	$\Omega/\square$
离子注入电阻	2.0	1.8	2.2	$\Omega/\square$

根据以上方块电阻的数值，实际集成电路中的电阻值 $= R_{\text{方块}} \times L/W$ ， L 为电阻的长度， W 为电阻的宽度，其中基区扩散电阻的最小宽度是 $6\mu\text{m}$ ，离子注入电阻的最小宽度是 $8\mu\text{m}$ 。

(3) 电容

由 NBL、ISO、PBL、EMT、CAP、CON、INL 七层组成，如图 1.11 所示。

(4) 二极管

由 NBL、ISO、PBL、PBS、CON、INL、EMT 七层组成，如图 1.12 所示。