

ADSP—2101/2105

单片机原理及开发系统

湖北科学技术出版社

李树之 程汉湘
汪 涛 姜曼松

编 著

MY—1
开发系统

ADSP—21××



前 言

单片微型计算机或微处理器是 70 年代发展起来的大规模和超大规模集成电路器件。由于单片机具有功能强、体积小、可靠性高和价格低廉等一系列优点，因而在工业、农业、国防、交通和邮电通讯各个领域得到了广泛的应用，有力地推动了各行各业的技术改造和产品的更新换代，许多科研成果已转化为一定的生产力，收到了明显的经济效益和社会效益。

数字信号处理 (DSP) 单片机作为一种新型的产品，近十年来得到了迅速的发展，和普通的微处理器或单片机相比，它具有运算速度快、数字处理功能强等优点，因而它被广泛应用于高速数字采集、谱分析、数字图象处理、语音分析、雷达通讯和数字滤波等高速数字处理的场合。

ADSP—2100 系列 16 位高速数字信号处理单片机是美国模拟器件公司 (Analog Devices Inc.) 90 年代推出的新一代 DSP 芯片。为使该系列芯片在国内推广和普及，并使广大科技工作者了解该芯片的功能，我们广泛地收集了国外有关的最新资料，反映了 90 年代 AD 公司 DSP 芯片的最新进展。书中展示了我们最新科研成果——HY—I 型开发系统。

因 ADSP—2100 系列单片机具有相同的基本结构，目标码一级是完全兼容的，所以，本书仅以该系列的典型产品 ADSP—2101/2102 为主线进行详细论述。此外，我们也以专门一章的内容来介绍该系列的经济型产品 ADSP—2105。若欲了解其他产品的详细性能，请读者查阅其他有关资料。

全书共分八章。第一章绪言部分，对 ADSP—2101/2102 的系

统结构及系统功能作了一般的概括，使读者对芯片的整体有个全面的了解。第二章和第三章，介绍各运算单元、数据传送和程序控制，是CPU工作的主要核心部分，为全书的基础部分。第四章和第五章，分别介绍定时器、串行口以及ADSP—2101与存储器接口等问题。第六章为指令系统，该部分对29类指令中每条指令的功能及对系统工作的影响等，都作了详细地说明。第七章简单介绍ADSP—2105的工作原理和工作时序，其主要目的是让读者对2101与2105之间的区别有所了解。第八章论述了HY—I型仿真/开发机的工作原理及操作方法，本章不仅是对ADSP—2105系统接口技术应用的一个更全面、更具体地介绍，而且也为读者如何使用该系列芯片提供了有益的参考。

由于时间仓促，加之我们水平有限，书中错误在所难免，请读者见谅，并指正。

在我们的工作过程中，武汉化工学院的吕红同志对全书的资料收集和整理也作了大量的工作，同时还得到了有关专家的热情支持和帮助。在此，我们向他们表示由衷的感谢和诚挚的敬意。

编著者

1993年夏

目 录

前言.....	1
第一章 绪论.....	1
1.1 综述	1
1.2 ADSP—2101 主要特征	3
1.3 内部结构体系	4
1.4 ADSP—2101 开发系统	7
第二章 运算单元.....	9
2.1 ADSP—2101 的算术运算	9
2.1.1 二进制串	9
2.1.2 无符号数	9
2.1.3 带符号数：二进制补码	9
2.1.4 小数的表示：1.15	10
2.1.5 ALU 运算	10
2.1.6 MAC 运算	10
2.1.7 移位运算.....	11
2.1.8 小结.....	11
2.2 算术/逻辑运算单元 (ALU)	12
2.2.1 ALU 框图讨论	12
2.2.2 标准功能.....	14
2.2.3 ALU 输入/输出寄存器.....	15
2.2.4 多精度运算能力.....	15
2.2.5 ALU 饱和方式	16

2.2.6	ALU 溢出锁存方式	16
2.2.7	除法	16
2.2.8	ALU 的状态	19
2.3	乘法器/累加器 (MAC)	20
2.3.1	MAC 框图说明	20
2.3.2	MAC 运算	23
2.4	桶形移位器	27
2.4.1	移位器框图说明	27
2.4.2	移位操作	34
第三章	数据传送及程序控制	41
3.1	概述	41
3.2	数据地址发生器 DAG	41
3.2.1	DAG 方框图讨论	41
3.2.2	模块寻址	43
3.2.3	计算基地址	43
3.2.4	串行口	44
3.2.5	位反向寻址	45
3.3	PMD—DMD 总线转换	45
3.3.1	PMD—DMD 方块图讨论	46
3.4	程序顺序器	47
3.4.1	下一地址选择逻辑	47
3.4.2	程序计数器和堆栈	49
3.4.3	减数计数器的堆栈	50
3.4.4	循环比较器和指针	51
3.5	中断控制器	53
3.5.1	中断构造	54
3.5.2	中断控制器运行	58
3.6	状态寄存器和堆栈	59

3.6.1	算术状态寄存器 (ASTAT)	59
3.6.2	堆栈状态寄存器 (SSTAT)	60
3.6.3	方式堆栈寄存器 (MSTAT)	61
3.6.4	待机	62
3.7	条件逻辑	62
第四章	定时器和串行口	64
4.1	概述	64
4.2	定时器的结构	64
4.3	分辨率	65
4.4	举例说明	66
4.5	定时计算	67
4.6	SPORT 的基本特点	67
4.7	串行时钟	69
4.8	帧选择	70
4.8.1	帧同步化: RFSR/TFSR	70
4.8.2	内外帧同步: IRFS/ITFS	71
4.8.3	常规或交替的帧模式: RFSW/INVTFS	72
4.8.4	高有效或逆向读: INVRFS/INVTFS	73
4.9	SPORT 字长: SLEN	73
4.10	波形示例	74
4.11	数据寄存器和数据压缩扩展	77
4.11.1	简单操作举例	77
4.11.2	压缩扩展和数据格式: DTPE	78
4.11.3	压扩运行举例	79
4.11.4	压扩硬件的竞争	80
4.12	中断及自动缓冲	80
4.12.1	自动缓冲运行	80
4.12.2	自动缓冲控制寄存器	81

4.13	多通道的运行	82
4.13.1	多通道的建立	82
4.13.2	多通道运行	84
4.14	SPORT 的允许和设置	85
4.15	SPORT 的硬件接口	86
第五章	外部系统结构及存储器接口	89
5.1	概述	89
5.2	时钟信号和处理器状态	91
5.2.1	同步延时	92
5.2.2	时钟的考虑	92
5.3	复位	92
5.4	中断	94
5.4.1	边沿与电平触发	95
5.4.2	中断运行	96
5.5	标志输入/输出引脚	96
5.6	引导存储器接口	97
5.6.1	引导页	97
5.6.2	上电引导和软件重新引导	98
5.6.3	引导存储器的访问	99
5.6.4	引导装载过程	99
5.7	程序存储器接口	101
5.7.1	程序存储器读/写	101
5.7.2	程序存储器映象	103
5.8	数据存储器接口	104
5.8.1	数据存储器读/写	105
5.8.2	数据存储器映象	105
5.8.3	并行外设和存储器映象外设	107
5.9	总线请求/允许	107

5.10 存储器接口小结	108
第六章 指令系统	110
6.1 指令系统概述	110
6.2 指令类型	111
6.2.1 多功能指令	112
6.2.2 ALU, MAC 与移位指令	117
6.2.3 传送: 读与写	120
6.2.4 程序流控制	122
6.2.5 其他指令	123
6.3 数据结构	125
6.3.1 数组	125
6.3.2 循环数组/缓冲器	126
6.3.3 端口与存储器映象	127
6.4 程序举例	127
6.4.1 例行程序的讨论	129
6.4.2 中断子程序讨论	130
6.5 指令集说明	132
6.6 周期数说明	134
6.7 指令语法采用的符号	135
6.7.1 标点和多功能指令	136
6.7.2 语法符号举例	136
6.7.3 状态标志	137
6.7.4 指令字说明	137
第七章 ADSP—2105 工作原理	201
7.1 概述	201
7.1.1 开发系统	203
7.1.2 结构概述	204
7.1.3 管脚定义	207

7.1.4	串行口	208
7.1.5	中断	209
7.2	系统接口	212
7.2.1	时钟信号	212
7.2.2	总线接口	213
7.2.3	程序存储器接口	214
7.2.4	程序存储器的映象	214
7.2.5	数据存储器接口	215
7.2.6	数据存储器的映象	215
7.2.7	引导存储器接口	216
7.2.8	复位	217
7.3	ADSP—2105 寄存器	217
7.4	指令集说明	219
7.4.1	ADSP—2100 系列的兼容性	219
7.4.2	条件码	220
7.4.3	编程举例	221
7.5	指令集概述	221
7.6	ADSP—2105 的各项参数及技术要求	224
7.6.1	推荐工作条件	224
7.6.2	电参数特性	225
7.6.3	最大额定值	226
7.6.4	时间参数	226
7.7	ADSP—2101 和 ADSP—2105 之间的区别	238
7.7.1	ADSP—2105 的内部存储器	238
7.7.2	串行口	238
7.7.3	中断	238
7.7.4	引导存储器	238
第八章	HY—I 型开发系统	240

8.1	HY—I 型开发系统的硬件结构	242
8.2	HY—I 型开发系统的监控程序	243
8.2.1	HY—I 型开发系统监控程序的整体构造	244
8.2.2	监控程序的特殊处理	246
8.2.3	几个重要的子程序	250
8.3	HY—I 型开发系统的交叉汇编程序	253
8.3.1	交叉汇编程序设计概述	254
8.3.2	交叉汇编程序的构造	256
8.3.3	几个主要的功能函数模块	263
8.3.4	开发系统交叉汇编程序的说明	267
8.4	HY—I 型开发系统的反汇编程序	269
8.4.1	反汇编程序构造	270
8.4.2	典型的功能函数分析	273
附录 A	31 类指令编码	278
附录 B	HY—I 型开发系统仿真插座说明	292
附录 C	ASCII 码	294

第一章 绪 论

1.1 综 述

ADSP—2101 和 ADSP—2102 是可编程单片微型计算机，特别适合于数字信号处理以及其他高速数字处理的运用。

这两种微处理器都包括三个计算机单元、两个数据地址发生器、一个程序顺序器、两个串行口、一个定时器、外部中断功能和在片程序与数据存储器。ADSP—2101 芯片上有 1K 16 位数据存储器单元和 2K 24 位程序存储器单元，ADSP—2102 内部的存储器是一个带掩膜构造的结构，在片 2K 程序存储器可由任意组合的 RAM 和 ROM 构成，数据存储器在两种情况下（2101 和 2102）都是指 RAM。

本书中若不作特别说明，“ADSP—2101”指的是 ADSP—2101 和 ADSP—2102 两种芯片。

ADSP—2101 是建立在 ADSP—2100 微处理器基础上的，像 ADSP—2100 一样，ADSP—2101 包括三个独立的全功能计算单元：一个算术/逻辑单元，一个乘法器/累加器和一个桶形移位器，计算单元直接处理 16 位数据及提供多精度的计算。

两个专用的地址发生器和一个强有力的程序顺序器为片内片外存储器的操作提供地址。顺序器执行单周期条件转移和执行归零循环程序。两个数据地址发生器允许处理器同时输出地址，以取得两个操作数。顺序器与数据地址发生器一起可最有效地执行计算操作，ADSP—2101 使用新型的 Harvard 结构体系，在这个体系中，数据存储器存储数据，程序存储器存储指令和数据。微处

理器能够在一个周期中从在片数据存储器中取得一个操作数，从在片程序存储器中取得另一个操作数和下一条指令（在片存储器的存取速度保证了不必使用像 ADSP—2100 中的高速缓冲器）。

ADSP—2101 的这种工作方式也可通过一个外部存储器地址总线 and 数据总线扩展到片外，用于程序或者数据存储器访问和程序引导，这样，处理器就能够在任何周期中只需一次访问外部存储器。复位以后，程序引导电路自动设置等待状态，以保证将片外一片便宜的 EPROM 中内容导入到片内程序存储器中，而不需要附加硬件。也可从 EPROM 中选择不同的程序段装入到片内程序存储器中。

存储器接口支持带可编程等待状态的外围设备存储器映象。外部装置可以通过总线请求/允许信号（ $\overline{BR}$ 和 $\overline{BG}$ ）获得对总线的控制权。一种可选择的运行模式允许在总线让给另一个主机时，只要不进行外部存储器的存取操作，程序在 ADSP—2101 的内部继续运行。

ADSP—2101 可响应六个用户中断，最多可以有三个外部中断，可以是边沿触发或者是电平触发，内部中断由定时器和串行口产生。另外，也有一个主复位信号 $\overline{RESET}$ 。

两个串行口以硬件的数据压缩扩展提供了完整的串行接口，并支持 A—律和 μ —律操作。串行口可以很容易并能直接与许多通用串行装置接口，每一个串行口都能产生一个内部可编程时钟或者接收一个外部时钟。

正由于这种结构体系，ADSP—2101 具有高度的并行处理能力，适应于 DSP 的需要。在一个周期中，ADSP—2101 能完成下列操作：

- 产生下一个程序地址
- 取出下一条指令
- 执行一个或者两个数据传送

- 修改一个或者两个数据地址指针
- 执行一次运算
- 通过两个串行口接收和发送数据

ADSP—2101 指令集是 ADSP—2100 指令集向上兼容的最高子集。在第六章，我们将特别说明 ADSP—2101 指令功能，并给出一个示范程序。

ADSP—2101 指令集提供了灵活的数据传送和多功能指令（带运算的一个或者多个数据传送）。每条指令的执行只需一个周期。ADSP—2101 汇编语言是一种易于编码和可读性强的代数符号。

1.2 ADSP—2101 主要特征

- 2K 字节的在片 24 位程序存储器 RAM 和/或 ROM
- 1K 字节的在片 16 位数据存储器 RAM 和/或 ROM
- 分开的在片程序和数据存储器总线
- 在片程序和数据存储器的单周期访问
- 用于指令和数据储存的双重程序存储器
- 单字节 EPROM 自动程序引导
- 外部程序、数据和引导存储器空间的可编程等待状态
- 三个独立计算单元：算术逻辑单元、乘法器/累加器和一个桶形移位器
- 执行多精度运算
- ALU 和 MAC 饱和逻辑
- 归零循环
- 压缩 μ —律和 A—律的两个硬件双缓冲串行口
- 串行口数据自动缓冲
- 带有 8 位定标器的 16 位内部可编程定时器
- 由廉价晶体驱动的在片振荡器

- 与 ADSP—2100/2100A 编码兼容
- 简单的多处理器接口
- 80mW 低功耗，等待中断方式
- 12.5MHz 指令速度，每条指令 80ns
- 68 脚的 PLCC/PGA 封装

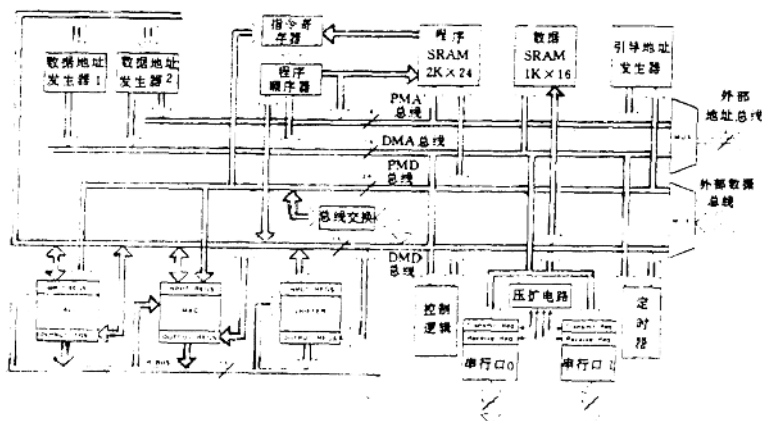


图 1-1 ADSP—2101 方块图

1.3 内部结构体系

这部分给出了 ADSP—2101 内部结构体系的进一步说明。在下面章节中，对 ADSP—2101 的每一部分都给以详细的描述。

- 算术/逻辑运算单元
- 乘法器/累加器
- 桶形移位器
- 两个数据地址发生器
- PMD—DMD 总线交换

- 程序顺序器
- 状态寄存器和堆栈
- 定时器
- 串行口

上述各部分都由下面五个内部总线支持其工作：

- 程序存储器地址总线
- 程序存储器数据总线
- 数据存储器地址总线
- 数据存储器数据总线
- 结果总线

ADSP—2101 包括三个全功能且独立的计算单元：算术/逻辑单元（ALU），乘法器/累加器（MAC）和一个桶形移位器（Shifter）。运算单元直接处理 16 位数据，提供高精度运算。

ALU 除了能进行除法运算外，它还能进行标准的算术逻辑操作。MAC 执行单周期乘法、乘法/加法和乘法/减法操作。移位器执行逻辑和算术移位，执行标准化、非标准化的和导出指数操作，移位器执行数字格式控制，包括多字节浮点表达式。运算单元为并行地而不是串联地排列，这样，任一单元的输出都可以作为下一指令周期任一单元的输入，内部结果总线直接与各运算单元相联接，保证了这种功能的实现。

所有这三部分包括输入和输出寄存器，可以通过内部数据存储器数据总线（DMD）进行访问。总之，运算操作可以从输入寄存器中取出操作数，并把结果装入输出寄存器，在存储器与运算电路之间，寄存器当作数据中间停留站。这个功能提供了一个输入和一个输出途径。R 总线使得前面计算出的结果直接被用作另一个计算的输入数。当进行一系列不同的运算操作时，这样就可避免过度的数据传递上的滞后。

两个专用的数据地址发生器和一个功能很强的程序顺序器使

我们能有效地利用这些计算单元。当存储器数据传送到输入/输出寄存器,或者从输入/输出寄存器中传送到存储器,数据地址发生器(DAG)提供存储器地址。每一个DAG可以跟踪最多四个地址指针,当一个指针用于间接寻址时,它由一个指定的寄存器中的值进行后修正。用两个独立的地址发生器,微处理器可以产生两个地址,用以取得两个操作数。

为完成循环缓冲的寻址,缓冲区的长度可能会与每个指针有关联。循环缓冲器可由串行口使用,进行自动数据转换,详细情况请参见第三章内容。DAG1能为数据存储器提供地址,而DAG2可以为数据存储器和程序存储器提供地址。借助于两个独立的地址发生器,我们可以同时访问储存在程序存储器和数据存储器中的数据。

程序顺序器为程序存储器提供指令地址,它由指令寄存器驱动,该指令寄存器存放着当前要执行的指令。这个指令寄存器为程序流引入一个单通道流水线。取出指令后,在同一指令周期内将指令装入指令寄存器,当下一条指令预先取出后,在下一个周期进行读指令。为了尽量减少额外周期数,顺序器支持条件跳转,子程序调用和单周期返回。用一个内部循环计数器和循环堆栈,ADSP—2101执行归零循环编码程序。对于循环而言,并不需要明确的跳转指令。可编程间隔定时器产生周期性中断,一个8位标度寄存器允许定时器从每一个周期到每256个周期的范围内对16位计数寄存器进行减1操作,当这个寄存器中的值减到零时,就产生一个中断。这时计数寄存器就由一个16位周期寄存器自动重新装入,并且计数立即重新开始。

ADSP—2101有两个进行串行通讯的双向双缓冲串行口,各串行口是同步的,使用帧信号去控制数据流动。每一个SPORT都能产生内部串行时钟或者使用外部时钟。帧同步信号可由内部产生或者由一个外围设备产生。字长可从3位到6位进行变化。

SPORT0 还具有多通道功能, 它能接收或者发送从 24 字到 32 字任意长度数据字流。

此外, SPORT1 可以设置成两个附加的外部中断输入脚和标志输出 (FO) 与标志输入 (FI) 脚。

这些组成部分由五个内部总线组成: 用于内部地址使用的 PMA 和 DMA 总线, 数据存储器数据总线 DMD 用于与存储器空间的数据联系。这两对总线被多路转换成片外的外部地址总线和数据总线。 $\overline{\text{BMS}}$, $\overline{\text{DMS}}$, $\overline{\text{PMS}}$ 信号用于选择不同的地址空间。R 总线是一个内部总线, 直接转换不同运算部分的中间结果。

14 位宽的程序存储器地址总线允许直接访问多达 16K 字节的指令和数据。24 位宽的程序存储器满足 24 位指令宽度。

数据存储器地址总线为 14 位, 可直接访问高达 16K 字节的数据。数据存储器数据总线为 16 位, 它为任一寄存器转换到任一其他寄存器或外部存储器区域提供了一条路径 (单周期)。数据存储器地址有两个来源: 一个是指令编码中含有绝对值 (直接寻址); 另一个则来源于数据地址发生器的输出 (间接寻址)。只有间接寻址, 才能从程序存储器中取得数据。

程序存储器数据 (PMD) 总线也能用来转换数据, 可通过直接路径或者通过 PMD—DMD 总线转换单元, 将数据传送到计算单元中, 或者从计算单元输入进来。PMD—DMD 总线转换单元允许数据从一条总线送到另一条总线。如果必要的话, 在两条总线之间, 通过内部的硬件电路, 可以克服 8 位宽度的偏差。

1.4 ADSP—2101 开发系统

ADSP—2101 有一整套硬件和软件开发工具。其开发系统包括: 交叉软件开发系统, 它供软件设计之用; 另一个是模拟器, 供硬件调试之用。交叉软件开发系统包括:

1. 系统构造