

新版

21世纪

高职高专系列教材

# 集成电路版图设计

◎曾庆贵 编著

◎王年元 审

 提供电子教案增值服务

 机械工业出版社  
CHINA MACHINE PRESS



... 2005.

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

...

# 集成电路版图设计

曾庆贵 编著

王年元 审

图书在版编目(CIP)数据

集成电路版图设计 / 曾庆贵编著. — 北京: 机械工业出版社, 2007.1

(21世纪高职高专系列教材)

ISBN 957-7-11-25099-4

... 曾庆贵 王年元

VI

... 2007

... (2007)

...

...

...

...

...

...

...

...

...



...

...

...

...

机械工业出版社

本书讲述基于 Cadence 软件的集成电路版图设计原理、编辑和验证的方法。全书共 9 章,第 1~3 章讲解学习版图设计需要掌握的半导体器件及集成电路的原理和制造工艺,第 4 章介绍上机必须掌握的 UNIX 操作系统和 Cadence 软件的基础知识,第 5 章介绍 CMOS 集成电路的版图设计,第 6 章介绍版图验证,第 7 章介绍芯片外围器件和阻容元件的设计,第 8 章介绍 CMOS 模拟集成电路和双极型集成电路的版图设计,第 9 章介绍版图设计经验和实例。6 个附录中介绍了设计规则、编写验证文件的一些常用命令及器件符号对照。

本书适合作为高职高专微电子及电子信息类专业的教材,也可用作微电子行业中高级技工的培训教材。

### 图书在版编目 (CIP) 数据

集成电路版图设计/曾庆贵编著. —北京:机械工业出版社,2008.1

(21 世纪高职高专系列教材)

ISBN 978-7-111-22699-4

I. 集… II. 曾… III. 集成电路—设计—高等学校:技术学校—教材  
IV. TN402

中国版本图书馆 CIP 数据核字 (2007) 第 168436 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:赵丽欣 责任编辑:赵丽欣 版式设计:霍永明

责任校对:张晓蓉 责任印制:洪汉军

北京瑞德印刷有限公司印刷 (三河市明辉装订厂装订)

2008 年 2 月第 1 版第 1 次印刷

184mm × 260mm · 19.25 印张 · 474 千字

0001—5000 册

标准书号:ISBN 978-7-111-22699-4

定价:29.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

销售服务热线电话:(010) 68326294

购书热线电话:(010) 88379639 88379641 88379643

编辑热线电话:(010) 88379739

封面无防伪标均为盗版

## 出版说明

根据《教育部关于以就业为导向深化高等职业教育改革的若干意见》中提出的高等职业院校必须把培养学生动手能力、实践能力和可持续发展能力放在突出的地位，促进学生技能的培养，以及教材内容要紧密结合生产实际，并注意及时跟踪先进技术的发展等指导精神，机械工业出版社组织全国近 60 所高等职业院校的骨干教师对在 2001 年出版的“面向 21 世纪高职高专系列教材。”进行了全面的修订和增补，并更名为“21 世纪高职高专系列教材”。

本系列教材是由高职高专计算机专业、电子技术专业和机电专业教材编委会分别会同各高职高专院校的一线骨干教师，针对相关专业的课程设置，融合教学中的实践经验，同时吸收高等职业教育改革的成果而编写完成的，具有“定位准确、注重能力、内容创新、结构合理和叙述通俗”的编写特色。在几年的教学实践中，本系列教材获得了较高的评价，并有多品种被评为普通高等教育“十一五”国家级规划教材。在修订和增补过程中，除了保持原有特色外，针对课程的不同性质采取了不同的优化措施。其中，核心基础课的教材在保持扎实的理论基础的同时，增加实训和习题；实践性较强的课程强调理论与实训紧密结合；涉及实用技术的课程则在教材中引入了最新的知识、技术、工艺和方法。同时，根据实际教学的需要对部分课程进行了整合。

归纳起来，本系列教材具有以下特点：

- (1) 围绕培养学生的职业技能这条主线来设计教材的结构、内容和形式。
- (2) 合理安排基础知识和实践知识的比例。基础知识以“必需、够用”为度，强调专业技术应用能力的训练，适当增加实训环节。
- (3) 符合高职学生的学习特点和认知规律。对基本理论和方法的论述要容易理解、清晰简洁，多用图表来表达信息；增加相关技术在生产中的应用实例，引导学生主动学习。
- (4) 教材内容紧随技术和经济的发展而更新，及时将新知识、新技术、新工艺和新案例等引入教材。同时注重吸收最新的教学理念，并积极支持新专业的教材建设。
- (5) 注重立体化教材建设。通过主教材、电子教案、配套素材光盘、实训指导和习题及解答等教学资源的有机结合，提高教学服务水平，为高素质技能型人才的培养创造良好的条件。

由于我国高等职业教育改革和发展的速度很快，加之我们的水平和经验有限，因此在教材的编写和出版过程中难免出现问题和错误。我们恳请使用这套教材的师生及时向我们反馈质量信息，以利于我们今后不断提高教材的出版质量，为广大师生提供更多、更适用的教材。

机械工业出版社

## 前言

集成电路版图设计是指把一张电子电路图设计成用于集成电路制造的光刻掩膜图形，再经过工艺加工制造出能够实际应用的集成电路。因此，版图设计是连接电子电路（或系统）和集成电路工艺之间的桥梁，它在集成电路发展过程中起着重要的作用。

当前，我国集成电路行业正处于发展的黄金时期，集成电路的设计、制造和封装测试都面临极大的发展机遇，但是人才匮乏的局面需要得到解决，为此，很多大学和高等职业技术学院都设立了微电子专业。版图设计是微电子专业一门重要的专业课，但对于高职高专层次的学校，至今仍没有一本合适的教材。

本书是以作者进行集成电路版图设计教学时编写的讲稿为基础增补而成的，其内容最初起源于2004和2005年两次为理光公司新员工培训的讲稿，后来以此为基础编成讲义，先后在上海中侨职业技术学院微电子专03级和04级、上海建桥学院微电子专业04级、上海新侨学院微电子专业04级和05级试用，内容已经过多次教学检验和修改。

本书讲述基于Cadence软件的集成电路版图设计原理、编辑和验证的方法。全书共分为9章，第1章至第3章讲解为学习版图设计需要掌握的半导体器件及集成电路的原理和工艺基础，如果在先修课程中学习过这些内容，则这3章可以作为学生复习的参考资料，不必作为教学内容讲解。第4章介绍了UNIX操作系统和Cadence软件概况，这是上机必须掌握的基础知识。第5章介绍CMOS集成电路的版图设计，第6章介绍版图验证，第7章介绍芯片外围器件和阻容元件的设计，第8章介绍CMOS模拟集成电路和双极型集成电路的版图设计，第9章介绍设计经验和版图实例。6个附录包括设计规则和编写验证文件的一些常用命令等。

由于所选用软件的原因，本书中有些逻辑符号不符合国家标准，在此特别予以说明，请读者谅解。相关国家标准对照符号可参照附录E和F。

本书适合作为高职高专微电子及电子信息类专业集成电路版图设计课的教材，也可用作微电子行业中高级技工的培训教材。

上海大学王年元副教授担任本书主审，在此表示衷心的感谢。

由于作者水平有限，书中错误和缺点在所难免，敬请读者批评指正。

# 目 录

## 出版说明

## 前言

<b>第 1 章 半导体和半导体器件基础</b> .....	1
1.1 半导体及其基本特性 .....	1
1.1.1 半导体导电性的特点 .....	1
1.1.2 半导体的导电机理 .....	2
1.1.3 空穴的导电作用 .....	3
1.1.4 能带图 .....	4
1.2 杂质对半导体导电性能的影响 .....	6
1.2.1 施主杂质和 N 型半导体 .....	6
1.2.2 受主杂质和 P 型半导体 .....	6
1.2.3 多数载流子和少数载流子 .....	7
1.2.4 杂质的补偿作用 .....	7
1.3 半导体的电阻率 .....	8
1.3.1 半导体电阻率的公式 .....	8
1.3.2 电阻率和杂质浓度的关系 .....	8
1.3.3 电阻率随温度的变化 .....	9
1.4 非平衡载流子 .....	10
1.4.1 非平衡载流子的产生和复合 .....	10
1.4.2 扩散电流 .....	11
1.5 PN 结 .....	11
1.5.1 平衡 PN 结 .....	12
1.5.2 PN 结的正向特性 .....	13
1.5.3 PN 结的反向特性 .....	14
1.5.4 PN 结的击穿 .....	15
1.6 MOS 场效应晶体管 .....	16
1.6.1 MOS 场效应晶体管的结构及工作 原理 .....	16
1.6.2 MOS 场效应晶体管的直流特性 .....	19
1.7 双极型晶体管 .....	20
1.7.1 双极型晶体管的基本结构 .....	21
1.7.2 晶体管的电流传输 .....	22
1.7.3 晶体管的特性参数 .....	23
1.8 习题 .....	25
<b>第 2 章 半导体集成电路</b> .....	26
2.1 集成电路的发明和发展 .....	26
2.1.1 集成电路的发明 .....	26

2.1.2 集成电路的发展 .....	27
2.1.3 集成电路的未来发展趋势 .....	28
2.2 集成电路的分类 .....	29
2.2.1 按器件结构类型分类 .....	29
2.2.2 按电路功能分类 .....	30
2.3 CMOS 集成电路 .....	30
2.3.1 CMOS 集成电路的特点 .....	30
2.3.2 CMOS 数字电路 .....	31
2.3.3 CMOS 模拟电路 .....	43
2.4 集成电路设计简介 .....	50
2.4.1 设计途径 .....	50
2.4.2 设计要求 .....	51
2.4.3 层次化设计方法 .....	52
2.5 习题 .....	52
<b>第 3 章 集成电路制造工艺</b> .....	54
3.1 氧化 .....	54
3.1.1 二氧化硅 (SiO <sub>2</sub> ) 的性质及 作用 .....	54
3.1.2 热氧化生长 SiO <sub>2</sub> .....	55
3.2 光刻与刻蚀 .....	57
3.2.1 光刻工艺流程 .....	58
3.2.2 光刻胶的基本属性 .....	61
3.3 掺杂 .....	62
3.3.1 扩散 .....	62
3.3.2 离子注入 .....	64
3.4 淀积 .....	66
3.4.1 物理气相淀积 .....	67
3.4.2 化学气相淀积 .....	67
3.5 接触与互连 .....	71
3.6 CMOS 工艺主要流程 .....	71
3.7 习题 .....	75
<b>第 4 章 UNIX 操作系统和 Cadence         软件</b> .....	76
4.1 UNIX 操作系统基础 .....	76
4.1.1 有关目录的操作 .....	77
4.1.2 有关文件的操作 .....	78
4.1.3 文件存取权限 .....	81

4.1.4	命令处理	82	6.1	概述	162
4.1.5	使用 vi	84	6.1.1	版图验证的项目	162
4.1.6	Linux 操作系统简介	89	6.1.2	Cadence 的版图验证工具	163
4.2	Cadence 软件	90	6.1.3	版图验证过程简介	164
4.2.1	EDA 厂商简介	90	6.2	Diva DRC 规则文件的建立	165
4.2.2	Cadence 软件概述	90	6.3	Dracula 规则文件	167
4.3	电路图的输入	94	6.3.1	Dracula 规则文件的结构	167
4.3.1	建立新库	94	6.3.2	建立 Dracula 规则文件	169
4.3.2	电路图编辑窗	96	6.3.3	Dracula 规则文件至 Diva 规则文件的转换	173
4.3.3	电路图的输入	99	6.4	运行 Diva DRC	174
4.3.4	电路图的层次化设计	106	6.5	运行 Dracula DRC	178
4.4	习题	109	6.5.1	验证步骤	178
<b>第 5 章 CMOS 集成电路的版图设计</b>			6.5.2	结果分析	182
5.1	MOS 场效应晶体管的版图实现	112	6.6	运行 Dracula LVS	187
5.1.1	单个 MOS 管的版图实现	112	6.6.1	LVS 原理	187
5.1.2	MOS 管阵列的版图实现	115	6.6.2	运行过程	189
5.2	版图设计规则	117	6.6.3	输出报告解读	193
5.2.1	概述	117	6.6.4	错误的纠正	197
5.2.2	1.5 $\mu\text{m}$ 硅栅 CMOS 设计规则	118	6.7	关于 ERC	201
5.3	版图系统的设置	122	6.8	习题	202
5.3.1	建立版图库	122	<b>第 7 章 外围器件及阻容元件设计</b>		
5.3.2	对层选择窗进行设置	125	7.1	特殊尺寸器件的版图设计	203
5.3.3	版图编辑窗的设置	129	7.1.1	大尺寸器件	203
5.3.4	使用 Option 菜单进行版图编辑窗设置	134	7.1.2	倒比管	207
5.4	版图的建立	137	7.2	电阻、电容及二极管的版图设计	208
5.4.1	设置输入层	137	7.2.1	MOS 集成电路中的电阻	208
5.4.2	屏幕显示画图区	137	7.2.2	MOS 集成电路中的电容器	210
5.4.3	建立几何图形	138	7.2.3	集成电路中的二极管	211
5.5	版图的编辑	149	7.3	CMOS 集成电路的静电放电保护电路	212
5.5.1	设置层的可视性	149	7.4	压焊块的版图设计	215
5.5.2	测量距离或长度	149	7.5	电源和地线的设计	216
5.5.3	图形显示	150	7.5.1	电源和地线在外围的分布框架	216
5.5.4	选择目标	151	7.5.2	电源和地线在内部的分布	217
5.5.5	改变图形的层次	152	7.6	习题	217
5.5.6	加标记	153	<b>第 8 章 模拟和双极型集成电路的版图设计</b>		
5.6	棍棒图	154	8.1	模拟 CMOS 集成电路	219
5.7	版图设计方法概述	155	8.1.1	模拟集成电路和数字集成电路的比较	219
5.7.1	版图设计方法	155	8.1.2	MOS 器件的对称性	220
5.7.2	层次化设计	156			
5.8	习题	160			
<b>第 6 章 版图验证</b>					

8.1.3 无源元件 .....	222	9.3.3 CMOS D 触发器 .....	244
8.1.4 连线 .....	224	9.3.4 CMOS 放大器 .....	246
8.1.5 静电放电保护 .....	225	9.3.5 双极集成电路 .....	250
8.1.6 衬底耦合 .....	225	9.4 习题 .....	256
8.2 铝栅 CMOS 集成电路 .....	226	<b>附录</b> .....	257
8.2.1 铝栅 CMOS 集成电路的版图设计 .....	226	附录 A 0.6 $\mu\text{m}$ 工艺设计规则 (0.6 $\mu\text{m}$ Technology Topological Design Rule) .....	257
8.2.2 铝栅 CMOS 集成电路版图实例 .....	228	附录 B 1.5 $\mu\text{m}$ 硅栅 CMOS divaDRC 规则文件 (1.5 $\mu\text{m}$ Si-Gate CMOS divaDRC. rul) .....	272
8.3 双极型集成电路 .....	231	附录 C 1.5 $\mu\text{m}$ 硅栅 CMOS N 阱单层多晶双层金属 LVS Dracula 规则文件 (1.5 $\mu\text{m}$ Si-Gate CMOS Nwell SPDM LVS Dracula File) .....	277
8.3.1 双极型晶体管的版图图形 .....	231	附录 D Dracula 规则文件的部分命令 .....	279
8.3.2 双极型集成电路版图设计的原则和步骤 .....	234	附录 E 半导体器件符号对照表 .....	297
8.4 习题 .....	235	附录 F 逻辑符号对照表 .....	298
<b>第 9 章 版图设计技巧和实例</b> .....	236	<b>参考文献</b> .....	299
9.1 人工全定制版图设计方法 .....	236		
9.2 常用版图设计技巧 .....	238		
9.3 版图实例 .....	241		
9.3.1 CMOS 门电路 .....	241		
9.3.2 CMOS SRAM 单元及阵列 .....	243		



# 第1章 半导体和半导体器件基础

## 本章要点

- 半导体的电性能和导电机理。
- 电子和空穴的概念。
- 杂质对半导体导电性能的影响。
- 非平衡载流子。
- PN 结及其特性。
- MOS 场效应晶体管的原理、结构和特性。
- 双极晶体管的原理、结构和特性。

本章简要介绍半导体物理和半导体器件物理，它们是学习集成电路和集成电路版图设计最重要的理论基础。

### 1.1 半导体及其基本特性

自然界中的物质大致可分为气体、液体、固体和等离子体 4 种基本形态。在固体材料中，根据其导电性能的差异，又可分为金属、半导体和绝缘体。金属是电的良导体，绝缘体不能导电，半导体的导电能力则介于金属和绝缘体之间。

实际上，金属、半导体和绝缘体之间的界限并不是绝对的，当半导体中杂质含量很高时，导电能力很强，表现出一定的金属性；而纯净半导体在低温下的导电能力很差，表现出绝缘性。半导体和导体的区别在于它们是否存在禁带，半导体中有禁带，金属没有禁带；区分半导体和绝缘体更加困难，通常根据它们的禁带宽度及其温度特性加以区分。

#### 1.1.1 半导体导电性的特点

自然界中存在的半导体材料非常多，有单一元素形态存在的半导体，如硅（Si）、锗（Ge），也有元素化合物半导体，如元素周期表中 III 族和 V 族元素形成的 III V 族化合物，如砷化镓（GaAs）、锑化铟（InSb）等。

##### 1. 电阻率、电导率和迁移率

电阻率是固体材料共有的电学参数，它反映的是物体的普遍性质。电阻率表示一个长 1cm，截面积为 1cm<sup>2</sup> 物体的电阻，用符号  $\rho$  表示，单位是欧姆·厘米（ $\Omega \cdot \text{cm}$ ）。电阻率的倒数叫电导率，用符号  $\sigma$  表示，单位是 1/欧姆·厘米（ $1/\Omega \cdot \text{cm}$ ）。电阻率和电导率反映物体导电能力的大小，电阻率越低，或者说电导率越高，物体的导电能力就越强。

金属之所以能够导电，是因为它有许多可以自由运动的电子，在电场作用下，这些自由电子就有规则地沿着电场的反方向流动而形成电流。自由电子的数目越多，或者它们在电场

作用下作有规则运动的平均速度越大, 电流就越大。因此自由电子也称为载流子。

如果用  $n$  代表  $1\text{cm}^3$  金属体积中的自由电子数, 叫做载流子浓度;  $q$  代表一个电子的电量; 电子在电场作用下流动的平均速度用一个叫做迁移率  $\mu$  的量来表示, 因为电子的流动是电场引起的, 电场越强, 电子流动得越快。迁移率就是指在  $1\text{V}/\text{cm}$  的电场作用下电子流动的平均速度, 单位是  $\text{cm}^2/\text{V} \cdot \text{s}$ 。电导率  $\sigma$  同上述 3 个量成正比, 具体的关系式是

$$\sigma = n \cdot q \cdot \mu \quad \text{点要章本 (1-1)}$$

或

$$\rho = 1/n \cdot q \cdot \mu \quad \text{典册中号味甜甜申的有号半 (1-2)}$$

## 2. 半导体电阻率的特点

同金属相比, 半导体电阻率主要有以下几个特点:

1) 数值大。金属的电阻率很小, 只有  $10^{-6} \sim 10^{-4} \Omega \cdot \text{cm}$ , 而半导体的电阻率比金属大得多, 在  $10^{-3} \sim 10^9 \Omega \cdot \text{cm}$  范围内, 例如, 室温  $27^\circ\text{C}$  时, 纯锗的电阻率是  $47 \Omega \cdot \text{cm}$ , 纯硅是  $2.14 \times 10^5 \Omega \cdot \text{cm}$ 。

2) 对温度的反应灵敏。金属的电阻率随温度的变化比较小, 半导体的电阻率随温度的变化却很显著, 在纯净的半导体材料中, 电导率随温度的上升呈指数规律增加。

3) 杂质的影响显著。半导体中杂质的种类和数量决定半导体的电导率, 例如在纯硅中加入百万分之一的硼, 硅的电阻率就从  $2.14 \times 10^5 \Omega \cdot \text{cm}$  减小到  $0.4 \Omega \cdot \text{cm}$  左右, 如果掺入百万分之一的磷, 电阻率也有类似的变化。

能使半导体硅、锗的电阻率显著改变的杂质有两类: 一类是元素周期表上的 III 族元素, 如硼、铝、镓、铟等; 另一类是元素周期表上的 V 族元素, 如磷、砷、锑等。掺杂了 III 族元素的半导体称为 P 型半导体, 掺杂了 V 族元素的半导体叫做 N 型半导体。

杂质对半导体电阻率的影响还有一个奇特之处, 就是虽然单独的 III 族或 V 族杂质都可以使锗、硅的电阻率降低, 但是把这两类杂质一起掺进去, 它们的作用却是互相抵消的。例如, 在纯硅中同时掺入这两种杂质, 并且它们的数量又差不多, 硅的电阻率反而很小。

4) 光照可以改变电阻率。金属的电阻率不受光照的影响, 但是适当的光照可以使半导体的电阻率发生显著的改变, 这种现象叫做光电导。

### 1.1.2 半导体的电电机理

#### 1. 锗和硅的晶体结构

目前主要的半导体材料大部分是共价键晶体, 图 1-1a 是硅原子靠共价键结合成晶体的平面示意图, 硅晶体实际的立体结构——金刚石结构如图 1-1b 所示。锗和硅都是四价元素, 从它们的原子结构来看, 最外层上都有四个电子, 这四个电子是可以拿来和别的原子交换的, 叫做价电子。当这些原子结合成晶体时, 它们是依靠互相共用价电子而结合在一起的。每个原子拿出一个价电子和它的一个邻近原子共用, 每个邻近原子也拿出一个价电子和它共用。这两个共用的价电子使两个硅原子间产生一种束缚力, 把两个原子互相拉住, 不易分开。两个共用的价电子所形成的束缚作用就叫共价键, 锗、硅单晶中的原子就是由这种共价键连结起来的, 因此这种晶体有时也称为共价晶体。由于每个锗、硅原子有四个价电子, 它们要分别和四个原子组成四个共价键, 这四个原子的地位是对称的, 所以它们就以正四面体的方式排列起来, 组成了金刚石结构。在图 1-1a 中, 共价键用两根平行的短线来表示。

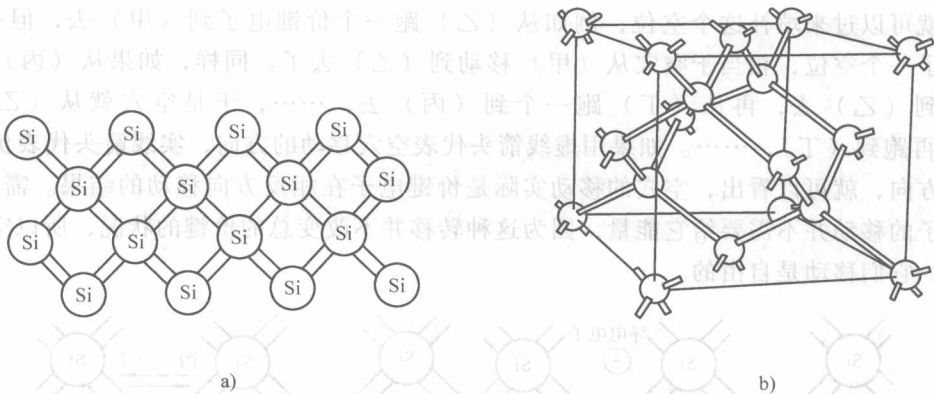


图 1-1 硅晶体的结构示意图  
a) 平面结构示意图 b) 立体结构示意图

## 2. 本征激发、导电电子和空穴

价键中的电子是两个原子共用的，它被束缚在这两个原子附近，不能自由运动。在共价键晶体中虽然有大量的价电子，但它们都不是自由电子，不能导电。尽管共价键中的电子处于束缚态，但是，只要给电子足够的能量，它就能冲破束缚，成为可以自由运动的导电电子。实验表明，对于硅的价键电子，至少需要给它  $1.1\text{eV}$ （即电子伏特，是一种能量单位）的能量才能成为导电电子；对于锗的价键电子，至少需要  $0.67\text{eV}$  的能量才能成为导电电子。价键电子冲破束缚所需要的起码的能量称为价电子的激活能，或者叫做禁带宽度，一般用  $E_g$  来表示，上面所说的  $1.1\text{eV}$  就是硅的禁带宽度  $E_g$  之值， $0.67\text{eV}$  是锗的  $E_g$  值。可见，对于不同的半导体，其  $E_g$  是不一样的。

在一定的温度下，晶体中的原子要作热运动，在它们原来的位置附近来回地振动，这种热运动有一定的能量，价键电子可以从原子的热运动中得到能量，从束缚的状态激发到自由的状态，成为导电电子。所以，仅仅看价键作用这个因素，电子就只能被原子束缚住。但有了热运动的激发作用，电子可以挣脱价键的束缚而自由，这互相矛盾的两种因素对立统一的结果是：在一定温度下，有一定数目的价键电子激发成为导电电子，使得锗、硅等共价晶体能够导电。价键电子激发成为导电电子的过程叫做本征激发。

本征激发还有另外一面，就是价键电子脱离束缚成为导电电子后，这时在原来的共价键上就留下了一个缺位，因为邻键上的电子随时可以跳过来填补这个缺位，从而使缺位转移到邻键上去，所以缺位也是可以移动的，这种可以自由移动的缺位被称为空穴。半导体就是靠电子和空穴的移动来导电的，因此，电子和空穴统称为载流子。

### 1.1.3 空穴的导电作用

半导体的原子是由带负电荷的电子和带正电荷的原子核组成的，由于这些正负电荷互相中和，不但整个半导体是电中性的，在价键完整的硅原子附近也是电中性的。从图 1-2a 可以看出，在空穴所在的位置，由于失去了一个带负电的价键电子，破坏了局部的电中性，出现了未被抵消的正电荷，就可以把这个正电荷看作是空穴所具有的，所以空穴是带正电的，它所带的电荷大小刚好与电子电荷是完全相等的，电子的电荷是  $-q$ ，空穴的电荷是  $+q$ 。

空穴可以在半导体内自由移动，在图 1-2b 中，(甲) 位置有一个空穴，它附近的价键上

的电子就可以过来填补这个空位，例如从（乙）跑一个价键电子到（甲）去，但在（乙）却留下了一个空位，相当于空穴从（甲）移动到（乙）去了。同样，如果从（丙）又跑一个电子到（乙）去，再从（丁）跑一个到（丙）去，……，于是空穴就从（乙）跑到（丙），再跑到（丁），……。如果用虚线箭头代表空穴移动的方向，实线箭头代表价键电子移动的方向，就可以看出，空穴的移动实际是价键电子在相反方向移动的结果。需要指出，价键电子的移动并不需要给它能量，因为这种转移并不改变总的价键的状况，所以空穴一旦产生后，它们移动是自由的。

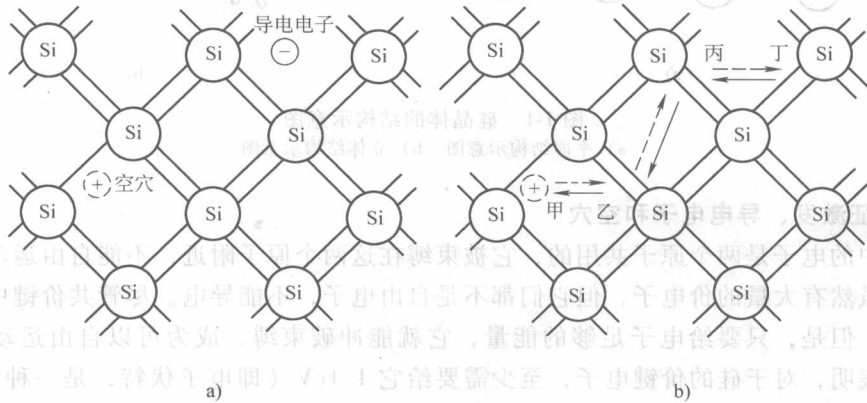


图 1-2 空穴及其移动  
a) 空穴和导电电子 b) 空穴的移动

没有外电场时，电子和空穴的运动都是无规则的，不能构成电流。有了外电场，价键中的电子将沿电场相反方向来填补空位，即空穴将沿电场相同方向运动，所产生的电流方向和电场方向相同。因此，半导体除了电子的导电作用外，还多了空穴的导电作用，这是半导体和金属的最大差别。不过，空穴的导电作用归根结底还是电子运动的结果，即大量价键中电子运动的集中表现。引进空穴的概念，就可以把这大量价键电子对电流的贡献用少量的空穴表达出来，不仅方便而且具有实际意义。

### 1.1.4 能带图

#### 1. 半导体中的能带

原子中的电子具有一定的能量，如果对能量的大小进行比较，电子所具有的能量也称为它的能级。半导体是由大量原子组成的晶体，由于原子之间的距离很近，一个原子的外层电子不仅受到这个原子的作用，还将受到相邻原子的作用。但是电子在原子之间的转移不是任意的，它们只能在相同的能级之间发生转移。由于晶体内原子的紧密排列，使得单独的一个个原子的能级演变为晶体中许多共有化的能级，从图 1-3 可以看出，共有化的能级分为许多组，每一组内包含大量的、

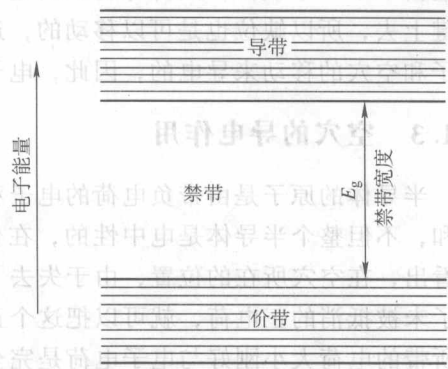


图 1-3 能带图

能量很接近的能级，这样紧密的能级在能量图中就像一条带子，因此通常称它为能带，能带之间的间隙称为禁带，禁带宽度是从一个能带到另一个能带之间的能量差。

价键电子虽然处在束缚态，但它们的能量并非只有一个固定值，而是可以在一定的能量范围内变动，这些能级都是被电子填满的，能量最高的是价电子所填充的能带，因此把这个能带称为价带。价带以上的能带基本上空的，其中最低的没有被电子填充的能带通常称为导带。价带顶的能量  $E_v$  代表了价键电子可以具有的最大能量，导带底的能量  $E_c$  代表导电电子所具有的最小能量。需要注意的是能带图只是说明了电子的能量，并不表示电子的实际位置和其他信息。

## 2. 本征激发的载流子浓度

半导体中构成共价键的电子也就是填充价带的电子，这是因为构成共价键的电子是硅或锗原子最外层的 4 个价电子，它们的能量最高，填充的也就是能量最高的能带——价带。电子摆脱共价键，就是指电子离开价带，本征激发使价键电子成为导电电子，在能量上就是从价带跃迁到距离价带最近的空能带中去，这个空能带就是导带。在导带中画一个小黑点代表激发的导电电子，在价带中画一个小圆圈表示价键电子离开后产生的空穴，本征激发过程则用一个箭头表示，其方向从价带的空穴指向导带的电子，如图 1-4 所示，图中只画出了表示导带底  $E_c$  和价带顶  $E_v$  的两条横线，而把导带和价带的其余部分省略了。

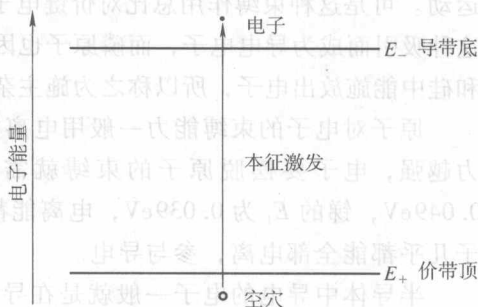


图 1-4 用能带图表示本征激发过程

在本征激发过程中，激发出一个导电电子，就同时产生一个空穴。如果导电电子同空穴相遇，它可以放出多余的能量而落回到空的价键里去，也就是它们要复合而消失。因此本征激发产生的电子和空穴是成对地产生，成对地复合，它们的数目相等。如果用  $n$  代表导电电子的浓度， $p$  代表空穴的浓度，就有

$$n = p = n_i \quad (1-3)$$

式中， $n_i$  称为本征载流子浓度。

载流子的产生是热激发所引起的，热激发有使导电电子和空穴不断增加的趋势，但是这种趋势将被复合阻止，因为复合的作用是使导电电子和空穴减少。产生和复合使半导体在一定的温度下可以达到动态平衡，使本征载流子浓度  $n_i$  保持一定。

温度升高使热运动变得激烈，热激发的作用增强，产生超过复合，导电电子和空穴的浓度就要增多，但它们不会无限制地增加，因为导电电子和空穴的浓度增加了，它们相遇而复合的机会就要增加了，复合的作用也将随着增强。当浓度增加到一定数值，复合又在新基础上达到新的平衡，这时的本征载流子浓度又保持一定，但是要比原来的大，所以  $n_i$  的数值随着温度上升而迅速增加。

另一方面，本征载流子浓度  $n_i$  又同禁带宽度  $E_g$  有关，在同一温度下， $E_g$  越小，价键电子激发成为导电电子所需要的能量就越小，导电电子和空穴就越容易产生，所以本征载流子浓度  $n_i$  就越大。不同的半导体材料具有不同的禁带宽度，因而具有不同的本征载流子浓度  $n_i$ 。

## 1.2 杂质对半导体导电性能的影响

制造集成电路或晶体管所用的大多是含有杂质的半导体材料，这种材料的导电性能不是由本征激发所产生的载流子决定，而是决定于材料中所含的杂质。因此适当地有控制地掺进一定数量的杂质，特别是Ⅲ、V族元素，就能改变半导体的导电性能。

### 1.2.1 施主杂质和N型半导体

在纯净的锗和硅中掺入少量的V族元素（例如磷），就成为N型半导体。磷原子进入硅以后要占据一个原来硅原子占据的位置，成为一个替位式的杂质，磷原子有5个价电子，它同周围的硅原子进行共价结合时，只要拿出4个价电子同4个邻居共用就够了，多余的一个电子虽然没有被束缚在价键里面，但仍受到磷原子核的正电荷的吸引，只能在磷原子的周围运动。可是这种束缚作用总比对价键电子的束缚作用弱得多，只要很小的能量就可以使它挣脱这种吸引而成为导电电子，而磷原子也因为少了一个电子变成带正电的磷离子。V族杂质在锗和硅中能施放出电子，所以称之为施主杂质或N型杂质，它释放电子的过程叫做施主电离。

原子对电子的束缚能力一般用电离能  $E_i$  表示。电离能越大，表示原子对电子的束缚能力越强，电子要摆脱原子的束缚就需要更多能量。硅中磷的  $E_i = 0.044\text{eV}$ ，砷的  $E_i$  为  $0.049\text{eV}$ ，锑的  $E_i$  为  $0.039\text{eV}$ ，电离能都很小，即使在很低的温度下，V族施主杂质上的电子几乎都能全部电离，参与导电。

半导体中导电的电子一般就是在导带中的电子，因此施主的电离实质上就是原来在施主能级上的电子跃迁到导带中去，这个过程所需要的能量就是电离能。根据这个道理，可以确定施主能级在能带图中的位置，如图1-5所示。施主能级在导带的下面，与导带的距离等于电离能，图中箭头表示电子从施主能级跃迁到导带的电离过程。

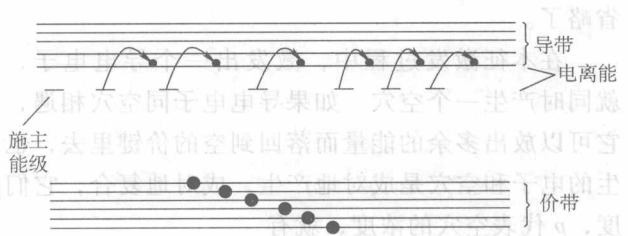


图1-5 施主能级在能带图中的位置

### 1.2.2 受主杂质和P型半导体

Ⅲ族的受主杂质原子只有3个价电子，代替硅或锗原子形成4个共价键，需要从其他硅或锗原子的共价键上夺取一个电子，这样就产生了一个空穴，杂质原子则由于接受了一个电子而成为带负电的离子。因为这种杂质在硅或锗中能接受电子而产生空穴，所以叫受主杂质或P型杂质。

带负电的杂质离子同带正电的空穴之间有吸引力的作用，所以这个空穴暂时还受到一些束缚，只能在杂质离子的附近活动，不像本征激发的空穴可以自由运动。但是如果给它一些能量，使它挣脱束缚，也就是跳到同杂质离子相距较远的地方，杂质离子对它的吸引作用变得微不足道，这个空穴就同本征激发的空穴一样可以自由运动，参加导电。使空穴摆脱受主离子的束缚所需要的能量叫做P型杂质的电离能，这个电离能很小，硅中硼的电离能为

0.045eV, 铝的电离能为 0.057eV, 镓的电离能为 0.065eV, 铟的电离能为 0.16eV, 因此, 在室温下锗和硅中的受主杂质几乎是全部电离的, 形成自由导电的空穴。自由导电的空穴实质上就是价带中的空能级, 受主杂质电离是价带中的电子跃迁到受主能级的过程, 跃迁所需要的能量就是受主的电离能, 因此同样可以确定受主能级的位置, 如图 1-6 所示。受主能级在价带上面, 与价带的距离等于电离能, 图中箭头表示电子从价带跃迁到受主能级的电离过程。

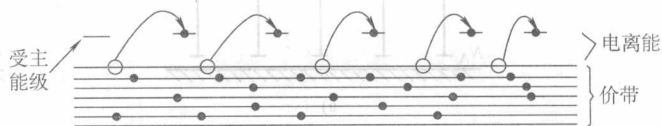


图 1-6 受主能级在能带图中的位置

### 1.2.3 多数载流子和少数载流子

在杂质半导体中, 杂质电离和本征激发是同时存在的。杂质电离虽然在半导体中产生了载流子, 但是它和本征激发不同, 它不是成对地产生电子和空穴的。施主杂质电离, 产生一个导电电子和一个正离子; 受主杂质电离, 产生一个自由空穴和一个负离子。这些离子只能在原来位置附近作热运动, 不能在整个晶体中运动, 所以不能参加导电。

既然杂质电离不是成对地产生导电电子和空穴, 在半导体中掺入施主杂质后, 导电电子和空穴的浓度是不相等的, 导电电子的浓度要比本征载流子浓度高得多, 而空穴的浓度不仅没有增加, 反而要减小到本征载流子浓度以下。因为掺入施主杂质后, 增加了导电电子的浓度, 因而也增加了原有空穴的复合机会, 导致空穴浓度的减少。可以证明, 在一定温度下, 不管半导体中有多少杂质, 它们导电电子浓度  $n$  和空穴浓度  $p$  的乘积总是保持一定, 且等于该温度下的本征载流子浓度  $n_i$  的平方, 即

$$np = n_i^2 \quad (1-4)$$

根据这个关系式, 如果知道了半导体中一种载流子的浓度, 就可以计算出另一种载流子浓度。

N 型半导体主要依靠电子导电, 但同时还存在少量的空穴, 在这种情况下, 称电子为多数载流子 (多子), 空穴为少数载流子 (少子)。在 P 型半导体中, 则空穴是多子, 电子是少子。

### 1.2.4 杂质的补偿作用

在硅或锗中如果同时存在施主和受主杂质, 它们将相互补偿, 即两种杂质的作用相互抵消。这是因为导带和施主能级上的能量比价带和受主能级要高得多, 所以在导带和施主能级上的电子总是首先去填充那些空的受主或价带能级。若用  $N_D$  和  $N_A$  分别表示单位体积内施主和受主的数目 (即杂质浓度), 在室温下  $N_A$  就是受主和价带中空能级的数目。如果  $N_D > N_A$ , 则  $N_D$  个施主上的电子除了  $N_A$  个填充空能级外, 只剩下  $(N_D - N_A)$  个电子可以电离到导带, 图 1-7a 示出了这种 N 型补偿的情形。如果  $N_D < N_A$ , 则全部  $N_D$  个施主电子都去填充空能级,  $N_A$  个受主能级只剩下  $(N_A - N_D)$  个是空的, 即只有  $(N_A - N_D)$  个能级可以电离而提供  $(N_A - N_D)$  个空穴, 图 1-7b 示出了这种 P 型补偿的情形。

因此, 两种杂质同时存在时, 半导体的导电类型决定于浓度大的那种杂质。

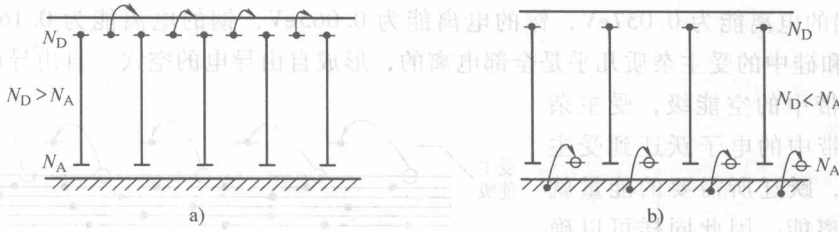


图 1-7 杂质的补偿作用  
a) N 型补偿的情形 b) P 型补偿的情形

### 1.3 半导体的电阻率

#### 1.3.1 半导体电阻率的公式

由电场作用而产生的沿电场方向的运动称为漂移运动。在电场作用下，半导体中的电子沿电场的相反方向运动，空穴沿电场相同方向运动，但它们产生的电流方向是相同的，都是沿着电场的正方向（如图 1-8 所示），所以半导体的导电作用应该是它的电子导电作用和空穴导电作用的总和。同金属的电导率公式相比，半导体的电导率应该是

$$\sigma = nq\mu_n + pq\mu_p \quad (1-5)$$

电阻率则为

$$\rho = 1/\sigma = 1/(nq\mu_n + pq\mu_p) \quad (1-6)$$

因为电子和空穴有不同的迁移率，所以分别用  $\mu_n$  和  $\mu_p$  表示。半导体材料不同，它们的迁移率也不同。迁移率的数值还要随温度和杂质浓度的改变而改变。

对于纯净的半导体，利用  $n = p = n_i$ ，就得到

$$\rho = 1/n_i q (\mu_n + \mu_p) \quad (1-7)$$

作为一个例子，用上式来计算纯硅在室温时的电阻率。电子的电荷  $q = 1.6 \times 10^{-19} \text{C}$ ，在室温 27°C 时，硅的本征载流子浓度  $n_i = 1.5 \times 10^{10} / \text{cm}^3$ ， $\mu_n + \mu_p = 1900 \text{cm}^2 / \text{V} \cdot \text{s}$ ，代入上式得到

$$\rho = 1 / (1.5 \times 10^{10} \times 1.6 \times 10^{-19} \times 1900) = 2.14 \times 10^5 (\Omega \cdot \text{cm})$$

这是由本征载流子所决定的数值，所以称为本征电阻率。

#### 1.3.2 电阻率和杂质浓度的关系

在杂质半导体中，两种载流子的浓度相差很悬殊，所以它的电阻率主要决定于多数载流子。对 N 型半导体， $n = N_n \gg p$ ，因此，有

$$\sigma_n = nq\mu_n = N_n \cdot q \cdot \mu_n \quad (1-8)$$

$$\rho_n = 1/N_n \cdot q \cdot \mu_n \quad (1-9)$$



图 1-8 电子和空穴在电场中的运动方向及其电流



本教材对 P 型半导体,  $p = N_p \gg n$ , 有

$$\sigma_p = pq\mu_p = N_p \cdot q \cdot \mu_p \quad (1-10)$$

$$\rho_p = 1/N_p \cdot q \cdot \mu_p \quad (1-11)$$

根据  $\rho_n$  和  $\rho_p$  的公式, 可以看出杂质浓度越高, 电阻率就越低。图 1-9 是根据实验得到的硅电阻率和杂质浓度关系的曲线, 利用它可以很方便地进行电阻率和杂质浓度的换算。例如, 硅单晶中每立方厘米有  $5 \times 10^{22}$  个硅原子, 如果在其中掺入百万分之一的施主杂质砷, 那么  $N_n = 5 \times 10^{16} / \text{cm}^3$ , 从图中查出它的电阻率不到  $0.2 \Omega \cdot \text{cm}$ , 比纯硅的  $2.14 \times 10^5 \Omega \cdot \text{cm}$  降低了一百万倍。反过来, 测出半导体的电阻率后, 也可以根据图 1-9 来确定它所含的微量 III、V 族杂质浓度, 检验半导体的纯度时, 有时就是这样做的。

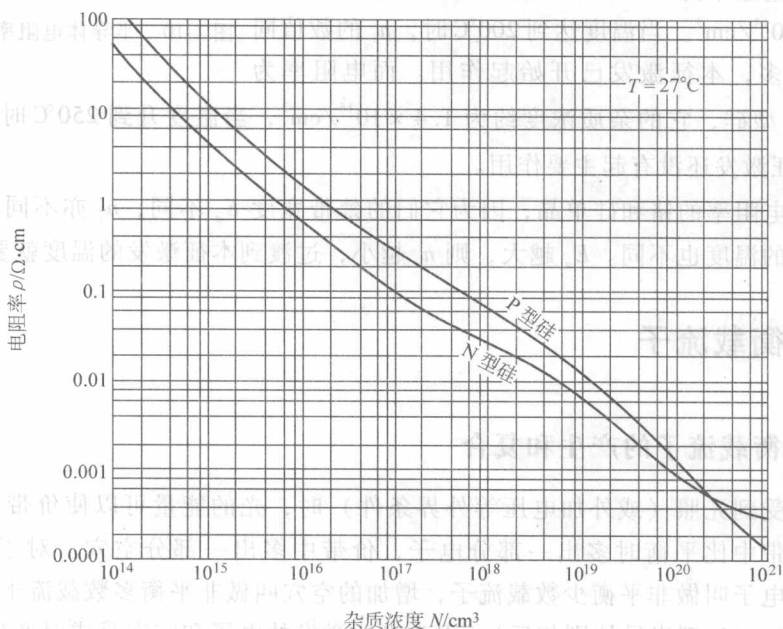


图 1-9 室温时硅电阻率随杂质浓度变化的曲线

### 1.3.3 电阻率随温度的变化

温度对半导体电阻率的影响是很显著的。图 1-10 的曲线表示了两块不同掺杂浓度的材料的电阻率随温度的变化关系。

由式 (1-7) 可知, 纯净半导体的电阻率主要决定于本征载流子浓度  $n_i$ , 而  $n_i$  是随温度升高而迅速增加的, 对硅来说, 温度升高  $8^\circ\text{C}$  左右  $n_i$  就增加近一倍, 因而纯净硅的电阻率就相应地降低一半左右。

对于杂质半导体, 电阻率由公式 (1-9) 或 (1-11) 决定, 在室温附近, 因为施主杂质或受主杂质基本上全部电离, 而本征激发在这时还不十分显著, 因此载流子浓度基本上不随温度变化, 这时电阻率随温度的变化就主要由迁移率随温度的变化来决定。由于迁移率的数值一般是随温度的上升稍有下降, 所以此时电阻率随温度的上升而略微上升。在温度较高时情况就要发生变化, 因为随着温度的升高本征载流子浓度  $n_i$  很快增加。对于 N 型半导体,