

张义和 张显盛 编著

Altium Designer

完全电路设计

FPGA篇

- FPGA
- VHDL
- PCB
- NanoBoard
- 嵌入式仪表
- 嵌入式系统设计
- 全书以实例介绍，搭配练习，
让读者轻松学习



· 磐峯 ·
www.gotop.com.tw



中国电力出版社
www.infopower.com.cn

TN410.2/110D

:3

2008

Altium Designer

完全电路设计

FPGA篇

张义和 张显盛 编著

内 容 提 要

本书以 Altium Design (Protel 的最新升级版本) 这个软件为背景, 比较全面地介绍了 FPGA 在 Altium Design 中的设计、综合、仿真等方面的应用, 书中的内容分为 7 章, 由浅入深, 从易到难, 包括 FPGA 的认识、VHDL 语言与设计技巧、VHDL 仿真、嵌入式仪表、核心器件设计与应用、嵌入式系统设计、FPGA 与 PCB 的界面, 还有 NanoBoard 的介绍与应用等, 每章还提供了练习, 有助于读者对知识的理解与运用。

本书可供本、专科电子或微电子专业的学生使用, 同时也可作为电路设计领域的开发人员的参考书。

图书在版编目 (CIP) 数据

Altium Designer 完全电路设计. FPGA 篇 / 张义和, 张显盛编著. —北京: 中国电力出版社, 2008
ISBN 978-7-5083-6657-9

I. A… II. ①张…②张… III. 印刷电路—计算机辅助设计—应用软件, Altium Designer IV. TN410.2

中国版本图书馆 CIP 数据核字 (2008) 第 036523 号

北京市版权局著作权合同登记号 图字: 01-2007-4752

著作权声明

本书为经台湾碁峰资讯股份有限公司独家授权发行的中文简体版。本书中文简体字版在中国大陆的专有出版权属中国电力出版社所有。在没有得到本书原出版者和本书出版者书面许可时, 任何单位和个人不得擅自摘抄、复制本书的一部分或全部以任何方式 (包括资料和出版物) 进行传播。本书原版版权属于碁峰资讯股份有限公司。

版权所有, 侵权必究!

责任编辑: 张 旻

责任校对: 崔燕菊

责任印制: 李文志

书 名: Altium Designer 完全电路设计——FPGA 篇

编 著: 张义和 张显盛

出版发行: 中国电力出版社

地址: 北京市三里河路 6 号 邮政编码: 100044

电话: (010) 68362602 传真: (010) 68316497

印 刷: 北京市同江印刷厂印刷

开本尺寸: 185mm × 260mm 印 张: 22.75 字 数: 514 千字

书 号: ISBN 978-7-5083-6657-9

版 次: 2008 年 6 月北京第 1 版

印 次: 2008 年 6 月第 1 次印刷

印 数: 0001—4000 册

定 价: 39.00 元 (含 1CD)

敬告读者

本书封面贴有防伪标签, 加热后中心图案消失

本书如有印装质量问题, 我社发行部负责退换

版 权 专 有 翻 印 必 究



自序

继 Protel DXP 2004 后, Protel 全面升级, 将产品名称改为 Altium Designer, 从此, Altium 迈入新纪元。

重新命名后的 Altium Designer, 除新增非常多的功能外, 仍保有其原本流畅的操作界面, 因此, 原来的用户可毫不费力地操作这个软件。面对这个改变, 我们决定编写一套最完整的 Altium Designer 教材, 规划为电路图篇、电路板篇及 FPGA 设计篇三本实用的教程陆续发行。而本书是针对 FPGA 设计部分, 全书分为七章, 由浅入深, 内容非常详尽, 包括 FPGA 的认识、VHDL 语言与设计技巧、VHDL 仿真、嵌入式仪表、核心 (core) 元件设计与应用、嵌入式系统设计、FPGA 与 PCB 的界面, 还有 NanoBoard 的介绍与应用等。在每章结束之前, 准备了实用的习题。经过这些练习, 不但可奠定良好的 FPGA 设计基础, 更可成为 FPGA 设计高手。若以本书作为学校教材, 将可使教者轻松、学者愉快。

在本书所附的光盘里, 包含书中的实例文件及 Altium Designer 的使用演示文件等, 有了这些辅助工具, 将可使教与学的效率大大提高。

张义和
yiher99@aptg.net

目 录

自序

第 1 章 快速穿越 FPGA 设计	1
1-1 FPGA 与 CPLD 概述	2
1-2 Designer 的 FPGA 设计环境	10
1-3 快速设计 FPGA	13
1-4 约束文件与配置管理器	21
1-5 执行 FPGA 设计	26
1-6 强生计数器	31
1-7 本章习题	34
第 2 章 VHDL 设计	41
2-1 VHDL 概述	42
2-2 编写 VHDL	42
2-3 Altium Designer 的 VHDL 设计	51
2-4 VHDL 基本设计	56
2-5 组合逻辑电路设计	71
2-6 时序逻辑电路设计	78
2-7 本章习题	90
第 3 章 系统仿真	95
3-1 仿真概述	96
3-2 Designer 系统仿真操作步骤	98
3-3 设计测试平台	104
3-4 海明码和错误自动更正电路	110
3-5 PISO 电路	123
3-6 本章习题	126
第 4 章 嵌入式仪表	131
4-1 硬设备控制器	132
4-2 频率产生器 CLKGEN	139
4-3 数字 I/O 模块 IOB_x	144
4-4 计频器 FRQCNT2	147
4-5 逻辑分析仪 LAX_x	150
4-6 可配置逻辑分析仪 LAX	159

4-7 PWM 电路	164
4-8 正弦波产生器	167
4-9 本章习题	177
第 5 章 FPGA 器件库与核心零件	183
5-1 Altium Designer 的项目管理	184
5-2 FPGA 设计的器件库	185
5-3 核心设计项目与核心器件设计	204
5-4 建立电路图器件	215
5-5 核心器件设计实例演练	215
5-6 本章习题	223
第 6 章 嵌入式设计	225
6-1 Altium 的嵌入式设计	226
6-2 认识 TASKING 工具链	252
6-3 嵌入式设计的置入处理器	265
6-4 嵌入式设计的连接软件	274
6-5 嵌入式设计实例演练	276
6-6 本章习题	292
第 7 章 从 FPGA 到 PCB	295
7-1 不同 FPGA 芯片的应用	296
7-2 从 FPGA 项目到 PCB 项目	308
7-3 项目的同步管理	317
7-4 管脚互换	324
7-5 本章习题	337
附录 A NanoBoard-NB1 简介	339
A-1 NanoBoard-NB1 的认识与安装	340
A-2 NanoBoard-NB1 规格	348
A-3 NanoBoard 固件更新	351
A-4 NanoBoard-NB1 开机自动执行程序	352
A-5 NanoBoard-NB1 支持子板	354

快速穿越 FPGA 设计

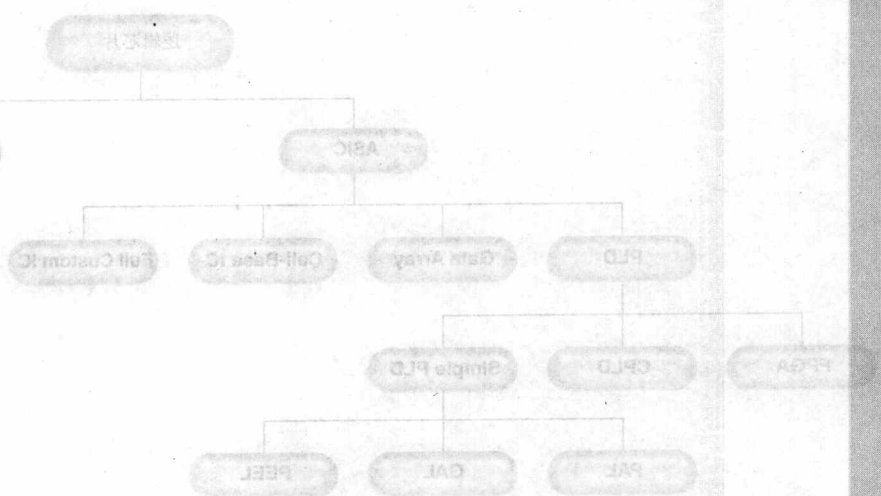


图 1-1 逻辑器件的分类

1-1 FPGA 与 CPLD 概述

Altium Designer 6 集成了电路图绘制、集成化 PCB 设计、可编程器件 FPGA 设计、基于处理器设计的嵌入式软件开发等功能，是一套完整的电路板设计系统。在 FPGA 设计功能上，提供了大量的 IP (Intellectual Property, 知识产权)，使得设计人员使用原本的电路图绘图技巧，就可轻松地设计 FPGA。更支持电路图、VHDL 和混合模式的 FPGA 设计。另外，提供多种虚拟仪表、测试平台的仿真功能及 NanoBoard 的 LiveDesign 特性，使得 FPGA 设计更快速、更有效率。

1-1 FPGA 与 CPLD 概述

数字逻辑电路由原本的标准逻辑器件组装电路，发展到以绘图法或硬件描述语言 (Hardware Description Language, HDL) 设计逻辑电路，称之为可编程逻辑器件 (Programmable Logic Device, PLD)。一路走来，PLD 都朝器件密度越来越大、工作频率越来越高、可编程性越来越简单等特性迈进。

1-1-1 逻辑器件的分类

数字逻辑器件可分为标准集成电路与专用集成电路两大类。例如 CPU、DRAM、74LS00 (NAND 门)、通信芯片等都属于标准定制器件，功能固定、标准化，且无法修改其功能，只能应用于单一功能的电路上，没有设计扩展的空间。

ASIC (Application Specific Integrated Circuit)，译为“专用集成电路”，是依照用户的特殊用途需求而制作的电路器件，可增加电路设计的安全性、加快上市时间 (time to market)，也更容易整合系统。如图 1-1 所示是逻辑器件的分类图。

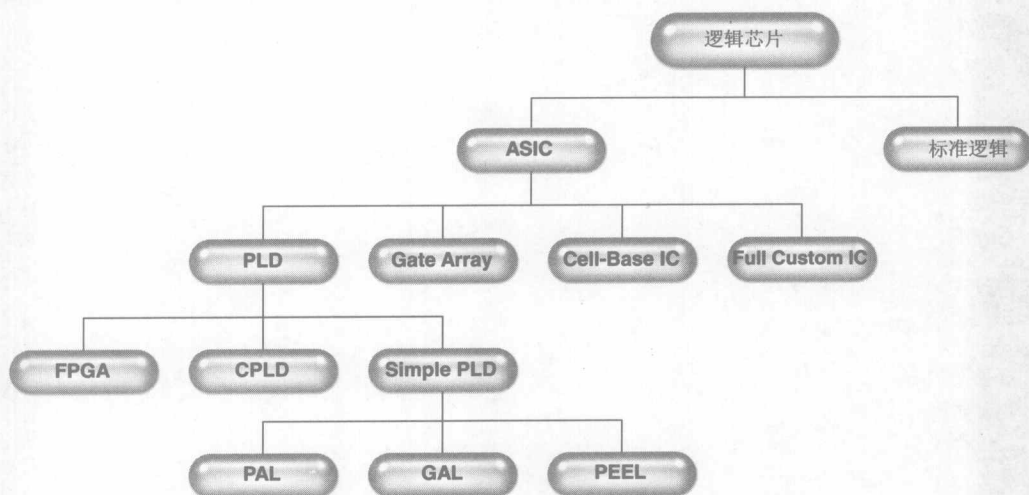


图 1-1 逻辑芯片的分类

ASIC 是依据“特定用途”而设计的 IC，它并没有标准规格，是由客户提出功能需求，然后由设计人员或厂商制造。ASCI 依照设计方式与流程的不同，可分为以下四种：

(1) Full Custom IC (全定制设计 IC)：依照客户的委托、订制，设计一个全新的 IC，可以获得最好的性能，例如功率消耗小、操作速度快、最高集成度等。但是缺点是成本较高。

(2) Cell-Based IC (基于单元设计 IC): 事先以 Cell 的方式建立常用的逻辑电路模块, 存储为器件库 (Cell Library), 设计时只要布局与布线, 这样可以大大节省设计时间与成本, 但是流程相对需要较长时间。

(3) Gate Array (门阵列): 事先由集成电路制造厂商制造晶体管阵列半成品晶圆, 但不进行布线连接。设计人员依据晶圆相关数据, 设计晶体管间的布线 (routing), 再交由集成电路制造厂商生产。

(4) PLD (可编程逻辑器件): 包括 Simple PLD、CPLD 与 FPGA 三大类。PLD 提供设计人员最大的设计灵活性, 具有可重复编程、加快上市时间、不局限于单一设计工具等优点。

以下我们先从 Simple PLD (PLD) 谈起, 然后进入我们的探讨主题 FPGA/CPLD, 希望通过简单型 PLD 来更深入了解 FPGA/CPLD 的操作与原理。

PROM

PROM (Programmable Read Only Memory, 可编程只读存储器), 原本是用来存储固定的程序代码或数据, 工程师发现可以将布尔代数化简成“积项之和”形式, 通过编程 PROM, 来得到希望设计的逻辑功能。例如图 1-2 所示, PROM 的基本结构是由 AND 门阵列与 OR 门阵列组成, AND 阵列负责积项, 再将输出送到 OR 阵列, 得到“积项之和”的逻辑设计。PROM 的 AND 阵列不能编程, 只有 OR 阵列可以编程。

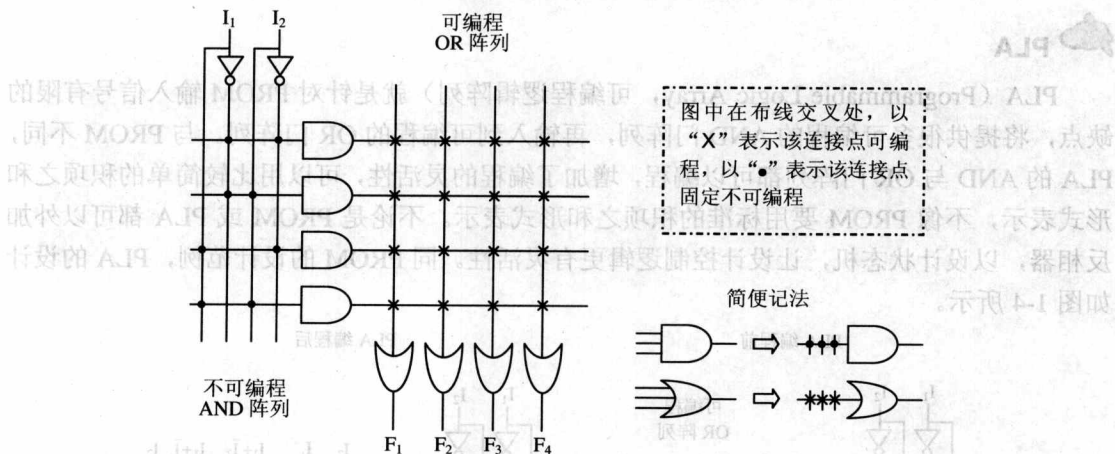


图 1-2 4 位的 PROM

为了方便表示, 在图中布线交叉点以“.”表示两条线已连接, 并且不可编程。以“X”表示该交叉点可编程为连接或不连接。另外, 在图 1-2 的右下方, 我们指出了一般简便表示多输入 AND 与 OR 的方法。

例如我们要设计一个 2×4 的 PROM, 输出 $F_1 \sim F_4$ 布尔代数与真值表分别如图 1-3 所示。

PROM 有几项缺点, 例如提供的输入信号太少; PROM 的 AND 运算不能编程, 输入信号固定; 而且速度很慢, 存取时间大约 40ns 以上, 所以不适合高速运行的场合; 另外, 因为流程不同的关系, PROM 不容易与一般的逻辑电路集成在同一个芯片上, 所以 PROM 与逻辑电路集成在同一个芯片上, 需要额外的流程步骤与掩模, 从而提高了成本。

$$F_1 = \bar{I}_1 \times I_2 + I_1 \times I_2$$

$$F_2 = I_1$$

$$F_3 = I_1 + \bar{I}_2$$

$$F_4 = \bar{I}_1 \times I_2 + I_1 \times \bar{I}_2 + I_1 \times I_2$$

输入		输出			
I ₁	I ₂	F ₁	F ₂	F ₃	F ₄
0	0	0	0	1	0
0	1	1	0	0	1
1	0	0	1	1	1
1	1	1	1	1	1

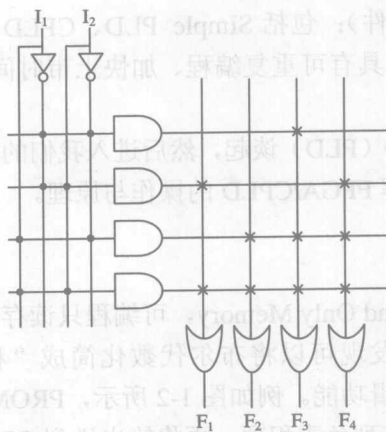


图 1-3 PROM 设计范例



PLA

PLA (Programmable Logic Array, 可编程逻辑阵列) 就是针对 PROM 输入信号有限的缺点, 将提供很多可编程的 AND 门阵列, 再输入到可编程的 OR 门阵列。与 PROM 不同, PLA 的 AND 与 OR 门阵列都可以编程, 增加了编程的灵活性, 可以用比较简单的积项之和形式表示, 不像 PROM 要用标准的积项之和形式表示。不论是 PROM 或 PLA 都可以外加反相器, 以设计状态机, 让设计控制逻辑更有灵活性。同 PROM 的设计范例, PLA 的设计如图 1-4 所示。

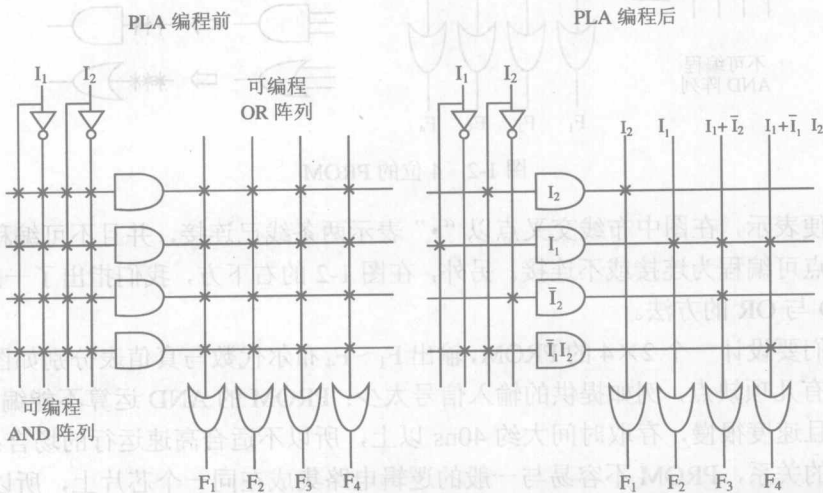


图 1-4 PLA 的设计



PAL (Programmable Array Logic)

PAL 与 PLA 的最大区别是, PAL 只有 AND 门阵列可以编程, 而 OR 门阵列是固定的。虽然这样限制了 OR 运算的乘积项数, 但可用德·摩根定理 (De Morgan's Law) 将 OR 项转变为 AND 项, 以解决 OR 门阵列固定或不足的问题。如图 1-5 所示, 是同 PROM 的设计范例, 采用 PAL 的设计结果。

图 1-5 所示为 PAL 编程前与编程后的情形, 每个输出可以有二个乘积项。设计中比较特别的是 F_2 , 我们只需要一个输入项, 另一个不需编程。而 F_4 则是 $\bar{I}_1 I_2 + I_1 \bar{I}_2 = \bar{I}_1 \bar{I}_2$, 利用德摩根定理转换为 $\bar{I}_1 + \bar{I}_2 = I_1 + I_2$ 。

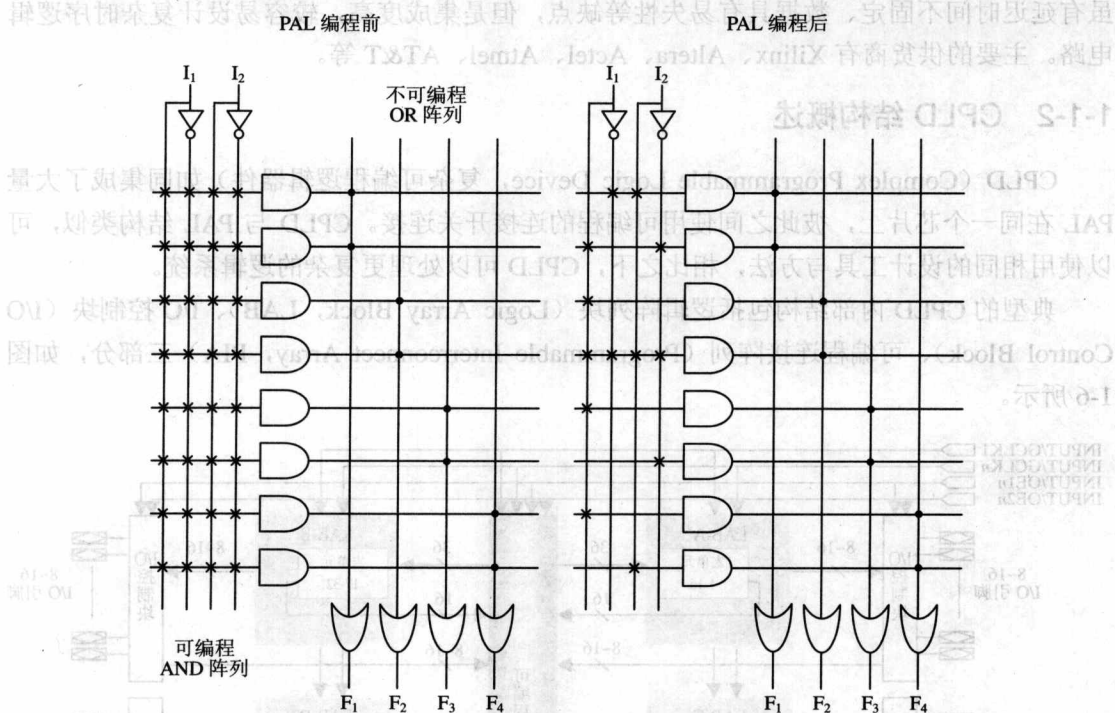


图 1-5 PAL 的设计

PAL 内部通常有反相器, 以便频率驱动设备的设计, 反相器输出反馈到输入端, 方便设计状态机。在 PAL 成为主流的同时, 提供设计 PAL 的简单硬件描述语言产生了, 包括 ABEL、PALASM 等, 这也就是现在使用 VHDL 或 Verilog HDL 设计 CPLD 与 FPGA 的前身。

与 PAL 有着类似结构的还有 GAL 与 PEEL。GAL (Generic Array Logic, 通用阵列逻辑) 为 Lattice 公司注册的商标, 采用 EEPROM 的技术, 使用电可擦除数据, 以便重新编程。GAL 的输出结构由可编程的 AND 阵列与输出逻辑宏单元 (Output Logic Macro Cell, OLMC) 组成, 这样的设计有很大的灵活性。



CPLD

PAL、GAL 等早期的 PLD, 因为内部逻辑门较少, 无法实现较复杂的逻辑功能。基本上 CPLD (Complex Program Logic Device, 复杂可编程逻辑器件) 的结构、技术与 PAL 类

似，只是更复杂。CPLD 的结构包括宏单元、可编程连线阵列（PIA）、I/O 控制块等。CPLD 逻辑门数在数千至数十万个之间，具有多次清除、烧录、延迟时间固定、容易使用与设计等特点，主要的供货商有 Altera、Xilinx、AMD、Cypress、Lattice、ICT 等。

FPGA

FPGA（Field Programmable Gate Array，现场可编程门阵列）最早由 Xilinx 公司推出，以 SRAM 查表结构组成可编程特性。因为使用 SRAM，当电源重新启动时，数据需要重新加载编程，所以通常会编程数据放在 EPROM，当电源开启时再执行加载 FPGA 内部的 SRAM。FPGA 内部有许多逻辑块、反相器等，与 CPLD 相比，FPGA 主要以缓存器为主，虽有延迟时间不固定、数据具有易失性等缺点，但是集成度高，较容易设计复杂时序逻辑电路。主要的供货商有 Xilinx、Altera、Actel、Atmel、AT&T 等。

1-1-2 CPLD 结构概述

CPLD（Complex Programmable Logic Device，复杂可编程逻辑器件）如同集成了大量 PAL 在同一个芯片上，彼此之间使用可编程的连接开关连接。CPLD 与 PAL 结构类似，可以使用相同的设计工具与方法，相比之下，CPLD 可以处理更复杂的逻辑系统。

典型的 CPLD 内部结构包括逻辑阵列块（Logic Array Block, LAB）、I/O 控制块（I/O Control Block）、可编程连接阵列（Programmable Interconnect Array, PIA）三部分，如图 1-6 所示。

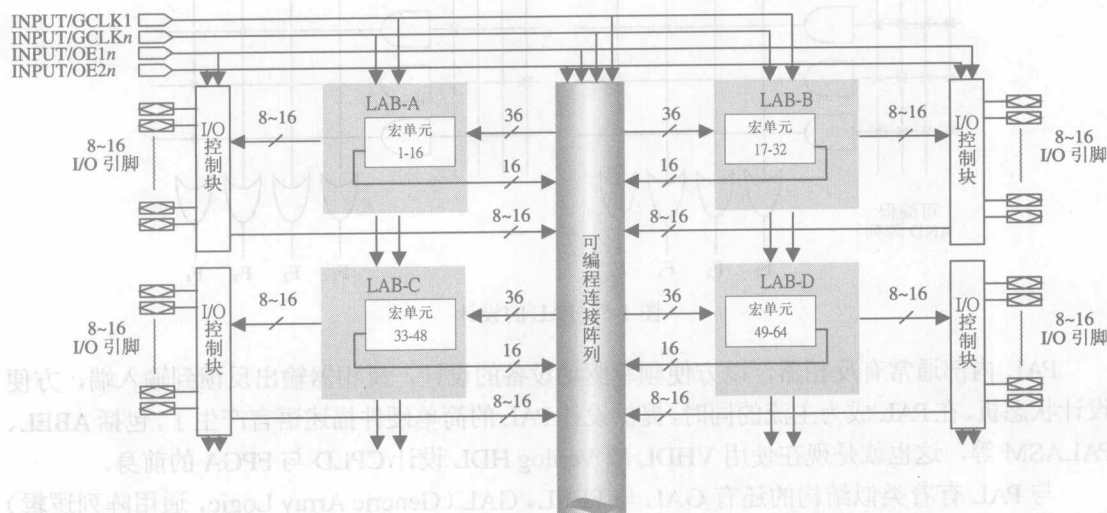


图 1-6 CPLD 内部结构

CPLD 与 PAL 有相似的结构，同样使用大量的输入 AND 门阵列与固定的 AND 门阵列，LAB 是由多个宏单元（Macro Cell）组成的逻辑阵列块，主要用来组成基本的逻辑电路。

而 PIA 则是负责 LAB 之间的信号传输，可依据电路需求的宏单元数目，设定编程 PIA 的连接情况。利用这种交换阵列布线有一个优点，可以预先决定整个芯片的延迟时间。而 FPGA 的时序无法预测，而且会依据不同的设计会有不同的延迟时间。

I/O 控制块则是负责驱动输入或输出信号达到适当的电压范围,例如 TTL、CMOS、ECL、PECL 等,也可通过 I/O 控制块设置每个 I/O 管脚为输入、输出或双向操作。另外,也可设置输出管脚为开漏(漏极开路)输出或三态输出。

CPLD 延续了 PAL 的基本结构,采用乘积项(product-term)PLD 的结构,适合设计复杂的组合逻辑电路,例如译码器等。采用这种结构的芯片有 Altera 的 MAX7000 系列、MAX3000 系列等、Xilinx 的 XC9500 系列,而 Lattice 与 Cypress 的大部分产品也都属于 CPLD。

1-1-3 FPGA 结构概述

FPGA (Field Programmable Gate Array, 现场可编程门阵列), 基本结构包括可编程的 CLB (Configurable Logic Block, 可配置逻辑模块) 阵列组成、可编程的 I/O 模块与负责 CLB 之间传输信号的可编程连接点 (PIP, Programmable Interconnect Point)。结构如图 1-7 所示, PIP 负责 CLB 之间的信号传输, 具有水平与垂直信道, 该连接点可以编程信道连通或不连通, 以完成信号在不同的 CLB 间传输。但是这样的编程方式造成路径与编程的连接点有关, 也直接影响到延迟时间无法确定的问题。FPGA 的内部结构排列很整齐, 与 ASIC 结构相似, 这种规律排列使得 FPGA 适用于各种逻辑设计。

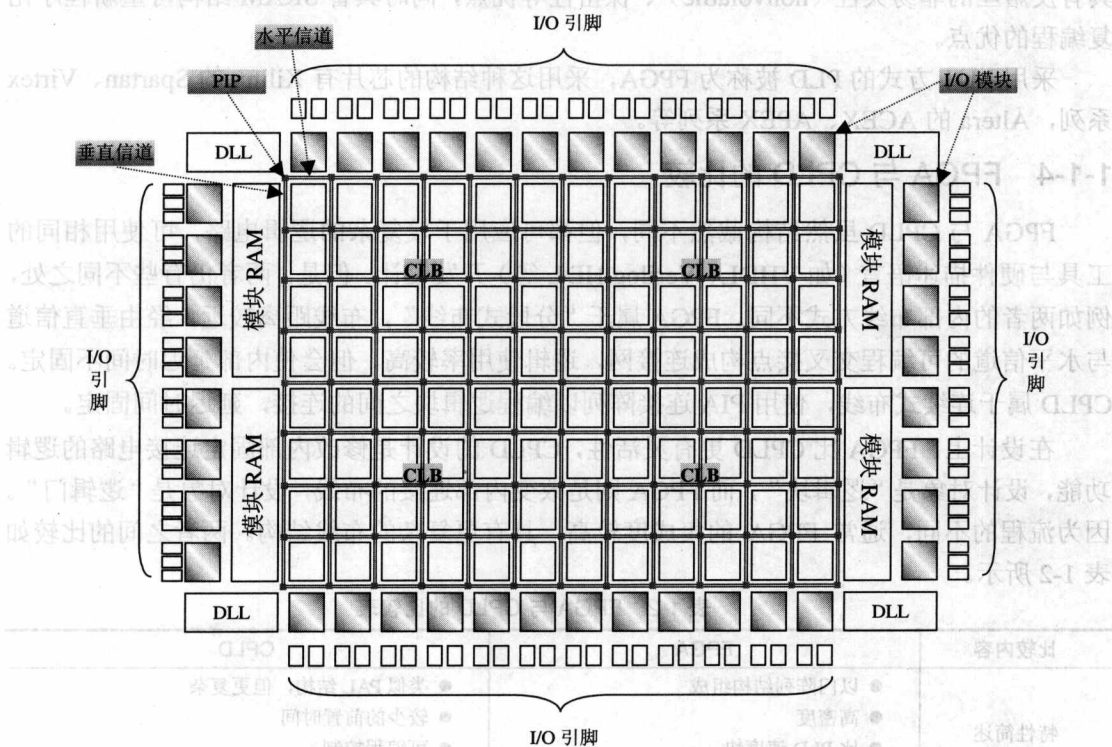


图 1-7 FPGA 内部结构

CLB 包括 FPGA 的可编程逻辑, 结构内包括 4 输入的 LUT (Look-Up Table), 也称 4-LUT。LUT 实际上就是 16×1 的 RAM 内存, 所以每个 LUT 可看成是具有 4 位地址线 16×1 的 RAM, 可组成任何 4 输入逻辑电路。当用户利用电路图或硬件描述语言 (HDL) 设计 FPGA 后, 开发软件会自动计算逻辑电路所有可能的结果, 事先把结果写入 RAM 模块中, 以完成

编程。表 1-1 说明了一个 4 输入的 AND 逻辑门，使用 LUT 实现的方式。将 4 输入的 AND 门所有的可能值，都写入 16×1 的 RAM，以便作为输入—输出的正确对应关系。

表 1-1 4 输入 AND 逻辑门的 LUT 实现方式列表

AND 逻辑门		LUT 实现方式	
逻辑门输入	逻辑门输出	RAM 地址	存储内容
0000	0	0000	0
0001	0	0001	0
.....			
1111	1	1111	1

目前 FPGA 有 SRAM、Flash-based 与反熔丝（Anti-Fuse）三种可编程方法。因为反熔丝 FPGA 的导体层之间有实际的连接线，所以理论上反熔丝 FPGA 的操作速度较快。但是，因为 SRAM 具备可重复编程的优点，使得纠错、设计变得非常方便。目前 SRAM 结构与闪存结构（Flash-based）相类似，SRAM 如同双稳态电路，编程后的值，维持到电源被中断，或重新写入另一个值为止。闪存采用浮动门极晶体管，原理与一般 EEPROM 一样，可由适当电压重新编程存储值。闪存比 EPROM 的位线可擦除单元更小而且速度更快，这种 FPGA 具有反熔丝的非易失性（nonvolatile）、保密性等优点，同时具备 SRAM 结构可重新程序化复编程的优点。

采用 LUT 方式的 PLD 被称为 FPGA，采用这种结构的芯片有 Xilinx 的 Spartan、Virtex 系列，Altera 的 ACEX、APEX 系列等。

1-1-4 FPGA 与 CPLD 的比较

FPGA 与 CPLD 虽然结构截然不同，但都可应用于较复杂的逻辑电路，可使用相同的工具与硬件描述语言（如 VHDL、Verilog HDL 等）开发设计。但是，两者仍有些不同之处，例如两者的内部布线方式不同。FPGA 属于“分段式布线”，布线距离较远，经由垂直信道与水平信道的可编程交叉接点构成连接网，逻辑使用率较高，但会使内部延迟时间不固定。CPLD 属于连续式布线，使用 PIA 连接阵列以编程逻辑块之间的连接，延迟时间固定。

在设计上，FPGA 比 CPLD 更有灵活性，CPLD 的设计是修改内部固定连接电路的逻辑功能，设计对象是“逻辑块”，而 FPGA 则是改变内部连接的布线，设计对象是“逻辑门”。因为流程的不同，通常 FPGA 的集成度较高，具有更复杂的布线结构。两者之间的比较如表 1-2 所示。

表 1-2 FPGA 与 CPLD 的比较表

比较内容	FPGA	CPLD
特性简述	● 以门阵列结构组成 ● 高密度 ● 比 PLD 速度快 ● 可以使用大量的逻辑函数	● 类似 PAL 结构，但更复杂 ● 较少的前置时间 ● 可编程控制 ● 不需要 NRE（非再生工程）的费用
结构	类似逻辑门阵列，包括 CLB、I/O 控制块、PIP、垂直与水平信道	类似 PAL，包括功能模块（FB）、I/O 控制块、可编程连接阵列（PIA）三部分
时间延迟（速度）	无法预先预测，会依设计不同而有所不同	速度较快，整个芯片的时间延迟可以预先决定
密度	中等到高密度	低到中等密度
互连网	分布式	集总式

续表 1-2

比较内容	FPGA	CPLD
功率消耗	每个逻辑门平均功率消耗低	每个逻辑门平均功率消耗高
选择条件	1. 可重复编程逻辑块 2. 设备内的 CLB 数量 3. I/O 管脚的数目与种类 4. 频率输入管脚的数目 5. 嵌入式设备 6. 可编程技术有反熔丝与 SRAM 两种 7. ASIC 的仿真与制作原型	1. 可编程性的技术 2. 具备 ISP 功能 3. 功能块的能力 4. 设备中的功能块数目 5. 反相器的控制信号种类与共同控制信号的数量 6. 嵌入式设备 7. I/O 管脚的数目和种类 8. 频率输入管脚的数目

目前有多家生产 CPLD 与 FPGA 等可编程逻辑器件的厂商,其中以 Altera、Xilinx 两家最大,两厂家的总 PLD 器件产量占全球 60%以上。

Altera 公司主要的产品,CPLD 有 MAX II、MAX 3000A、MAX 7000 系列,FPGA 有 Cyclone II、Cyclone、Stratix III、Stratix II、Stratix、Stratix II GX、Stratix GX 系列。Altera 提供良好的用户界面开发工具 Max+Plus II,受到设计人员的喜爱。另外,也提供 VHDL 的综合工具程序 Quartus II、FPGAExpress,FPGA 布局布线工具软件 Quartus II 等。

Xilinx 是 FPGA 的发明者,主要产品 CPLD 有 CoolRunner (XPLA3)、XC9500/4000 系列,FPGA 有 Spartan、Virtex 系列,提供的开发工具软件为 Foundation 与 ISE 等。通常在亚太地区使用 Altera 的人较多,而欧洲用 Xilinx 的人较多,在美国则差不多。

其他厂商有如发明 ISP (In-System Programming) 技术的 Lattice-Vantis、反熔丝 PLD 领导者 ACTEL、ATMEL、Cypress、Philips 等。

Altium Designer 提供 FPGA 集成性的设计环境,支持的 FPGA/CPLD 芯片不受生产厂商约束,下面列出 Altium Designer 目前支持的芯片与器件库列表。

Actel (<http://www.actel.com/products/proasicplus/index.html>)

表 1-3 Actel

系 列	宏与电路符号器件库	支持综合	PCB 器件与外观器件库
ProASIC PLUS	Actel ProASIC APA FPGA.IntLib	✓	Actel ProASIC PLUS.IntLib

Altera (<http://www.altera.com/>)

表 1-4 Altera

系 列	宏与电路符号器件库	支持综合	PCB 器件与外观器件库
Cyclone	Altera FPGA.IntLib	✓	Altera Cyclone.IntLib
MAX 3000	Altera FPGA.IntLib	✓	Altera MAX 3000A.IntLib
MAX 7000AE	Altera FPGA.IntLib	✓	Altera MAX 7000AE.IntLib
MAX 7000B	Altera FPGA.IntLib	✓	Altera MAX 7000B.IntLib
MAX 7000S	Altera FPGA.IntLib	✓	Altera MAX 7000S.IntLib
MAX II	Altera FPGA.IntLib	✓	Altera MAX II.IntLib
Stratix	Altera FPGA.IntLib	✓	Altera Stratix.IntLib
Stratix GX	Altera FPGA.IntLib	✓	Altera Stratix GX.IntLib
Stratix II	Altera FPGA.IntLib	✓	Altera Stratix II.IntLib

▶ Lattice Semiconductor (<http://www.latticesemi.com/products/fpga/ecp/index.cfm>)

表 1-5 Lattice Semiconductor

系 列	宏与电路符号器件库	支持合成	PCB 器件与外观器件库
EC	Lattice EC FPGA.IntLib	✓	Lattice FPGA EC.IntLib
ECP	Lattice ECP FPGA.IntLib	✓	Lattice FPGA ECP.IntLib

▶ Xilinx (<http://www.xilinx.com/>)

表 1-6 Xilinx

系 列	宏与电路符号器件库	支持合成	PCB 器件与外观器件库
CoolRunner-II	Xilinx CoolRunner-II FPGA.IntLib	✓	Xilinx CoolRunner II.IntLib
CoolRunner-XPLA3	Xilinx CoolRunner-XPLA3 FPGA.IntLib	✓	Xilinx CoolRunner XPLA3.IntLib
Spartan-3	Xilinx Spartan-3 FPGA.IntLib	✓	Xilinx Spartan-3.IntLib
Spartan-II	Xilinx Spartan-II FPGA.IntLib	✓	Xilinx Spartan-II.IntLib
Spartan-IIE	Xilinx Spartan-IIE FPGA.IntLib	✓	Xilinx Spartan-IIE.IntLib
Virtex	Xilinx Virtex FPGA.IntLib	✓	Xilinx Virtex.IntLib
Virtex E	Xilinx Virtex-E FPGA.IntLib	✓	Xilinx Virtex-E.IntLib
Virtex II Pro	Xilinx Virtex-II Pro FPGA.IntLib	✓	Xilinx Virtex-II Pro.IntLib
Virtex-4	Xilinx Virtex-4 FPGA.IntLib	✓	Xilinx Virtex-4.IntLib
Virtex-II	Xilinx Virtex-II FPGA.IntLib	✓	Xilinx Virtex-II.IntLib
XC9500	Xilinx XC9500 FPGA.IntLib	✓	Xilinx PLD XC9500.IntLib
XC9500XL	Xilinx XC9500 FPGA.IntLib	✓	Xilinx PLD XC9500XL.IntLib
XC9500XV	Xilinx XC9500 FPGA.IntLib	✓	Xilinx PLD XC9500XV.IntLib

1-2 Designer 的 FPGA 设计环境

我们现在要开始利用 Altium Designer 设计 FPGA。如果你熟悉 Altium Designer 的电路图绘制，你会发现，以绘图法设计 FPGA 相当容易。

1-2-1 FPGA 的设计流程

FPGA 设计流程至少包括设计输入、仿真、综合、布局布线 4 个步骤。如图 1-8 所示，我们将设计流程细分为 8 个步骤。开始设计前，应定义系统的规格 (Spec)，例如输入与输出的管脚、工作频率、工作电压、允许消耗功率等，最好能将系统划分为多个功能块，并详细描述每个功能块的功能。数字电路设计可采取由自上而下设计、自下而上设计或平坦设计，第二步架构设计 (Architecture) 就是确认每个功能块的设计顺序。

设计输入软件通常提供以电路图、HDL (硬件描述语言) 或两者的混合设计。电路图的设计方式相当直接、方便，只要略懂逻辑电路设计，都可直接绘制设计。但是以 HDL 设计，才可兼具可移植性与标准化。不论是哪一种设计方法，最后设计软件大都会转换为



图 1-8 FPGA 设计流程

HDL, 以便进行仿真、综合等工作。

仿真是验证设计的正确性, 包括功能仿真与时序仿真。功能仿真在综合与布局布线之前, 忽略时间延迟因素, 只就逻辑功能进行仿真。而时序仿真则是在布局布线之后, 考虑设计在 FPGA 芯片上的时间延迟问题。

综合是由 HDL 产生布局布线要使用的网表(Electronic Design Interchange Format, EDIF)与相对应的约束条件, 综合直接影响逻辑门的使用效率与设计性能。布局布线是利用综合生成的网表, 在 FPGA 内部进行布局与布线, 并且产生可用于布局 FPGA 的位文件(.bit)。布局布线需要使用 FPGA 生产厂商提供的工具软件, 例如 Xilinx 的 Foundation Series 和 Alliance Series, Altera 的 Quartus 与 Max+plus II。设计的最后步骤, 应该使用实际设计的硬件电路进行测试, 以确认设计无误。

1-2-2 FPGA 的设计环境

Altium Designer 的 FPGA 设计环境, 使我们从设计输入、仿真、综合, 到布局布线一气呵成, 且操作简便。更提供了硬件仿真设备, 例如 NanoBoard NB1 与 LiveDesign Evaluation Board, 两者都提供丰富的外部设备。只要通过打印机端口(并行端口)直接将项目内容下载到 FPGA 芯片, 马上看得到硬件执行成果。

Altium 的 NanoBoard-NB1 是一块 FPGA 的开发板, 配合 Altium Designer 设计工具, 可以快速有效对 FPGA 设计进行执行和测试。NB1 随机提供两块子板, Altera Cyclone (EP1C12-Q240C7) 子板与 Xilinx Spartan IIE (XC2S300E-PQ208) 子板, 并且可以随时更换, 让 FPGA 设计更具灵活性, 与 FPGA 厂商的相关性较小。NB1 提供大量的外部设备, 包括 LCD、LED 阵列、开关阵列、键盘、报警器、ADC/DAC、256K×8 RAM、8M 串行 Flash RAM、布局 FPGA 所需的串行 Flash RAM、可编程时钟等。另外, 也提供很多 I/O 设备, 包括 PS2 鼠标和键盘、RS232、CAN、VGA、I²C、通用 I/O 口等, 让设计更具扩展性。

Altium Designer 可通过打印机端口与 NB1 保持联机, 在 FPGA 设计中结合嵌入式仪表(Embedded Instrument), 深入观察 FPGA 芯片内部信号、随时更改执行条件等, 便于纠错与测试, 完全符合“Live Design”的特性。

当我们执行 Altium Designer 后, 可以由几个方面得到 FPGA 的设计资源。针对 FPGA 设计, Altium Designer 提供了相当多的资源。启动系统左上角的“DXP|优先选项”可设置系统参数, 如图 1-9 所示。如果我们使用的 Altium Designer 是中文版, 则在左边树状目录的 System\General 所显示的页面的下方, 在定位栏勾选 ☒ 使用定位资源, 切换为中文界面。勾选之后, 会提示“重新启动后才会生效”。此时如果重新启动系统, 应为中文版。另外, 在树状目录的 FPGA, 也显示一些 FPGA 设计的相关设置。

点击“观看”→Home 显示系统首页, 选择 , 会显示如图 1-10 所示画面, 显示许多与 FPGA 设计相关的功能与资源。

► FPGA Projects: 建立 FPGA 项目

-  New Blank FPGA Project: 建立新的、空白的 FPGA 项目。
-  Create FPGA Project From Template: 由模板建立 FPGA 项目。
-  Create FPGA From Project: 打开旧的 FPGA 相关项目, 例如 PCB 项目、FPGA