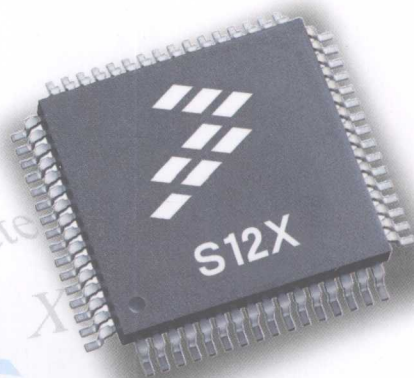


嵌入式系统中的 双核技术

邵贝贝 宫辉 等著



北京航空航天大学出版社

TP360.21/32

2008

嵌入式系统中的双核技术

邵贝贝 宫辉 等著

北京航空航天大学出版社

内 容 简 介

本书以 16 位 MC9S12XD/XE 系列双核单片机为例,介绍双核单片机的优势和开发方法。从介绍双核单片机的背景知识开始,讲述双核单片机基本硬件系统的设计方法;主处理器初始化协处理器并将部分工作交给协处理器完成的过程;主、协两个处理器的通信机制与克服竞争的方法;用 C 语言编写双核单片机的应用程序;建立双核单片机应用程序调试的环境;利用商用软件 CodeWarrior 的教学版本,将嵌入式实时多任务操作系统 $\mu\text{C}/\text{OS}-\text{II}$ 移植到双核单片机上,建立基于 RTOS 的开发环境;同时给出了几个实现双核系统应用的范例和源代码,包括利用协处理器提升 RTOS 性能的方法;还简要介绍了单片机片内容错与纠错技术、双时钟技术和 FlexRay 通信技术伴随单片机双核技术发展起来的一些新技术,这些技术的发展与应用将进一步提高嵌入式控制系统的可靠性。

本书可作为相关专业研究生课程教材,也可供理工科大专院校电类本科生和嵌入式控制系统开发应用工程师参考。

图书在版编目(CIP)数据

嵌入式系统中的双核技术/邵贝贝等著. —北京:北京航空航天大学出版社,2008.8

ISBN 978-7-81124-370-3

I. 嵌… II. 邵… III. 微型计算机—系统设计 IV. TP360.21

中国版本图书馆 CIP 数据核字(2008)第 093149 号

嵌入式系统中的双核技术

邵贝贝 宫 辉 等著

责任编辑 王 实

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail: bhp@buaa.net

涿州市新华印刷有限公司印装 各地书店经销

*

开本:787×960 1/16 印张:21 字数:470 千字

2008 年 8 月第 1 版 2008 年 8 月第 1 次印刷 印数:5 000 册

ISBN 978-7-81124-370-3 定价:35.00 元

前言

随着集成电路技术的高速发展,用于控制领域的单片机内部开始使用双核技术,在主 CPU 的管理下,另一个 CPU 内核——协处理器将用来专门处理外部事件。这种双核技术虽然大幅度提升了控制系统的性能,但也增加了应用系统的开发难度。

在嵌入式系统中使用双核技术,是近年来单片机技术发展的一大亮点。本书是介绍双内核单片机开发技术的一本专著,介绍在开发普通单 CPU 类单片机应用的基础上,如何进一步开发带协处理器的双核单片机。普通单 CPU 类单片机的开发方法是我们多年来开发嵌入式应用的主要方法,它强调的是在线开发和不使用仿真器。我们在 2004 年出版的《单片机嵌入式应用的在线开发方法》一书中详尽描述了该方法。本书在此基础上主要增加了协处理器的开发技术,并作为清华大学研究生精品课“嵌入式实时系统与单片机应用”的后续教材之一。

除了讲述双核单片机的开发技术,书中还介绍了开源的实时操作系统(RTOS) $\mu\text{C}/\text{OS}-\text{II}$ 的移植和使用。 $\mu\text{C}/\text{OS}-\text{II}$ 是国内很有影响力的单片机嵌入式 RTOS。双核技术的应用,对提高 RTOS 的实时性、定时精度等技术指标有重要意义。由于最初的 $\mu\text{C}/\text{OS}$ 就是为早年传统的 MC68HC11 单片机写的,与其源码兼容的替代产品——S12 系列单片机,是 68HC11 系列单片机的升级产品,而双核的 S12X 系列单片机中的一个内核与 S12 系列单片机兼容。使用或不使用双核单片机中的另外一个内核, $\mu\text{C}/\text{OS}-\text{II}$ 都是最佳的 RTOS 之一。本书还以工程实例的方式,介绍了如何使用协处理器提高 $\mu\text{C}/\text{OS}-\text{II}$ 的实时性。

这本书也是为嵌入式应用开发工程师写的,由于 16 位单片机比 8 位单片机要复杂很多,所以对于那些急于开发产品而又不熟悉 16 位单片机的工程师,采用我们提供的开发工具,尽快把目标系统开发环境搭建起来,边开发、边学习,是多快好省的办法。本书也可供理工科大专院校电类本科生学习参考。

16 位单片机性能强于 8 位单片机,与 32 位单片机相比,在运算能力上虽然相对低一些,但在嵌入式应用中却比 32 位单片机有独到的优势,16 位 CPU 结构简单,寄存器入栈、出栈快,中断响应快。而 2 个 16 位 CPU 比 1 个 32 位 CPU 在嵌入式应用中优势会更加显著。16 位单片机使用 16 位地址总线,指针变量只需要 2 B,对内存的占用只有 32 位单片机的一半,而由此带来的 64 KB 寻址空间的限制是传统 16 位单片机的缺憾。以分页管理方式扩展存储空间到 8 MB 巧妙地解决了这个问题。特别是采用全线性编制方式,借助全局寄存器,使

CPU 可以直接读/写整个存储空间,在保持短指针变量优势的同时,创造性地解决了寻址空间不够的问题,特别适用于量身定制的控制系统的开发。因而作者在此强烈推荐和使用嵌入式应用中 16 位单片机的双核技术。虽然听到一些用户抱怨这种存储管理方式不如 32 位单片机用起来顺手,要求单片机设计人员提供类似 32 位单片机的线性内存编制方式,但这样,16 位单片机的一些优势就丧失了。而目前存在的开发相对复杂的弊端,可以通过软件开发工具的完善予以解决。

本书的第 1 章简单介绍近年来以双核技术为代表的单片机技术发展的一些新亮点,以及双核单片机系列,目的在于强调单片机应用是个性化的,用户针对不同的应用,一定要选择最合适的单片机。第 2 章以带协处理器的 16 位单片机 S12XDP512 和 S12XE100 为例,给出开发双核单片机的一般方法:从设计单片机最小硬件系统开始,实现人与单片机通过串行口对话,尽快让单片机“活”起来。第 3 章和第 4 章分别介绍双核单片机的主处理器和协处理器,以及各自的指令集、汇编语言编程等。第 5 章讲解如何在单片机上建立 C 语言程序的运行环境,C 语言和汇编语言是怎么接口的。第 6 章讲解如何将 $\mu\text{C}/\text{OS}-\text{II}$ 移植到 S12X 单片机上。第 7 章介绍后台在线开发(BDM)方法的原理。第 8 章讲解商用软件 CodeWarrior 的使用方法入门。第 9 章通过用协处理器管理异步串行口的实例,给出第 2 个 CPU 内核的开发方法。第 10 章介绍如何使用协处理器提高 $\mu\text{C}/\text{OS}-\text{II}$ 的实时性。在附录 A 中,给出相关开发套件及内嵌监控程序的使用方法;附录 B、C 和 D 是便于用户在开发中查阅的指令表。

感谢 Freescale 半导体公司对我校教学与科研的长期支持。感谢何峰、侯磊、卓开阔、冯泽东和谢俊红等研究生在研制 MC9S12XDP512 和 MC9S12XE100 开发板、BDM 调试工具及提供应用范例程序等方面做出的贡献。参与本书编写的还有龚光华、薛涛和曾鸣等。

需求在增长,技术在发展,社会对人才的需求是无止境的,嵌入式系统中的双核技术刚刚起步,作者对其的了解及系统相关知识有限,不当之处请读者指正。关于双核单片机系列及其开发工具和今后的发展,请访问我们的网站:

www.tsinghua-freescale.com。

作 者

2008 年 5 月于清华大学

目 录

第 1 章 单片机技术发展新趋势及双核单片机	1
1.1 片上系统以及应用系统单片化趋势	2
1.2 以存储器为核心制订解决方案	3
1.3 使用实时操作系统	6
1.4 MISRA 标准 C	7
1.5 协处理器在单片机中的应用	8
1.6 单片机世界中的双核单片机	9
1.6.1 双核单片机系列的由来	10
1.6.2 双核单片机的基础——单核单片机系列	11
1.7 MC9S12 系列单片机	14
1.7.1 MC9S12A 系列和 B 系列 16 位单片机	14
1.7.2 带 CAN 总线的 MC9S12D 系列 16 位单片机	15
1.7.3 MC9S12DP512 单片机	16
1.7.4 低供电电压的 16 位单片机	18
1.7.5 带 USB 接口的 16 位单片机	18
1.7.6 带以太网接口的 16 位单片机	19
1.8 使用 CPU V1 的双核单片机系列	19
1.8.1 S12XA 系列单片机	19
1.8.2 S12XB 系列单片机	21
1.8.3 S12XD 系列单片机	21
1.8.4 带液晶、步进电机驱动模块的双核 S12XHZ 系列单片机	23
1.8.5 带液晶驱动的单核单片机	25
1.9 使用 CPU V2 内核的 S12X 系列单片机	26
1.9.1 S12X CPU V2 内核	26
1.9.2 S12XE 系列单片机	26
1.10 支持 FlexRay 通信协议的 S12XF 系列单片机	27
1.10.1 FlexRay 通信协议	27
1.10.2 S12XF 系列单片机	29
1.10.3 S12XS 系列单片机	30

目 录

1.11	双核单片机的开发工具	31
1.11.1	软件开发工具	31
1.11.2	动态调试方法	32
1.12	双核单片机中的其他新技术	32
1.12.1	片内容错与纠错技术	32
1.12.2	片内存储器资源管理技术	33
1.12.3	编译、调试技术的新发展	34
第2章	单片机基本系统的硬件设计	36
2.1	16 位单片机	36
2.1.1	带协处理器的 16 位单片机	37
2.1.2	MC9S12XDP512 单片机	38
2.2	单片机基本硬件系统	43
2.2.1	MC9S12XD 的基本硬件系统	44
2.2.2	监控程序	45
2.2.3	体验机器码	48
2.3	利用异步串行口实现人机通信	50
2.3.1	串行通信协议 RS-232 标准	50
2.3.2	ASCII 码	52
2.3.3	串行数据格式	53
2.3.4	RS-232-C 电缆的连接方法	54
2.3.5	通信速率	54
2.4	MC9S12XD 单片机系统的硬件设计	55
2.5	运行模式	60
2.5.1	单片运行模式	60
2.5.2	扩展运行模式	61
2.6	MC9S12XE 单片机系统的硬件设计	62
第3章	主处理器及其指令集	67
3.1	主处理器的内部寄存器结构	67
3.1.1	S12X V1 内核的 CPU 内部结构	67
3.1.2	S12X V2 内核的 CPU 内部结构	69
3.1.3	16 位 CPU 与 8 位 CPU 的对比	70
3.1.4	32 位 CPU 与 16 位 CPU 的对比	71
3.2	内存空间分配	72
3.3	S12X 的内存扩展与管理	74
3.3.1	S12X CPU 寻址空间的扩展	74

3.3.2	Flash 页面管理寄存器 PPage	75
3.3.3	RAM 页面管理寄存器 RPage	75
3.3.4	EEPROM 页面管理寄存器 EPage	76
3.3.5	S12X 用全程寄存器扩展寻址空间	77
3.3.6	全程寄存器 GPage	77
3.4	S12X CPU V2 内核的内存管理	81
3.5	CPU12X 汇编指令集	83
3.6	指令按功能分类	83
3.6.1	数据传送指令	84
3.6.2	堆栈指针指令	85
3.6.3	算术与逻辑运算指令	86
3.6.4	程序控制指令	90
3.6.5	循环控制指令	92
3.6.6	测试与位操作指令	93
3.7	CPU12X 的模糊逻辑指令	93
3.8	指令按寻址方式分类	95
3.8.1	隐含寻址	95
3.8.2	立即数寻址	96
3.8.3	直接寻址	96
3.8.4	扩展寻址	96
3.8.5	变址寻址	96
3.8.6	带自动加、减 5 位偏移量的间接寻址	97
3.8.7	相对寻址	97
3.9	汇编指令表	98
3.10	指令的机器码组织	99
3.11	用汇编语言编写程序	100
3.11.1	汇编程序的格式	100
3.11.2	汇编管理指令	101
3.12	汇编语言程序设计举例	102
3.13	码的转换类子程序	105
3.14	汇编语言编程技巧	108
第 4 章	协处理器	110
4.1	协处理器的寻址空间	111
4.1.1	I/O 寄存器空间	112
4.1.2	Flash 空间	113

目 录

4.1.3	RAM 空间	113
4.1.4	RAM 的分配与保护	114
4.2	协处理器 CPU 的内核结构	115
4.3	协处理器的寻址方式	118
4.4	协处理器的汇编语言和 CPU 指令集	120
4.5	复位和中断	129
4.5.1	中断向量表	129
4.5.2	中断向量基地址寄存器	132
4.6	与协处理器相关的寄存器	133
4.7	协处理器汇编程序的例子	140
4.8	CISC 与 RISC 的比较	141
第 5 章	用 C 语言开发应用程序	144
5.1	C 语言是开发单片机应用软件的有力工具	144
5.2	开发嵌入式应用的 C 编译器的特点	146
5.2.1	编译过程与集成开发环境	146
5.2.2	不要使用初始化变量	148
5.2.3	注意函数的可重入性	149
5.3	建立 C 语言程序运行环境	150
5.4	应用程序模块化	153
5.5	合理使用全局变量和局部变量	154
5.6	函数的结构与函数间参数的传递	155
5.7	在 C 程序中直接操作硬件	157
5.8	程序模块的框架与组织	158
5.9	程序的链接与定位	159
5.10	用 C 语言写 XGate 程序	161
第 6 章	使用嵌入式实时操作系统	165
6.1	嵌入式实时操作系统 $\mu\text{C}/\text{OS}-\text{II}$	165
6.2	移植 $\mu\text{C}/\text{OS}-\text{II}$	167
6.2.1	根据应用定义内核的大小和功能	169
6.2.2	修改 OS_CPU.H 文件	172
6.2.3	编写 OS_CPU_C.C 文件	174
6.2.4	产生时钟节拍中断	186
6.3	制作用户自己的项目	189
6.3.1	主程序 main.c	189
6.3.2	3 个任务	192

6.3.3 链接与程序定位	192
6.4 精心分配 RAM 资源	195
6.4.1 RAM 空间的分页管理	195
6.4.2 估算 $\mu\text{C}/\text{OS-II}$ 占用的 RAM 资源	197
6.4.3 估算内核占用 RAM 空间举例	203
第 7 章 BDM 后台调试模式	205
7.1 S12X BDM 概述	205
7.2 进入 BDM 模式	206
7.3 BDM 通信协议及底层软件	207
7.3.1 BDM 调试的相关寄存器	207
7.3.2 BDM 指令基本结构	209
7.3.3 测量目标系统的时钟频率	210
7.3.4 BDM 基本操作——读/写单字节	211
7.3.5 BDM 指令的组织	215
7.4 BDM 简单应用	218
7.4.1 用 BDM 对 Flash 编程	218
7.4.2 通过 BDM 显示存储器内容	219
7.5 TBDML 工具	221
第 8 章 单片机软件开发工具使用入门	224
8.1 商用软件开发工具 CodeWarrior for HCS12	224
8.2 安装 CodeWarrior	225
8.3 建立一个简单的工程	225
8.4 自动生成的文件系统	229
8.5 写一个汇编程序	231
8.6 编写一个最简单的 C 程序	233
8.7 编写一个能看到演示效果的 C 程序	235
8.8 增加新程序模块	236
8.9 建立双核工程	236
8.10 定义装载地址和复位向量	241
第 9 章 应用工程实例 1——用协处理器管理 SCI	243
9.1 定义主从 CPU 的共享变量和数据区	243
9.2 协处理器的中断服务程序	245
9.3 主 CPU 响应来自协处理器的中断	247
9.4 协处理器的初始化	248
9.5 程序清单 main.c	249

目 录

9.6	程序清单 xgate. h	251
9.7	程序清单 xgate. cxgate	252
9.8	程序清单链接参数文件. prm	256
第 10 章	应用工程实例 2——用协处理器处理 $\mu\text{C}/\text{OS}-\text{II}$ 时钟节拍中断	260
10.1	$\mu\text{C}/\text{OS}-\text{II}$ 的时钟节拍	260
10.1.1	$\mu\text{C}/\text{OS}-\text{II}$ 的时钟节拍函数	260
10.1.2	钟节拍函数 OSTimtick() 的一个节拍服务	261
10.2	用 XGate 实现 $\mu\text{C}/\text{OS}-\text{II}$ 的时钟节拍	262
10.3	范例工程	267
10.3.1	main. c	267
10.3.2	xgate. cxgate	271
10.4	XGate 的使用与程序调试	276
10.4.1	XGate 的状态	276
10.4.2	XGate 程序的下载	276
10.4.3	XGate 程序中的常见错误	277
10.4.4	XGate 程序的调试	278
10.5	效果测试与分析	279
附录 A	MC9S12X 系列单片机开发工具包	281
A.1	概 述	281
A.1.1	HCS12X 系列单片机	281
A.1.2	HCS12X 开发工具包组件	281
A.2	MC9S12XEP100 开发板及与 PC 通信	282
A.2.1	MC9S12XEP100 开发板	282
A.2.2	开发板工作模式的选择	284
A.2.3	开发板的硬件连接	284
A.2.4	PC 的设置	284
A.3	监控程序及监控命令详解	287
A.3.1	命令详解	287
A.3.2	改变波特率	290
A.3.3	复位、中断向量表	292
A.3.4	用户可以使用的 RAM 空间	292
附录 B	协处理器 XGate 指令机器码表	293
附录 C	S12X CPU 汇编指令表	296
附录 D	S12X CPU 指令机器码表	320
参考文献		324

第 1 章

单片机技术发展新趋势及双核单片机

微控制器(micro-controller)在中国俗称单片机,而单片机(single chip computer)在英语中则很少使用。单片机是在微处理器(micro-processor)的基础上发展起来的。微处理器最早出现在 20 世纪 70 年代中期。微处理器需要与存储器和 I/O 接口电路共同组合成应用系统。这种以微处理器为核心的电子学应用技术称为微机接口技术。

单片机最早出现在 20 世纪 70 年代末期,只将部分 I/O 和少量 RAM 集成在单片机中,并扩展以紫外线擦除的只读存储器 EPROM。程序烧录在单片机外部,方便调试。后来 EPROM 也集成到单片机中,出现了“窗口片”,调试也比较方便。80 年代中期后,出现了一种叫做仿真器的单片机调试工具,用微处理器系统或工作在扩展方式下的单片机系统模仿目标单片机的功能,替代目标板上的单片机,以方便调试。在单片机教学中使用仿真器,导致用一种单片机,扩以各种 I/O 的应用思维方式,这是非常有害的。如果说过去开发掩膜型单片机使用仿真器属不得已,而如今单片机都采用了可以反复擦/写 10 万次以上的 Flash 存储器,没有必要再使用仿真器。当前单片机开发技术的趋势是,无论对于 8 位、16 位还是 32 位机,都会在单片机内部增加 1 个专门用于调试的模块,该模块以单线通信的方式与外界通信。开发工具仅实现单线通信方式对 PC 标准接口的转换(USB 口或串行口)。通过简单的转换,实现 PC 对单片机的调试。对于 8 位、16 位和 32 位单片机,开发工具也在逐渐走向兼容。

如今,在各个行业和领域都能找到单片机的应用实例。人们对现代化、智能化的强烈要求,促使计算机的嵌入式应用迅猛发展。

单片机,顾名思义是将计算机的 CPU(微处理器)、存储器(包括随机存储器 RAM、只读存储器 ROM)和 I/O(输入/输出)模块集成在一个电路芯片上,并将应用程序固化在存储器中,再嵌入到产品中去。其应用对象几乎是无限的,故单片机的设计也必须是个性化的。不同的单片机有不同的应用定位,不要企图用一种单片机(例如 8051)去适应所有的场合。

实际上单片机有过一个别名,叫做 CSIC(用户定义的集成电路)。当某种需求有了一定的数量,用户就可以要求单片机供应商针对这种需求设计一款单片机。这种单片机用某一个成熟的 CPU,加上特定数量的存储器 RAM 和 ROM,以及特定的一些 I/O 模块构成。这种单片机除了用于用户定义的那种有批量的产品,也可以用于其他产品。于是,对于其他用户就又多了一种可选用的单片机。世界上有许多著名的单片机公司,每个公司都有几个、乃至几十个单

第1章 单片机技术发展新趋势及双核单片机

片机产品系列,每个单片机系列有几个乃至几十个不同的单片机品种,总可以在现成的产品中找到用户所需要的那一款。CSIC 有别于 ASIC,ASIC 是专用集成电路。所谓专用集成电路是针对专门的产品设计的专用电路,设计与研制的成本较高,并存在一定的风险。因此,选择一款合适的单片机开发的应用系统可以实现低成本且无风险。

近年来,单片机技术的发展出现了一些新趋势,双核技术是其中之一。这些新技术的发展趋势要求应用开发工程师在嵌入式应用系统设计思想上应该有一些新理念,使嵌入式应用系统的可靠性、实时性得到更大提高。应用系统设计工程师无疑需要学习这些新技术,特别是了解这些新技术对应用系统设计者在设计理念方面的影响,以便设计出性能更好的应用系统。这些新技术和新观念主要表现在下面所述的几个方面。

1.1 片上系统以及应用系统单片化趋势

片上系统,也称为 SOC(System On Chip),其优势是显而易见的。它提高了系统的可靠性,降低了应用系统硬件的复杂程度,不但减小了硬件的尺寸,也降低了成本和功耗。

对于控制系统而言,系统的可靠性是第一位的。对一个控制系统的基本要求是在任何情况下都不能“死机”。但是,当存储器不够用时,将存储器扩展到单片机外面,即将系统总线暴露在片外,却在相当大的程度上降低了系统的可靠性,即增加了系统“死机”的可能性。另外,在 I/O 模块的数目不够用的情况下,通过并口或串口来扩展一两个外加的 I/O 接口电路模块虽然不一定会影响系统的可靠性,但将存储器扩展到片外,却是以牺牲可靠性为代价的,且不说成本的增加。以存放应用程序的闪存(Flash)为例,图 1-1 给出了片内 Flash 的噪声(左图)和片外 Flash 的噪声之比较。可以看出,片内 Flash 比片外扩展的 Flash 抗外界干扰的能力要好得多。

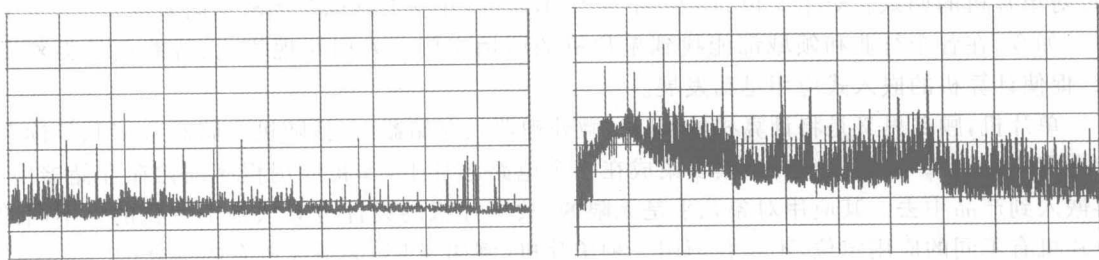


图 1-1 片内 Flash 噪声(左)和片外 Flash 噪声(右)的比较

随着集成电路技术的发展,集成多个 CPU 和更多的 I/O 模块已经不是问题,专门为不同行业、各种要求定制的单片机种类也越来越多,作为嵌入式系统应用设计工程师,可选择的单片机种类也越来越多。在令人眼花缭乱的单片机世界里,从硬件需求来看,不难找到最适用的

单芯片方案。那种以不变应万变,以1片8051单片机为核心,扩展外围设备接口芯片来适应不同应用的设计理念逐渐被越来越多嵌入式应用系统设计工程师所摒弃,尽量使用单片系统的设计理念得到越来越多的设计工程师认可。

从目前单片机技术发展的特点来看,软件是制约实现单片系统的瓶颈,也就是说,单片机内部可集成的存储器容量还不能很大,特别是片内随机存储器RAM的数目还不能做得很大,使得一些对RAM需求量大的应用系统,如图像信息的处理等,无法实现应用系统设计的单片化,所幸这类应用系统的特点使其对可靠性的要求不如对控制系统的可靠性要求高。

1.2 以存储器为核心制订解决方案

从统计学的角度看,在嵌入式系统的应用中,程序区ROM和数据区RAM的比例为4:1左右。这个比例来自于早期典型的单板机系统。那时,ROM、RAM以及I/O都是以微处理器为核心外扩的。程序区ROM使用掩膜ROM、可用紫外线擦除的EPROM及可用电擦除的EEPROM;数据区使用静态RAM,即SRAM。单片机出现的初期,先是将100多字节的RAM做到片内,然后将ROM集成到片内的单片机。由于静态RAM需要的晶体管数目较多,ROM和RAM的比例开始大于4:1。例如,20世纪80年代中期出现的最早的单片机,片内SRAM在128 B左右,片内EPROM在2 KB左右,典型的8位单片机的CPU运算能力在0.5 MIPS(每秒百万条运算)以下。摩尔定律指出,每18个月集成电路的集成度会增长1倍。回忆20年来单片机发展的历史,单片机片内CPU的运算能力大致是按这个规律发展的,甚至还要快。一个单片机内部集成2个乃至4个CPU的多CPU技术也已经得到广泛应用。目前,最快的、片内有4个DSP内核的单片机,运算能力甚至达到了18 000 MIPS。由于Flash技术的发展,片内ROM的增加速度也是很快的,大致如摩尔定律预期的。从当初的1 KB量级,增加到现在的几MB空间,增加了3个量级。

在过去20年中,单片机片内随机存储器静态RAM由于始终没有革命性的突破,与CPU运算速度、片内Flash容量的增速相比,仅提高了不到2个量级。这主要是由于SRAM的基本单元是双稳态电路,至少需要6只晶体管才能构成1个双稳态电路,成本也相对较高,使集成度的提高受到一定的制约。目前,最复杂的32位单片机,片内RAM最多的是64 KB;典型的单片机片内Flash与RAM之比在16:1以上。因此,应用设计工程师只能迁就单片机制造技术的实际情况,尽量减小应用程序对RAM数量的需求。

综上所述,20多年来,CPU运算能力提高了4个量级,ROM容量增加了3个量级,而片内RAM仅增加了2个量级。片内RAM仍然是SOC系统的瓶颈。

对存储器的需求,特别是应用程序对RAM的需求,可以分为两类:一类是以过程控制为目的的应用,其特点是对系统可靠性要求较高和对系统RAM的需求相对有限;另一类是图像处理类应用,至少应该在RAM中保存一幅图像。目前,典型的PC显示屏幕图像也需要

第1章 单片机技术发展新趋势及双核单片机

1 280×1 024 点阵,一般需要用 2 字节表述一个点的属性,如颜色、是否闪烁等,就需要 2.4 MB RAM 来存储。显然,目前的片内 RAM 还做不到。而图像处理类应用对可靠性的要求远小于过程控制类应用,个别像素出错并无大碍。而目前用来扩展 RAM 空间的动态随机存储器 DRAM,1 片就可以做到几 MB。

嵌入式应用系统设计中,越来越多地使用分布式系统,常常将两类应用分开,分别用两类 CPU 完成。对于过程控制类应用,尽量使用单片机,做到 SOC;对于图像处理类应用,用扩展方式扩展几 MB 乃至几十 MB RAM,可以运行 Linux 类的计算机操作系统,甚至可以直接使用嵌入式 PC。对于有低功耗要求的移动式应用,则使用 ARM 类 CPU,扩以 RAM 和 Flash。

这里重点放在可实现 SOC 的控制类应用上,想办法减少 RAM 的用量,做成高可靠性的单片式 SOC 系统。

以上分析表明,单片机设计工程师将会不断使用新技术,增加片内 RAM 的容量;而作为应用工程师,如何将应用系统对存储器容量的要求尽量降到最低,是选择设计方案时的重中之重。

1. 控制 RAM 用量的思路和方法

20 年前,在以 8 位机为主的时代,片内 RAM 只有几百字节。因此,嵌入式应用工程师只能计划使用片内 RAM,开发方式主要使用汇编语言,应用程序的开发很艰苦。后来开始使用 C 语言,特别是近 10 年来,嵌入式实时系统得到广泛应用,各种开发平台比比皆是,RAM、实时操作系统 RTOS(Real Time Operate System)和驱动都具备了,应用程序的开发似乎变简单了,至于 RAM 的用量,也无非是增加一个芯片的成本而已。

笔者始终认为,在可靠性成本和功耗方面,SOC 都比扩展系统要好得多。工程师只要付出更多的智慧,应该能设计出更好的产品。

2. 选择结构简单的 CPU

呼吁在嵌入式系统应用中使用实时操作系统 RTOS,虽然其本身会占用一定的 RAM 空间。RTOS 将一个应用分解成多个任务,每个任务都有自己的栈空间,要占用 RAM 资源。RTOS 做任务切换、任务调度时,要将 CPU 寄存器全部推入当前任务栈,从新任务的堆栈中获取全部 CPU 寄存器的值,并传给 CPU 寄存器。每个任务的栈空间大小,不但要考虑任务切换,而且要考虑中断嵌套层数,当然还有子程序调用嵌套层数和每个任务局部变量的数目等。

单就中断嵌套层数和任务切换而言,RAM 的需求不会少于下面的表达式:

$$\text{RAM 需求} > \text{保存 CPU 寄存器的需求} \times \text{中断嵌套层数} \times \text{任务数}$$

如果选择 32 位 CPU,例如 ARM,任务切换时至少有 17 个 32 位寄存器要入栈、出栈。“保存 CPU 寄存器的需求”这一项为 72 字节。而如果使用 16 位 CPU,例如 Freescale 公司的 S12 CPU,“保存 CPU 寄存器的需求”这一项仅为 9 字节。于是,以上表达式算出的对 RAM 的总需求要相差 8 倍。若单片机片内只有 32 KB 的 RAM,使用 16 位 CPU 可能 10 KB RAM

即可完成上述功能;若改用 ARM,则需要 80 KB,即使目前 RAM 最大的单片机中也只有 64 KB RAM,怎么可能做成 SOC 呢?

3. 使用带存储管理的 CPU

在全国大学生智能车模竞赛中,我们选择了有存储器分页管理的 S12 单片机。由于车模的控制比较简单,对分页管理内存的优点还没有使用体会。这种 16 位 CPU,使用 64 KB 的寻址空间,定义一个指针变量时,这个指针变量仅占用 2 字节内存;而使用全程编址的 32 位 CPU,定义一个指针变量时,这个指针变量则要占用 4 字节内存,比 16 位寻址要多占用 1 倍的 RAM 空间,对于子程序调用嵌套也是一样。

分页管理存储空间有一个优点就是,那些等待运行的任务、未进入就绪态的任务和休眠的任务可能会被排除在 64 KB 寻址空间之外,即 CPU 运行当前任务时,可能根本“看不到”那些当前与 CPU 无关的任务。这在系统可靠性方面会有一定的优势。

在带有协处理器的 S12X 系列单片机的 16 位 CPU 中,寻址空间扩展到 8 MB。可以采用 64 KB 寻址空间的 16 位地址,也可通过一个 7 位的全程寄存器对 8 MB 寻址空间统一实现 23 位地址空间寻址。即使全部使用 3 字节指针变量,仍比 32 位指针变量节省 1/4 RAM。

4. 避免使用浮点数和浮点运算的方法

浮点数在科学计算中非常通用,因为它有很宽的数值动态范围和精度范围;然而,在控制领域,则应尽量避免使用浮点数和浮点运算。

首先,浮点数运算是很花时间的,在科学计算中,浮点数运算由专门的协处理器完成。即便如此,主 CPU 仍然需要将要计算的数据传给协处理器,协处理器计算完后再将结果回传给主 CPU,这个数据传输过程也很花时间。而在单片机中,只有很高端的 32 位处理器才有浮点处理器,绝大多数单片机中没有浮点协处理器。

其次,从系统可靠性角度考虑,过宽的数值动态范围对于控制系统并非好事。考虑瞬间强干扰引起数据的出错,若出现在浮点数的阶码上,这个错误就非同小可。如果用传统的平均、滤波等算法处理数据,带来的偏差也会是不可容忍的。虽然可以在程序中以不断判断数据的合理性的方式排除此类错误,但仍不如让数据总是处在合理的动态范围中。

在控制领域,绝大多数数据用 16 位数表示就够用了。如果是无符号数,16 位整数的动态范围是 0~65 535,它表达的精度是 1/65 536,可保证一般运算精度达到万分之一。这在很多场合都够用。如果还不够用,可使用 24 位数或 32 位长整数,运算精度可到亿分之一。

例如,在控制系统中,需要测量一个动态变化的电压值,典型的电压动态范围是 0~15 V。用一个 16 位数表示这个动态范围,相当于 16 位 ADC 的精度,应该说在绝大多数情况下是够用的。可以这样拆分这个 16 位数,高 4 位表示 0~15 V 电压值的整数部分,小数点后面用 12 位分数表示,此时这个 16 位数可表示的电压值范围为

第1章 单片机技术发展新趋势及双核单片机

$$0 \sim 15 \text{ V} + (1/2 + 1/4 + 1/8 + \dots + 1/4096) \text{ V} = 15.999\ 76 \text{ V}$$

这样,即使在多次测量中有某一次出现错误,该次测量的结果也不会超出合理的数值动态范围。所有的运算可以用整数来算,最后将结果右移 12 位即可。嵌入式系统用单片机往往有分数运算指令,这个 16 位数可归一化为 $0 \sim (1 - 1/65\ 536)$,即 $0 \sim 0.999\ 984\ 74$ 。其运算原理和整数运算实际上没有什么区别。同理,仍可使用 24 位或 32 位数大幅度提高运算精度。

由于目前单片机中片内 Flash 存储器已经可以做得很大,可以把有用的数据、曲线事先算好,用查表、插值等方法简化复杂的运算,例如,三角函数表、对数和反对数表等。

上述所有手段,都是为了实现单片机的单片化应用,实现 SOC。尽量用 1 个单片机芯片完成整个应用系统设计,以提高系统的可靠性,降低成本与功耗。

1.3 使用实时操作系统

10 余年来,在嵌入式应用系统中使用实时操作系统的理念已经得到越来越多的应用工程师的认可。

过去,由于 RTOS 的商业软件价格很高,著名的商业 RTOS 要好几万美元,而其中大部分是不提供源码的,即所谓黑盒子,故不便于学习和使用。另外,早年的单片机存储器资源有限,容不下 RTOS 本身的开销。而随着半导体技术的飞速发展,片上系统(SOC)成为嵌入式应用的发展趋势,RTOS 的使用也越来越普及。

提倡在计算机嵌入式应用中使用实时操作系统,是因为 RTOS 使 CPU 利用率最大化。RTOS 将应用分解成多个任务,大大简化了应用系统软件的设计;而多任务间可能出现的竞争问题、多任务间通信问题,都有操作系统替用户考虑;RTOS 使控制系统的实时性得到保证,可以接近理论上能达到的最高水平;良好的多任务设计,有助于提高系统的稳定性与可靠性,也使应用程序更便于维护与扩展。嵌入式 RTOS 是多年来计算机专家们潜心研究的成果和智慧的结晶,其应用的范围也不胜枚举。在现代化社会里,可以说,只要能想到的领域都有计算机的嵌入式应用。开发嵌入式应用的工程师应该把计算机专家的研究成果拿来使用,使其开发出来的产品上一个档次。

由于对嵌入式系统的需求越来越复杂,集成电路技术发展又非常快,片上存储器容量不断扩大,使得在片上系统的开发中使用嵌入式 RTOS 成为可能。各行各业的嵌入式应用系统工程师都是业内的专家,而计算机一般不是他们的本行,只是一种工具。他们不可能将主要精力花在研究操作系统上,而是要把主要精力放在所研究的专业上,他们需要的是把计算机专家们研究的成果直接拿来使用。RTOS 可以将一个复杂的应用分解成多个任务,从而简化应用程序的设计,并可以保证系统的实时性达到或接近理论上能达到的最高水平。但多任务本身会带来一系列问题,主要是任务间的竞争、死锁、优先级反转及任务间同步与通信等,这些问题有 RTOS 为用户考虑了,用户只要知道 RTOS 的原理,会使用即可。因为 RTOS 要经过裁剪、固