

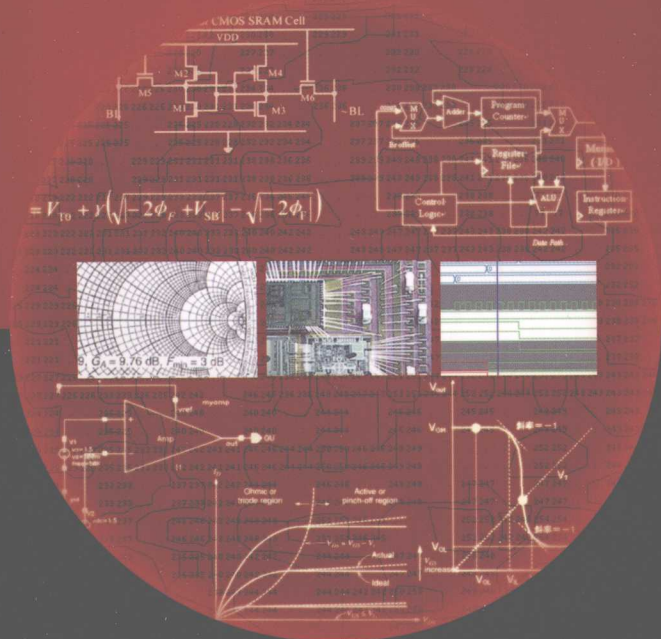
国家集成电路工程领域工程硕士系列教材

国务院学位委员会集成电路工程硕士教育协作组  
全国集成电路人才培养基地专家指导委员会

组编

# 数字集成电路物理设计

陈春章 艾霞 王国雄 编著



科学出版社  
www.sciencep.com

JN431.2  
284  
1=

国家集成电路工程领域工程硕士系列教材

国务院学位委员会集成电路工程硕士教育协作组 组编  
全国集成电路人才培养基地专家指导委员会

# 数字集成电路物理设计

陈春章 艾霞 王国雄 编著

科学出版社

北京

## 内 容 简 介

本书是国内第一本全面、完整介绍当今数字集成电路后端布局布线设计技术的专门教材。作者结合自身多年理论研究和丰富的实践与教学经验,详细介绍了基于标准单元的数字集成电路从门级网表到最终布局布线版图生成过程中所涉及的多方面重要工作,包括布图规划、电源规划、布局、时钟树综合、布线、寄生参数提取、静态时序分析、签收验证和物理验证等。本书不仅涵盖了掌握数字后端设计所需的有关芯片制造工艺、数字标准单元库、设计中间文件等背景知识,而且充分结合当前所面临的问题和挑战,对电压降、信号完整性和低功耗技术等问题也做了深入讨论。本书对基本概念的讲授通俗易懂,相关内容、配套习题和实验都与实际工程紧密联系,以使读者能够打下坚实的工程实践基础。

本书可作为高等院校集成电路设计相关专业工程硕士的教材,也可作为相关专业本科生和研究生的教材,并可供集成电路设计工程师参考。

### 图书在版编目(CIP)数据

数字集成电路物理设计/陈春章,艾霞,王国雄编著. —北京:科学出版社, 2008

(国家集成电路工程领域工程硕士系列教材)

ISBN 978-7-03-022031-8

I. 数… II. ①陈… ②艾… ③王… III. 数字集成电路-电路设计-研究生-教材 IV. TN431.202

中国版本图书馆 CIP 数据核字(2008)第 074333 号

责任编辑:马长芳 潘继敏 / 责任校对:张 琪  
责任印制:张克忠 / 封面设计:耕者设计工作室

科学出版社出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

源海印刷有限责任公司印刷

科学出版社发行 各地新华书店经销

\*

2008 年 8 月第 一 版 开本:787×1092 1/16

2008 年 8 月第一次印刷 印张:19

印数:1—4 000 字数:400 000

定价:36.00 元

(如有印装质量问题,我社负责调换〈明辉〉)。

国家集成电路工程领域工程硕士系列教材

国务院学位委员会集成电路工程硕士教育协作组  
全国集成电路人才培养基地专家指导委员会 组编

主 编：严晓浪（浙江大学）

副 主 编：余志平（清华大学,特邀）

审稿人员：（以拼音为序）

陈春章 洪志良

吉利久 罗伟绍

石秉学 时龙兴

唐璞山 吴懿平

肖 钢 于敦山

马长芳（责任编辑 科学出版社）

## 丛 书 序

随着电子计算机的普及,人类社会已经进入了信息化社会。以集成电路为代表的微电子技术是信息科学技术的核心技术。集成电路产业是关系经济建设、社会发展和国家安全的战略性产业。集成电路技术伴随着半导体技术、计算机技术、多媒体技术、移动通信等技术的不断创新,得到了迅猛发展。从1958年美国的基尔比发明世界上第一块集成电路以来,集成电路已经从初期的小规模集成电路(SSI)发展到今天的系统芯片(SoC),集成电路一直按摩尔定律(Moore law)向前演进。集成电路产业包含了相对独立的集成电路设计、集成电路加工制造、集成电路封装测试、集成电路材料、集成电路设备业等,而其中的集成电路设计是集成电路产业发展的龙头。

近年来,我国的集成电路产业迅速发展。2000年以来我国的集成电路产值年平均增长率达到30%左右。坚持自主发展,增强技术创新能力和产业核心竞争力,掌握集成电路的核心技术,提高具有自主知识产权产品的比重是我们的历史性任务。

发展集成电路技术的关键是培养具有创新和创业能力的专业人才,因此高质量、较快速度地培养集成电路人才是我们的迫切任务。毫无疑问,大学和大学老师义不容辞地要担负起这一历史责任。2003年以来,教育部先后在全国部分重点高校建设了“国家集成电路人才培养基地”,国务院学位委员会又在2006年批准设立集成电路工程领域培养工程硕士学位课程,意在不仅培养高水平的工学学士、硕士和博士,而且还要培养大量的集成电路工程领域的工程硕士,以满足我国集成电路产业迅速发展的需要。

集成电路技术发展迅速,内容更新快,而我国现有的集成电路工程领域的教科书数量少,而且内容和体系上不能很好地反映学科的发展和工程技术教学的需要,也难以满足集成电路工程领域工程硕士的培养。为此,教育部全国集成电路工程领域工程硕士专业指导委员会和科学出版社,经过广泛而深入的调研,组织编写出版了这套国家集成电路工程领域工程硕士教材。

本系列教材具有以下特色:

1. 内容完整,体系性强。本系列教材包括了集成电路器件、工艺、数字集

成电路设计、模拟集成电路设计、射频集成电路设计以及封装与测试,可以满足集成电路工程领域各个方向的教学。

2. 基础全面,工程性强。教材中不仅对集成电路的基础理论有较详细的论述,而且强调了集成电路的工程性,安排了较大篇幅的内容对具体的集成电路设计技术进行全面的讲解,以使学生在掌握集成电路基础理论的同时,能上机进行具体的设计,加深对理论的理解。

3. 适应教学,自学性强。在教材编写过程中考虑了现有工程硕士的教学时间,以及教学内容的完整性,对各种教学计划,可以灵活地将教材内容进行裁剪。另外,教材中相对突出了以实验为主的实践环节,以便学生自学。

本系列教材的编写人员,不仅有从事教学第一线的高校教师,而且有从事集成电路设计多年,有丰富实践经验的国际著名集成电路设计公司的资深工程技术人员。在此表示衷心的感谢。

国务院学位委员会集成电路工程硕士教育协作组

全国集成电路人才培养基地专家指导委员会

2008年5月

## 前 言

集成电路数字系统芯片的设计,从系统设计、功能验证和逻辑综合到物理实施,每一阶段的重要性已经越来越被人们认识。然而,关于集成电路设计,目前非常缺少侧重于工程内容的教材和参考书籍,尤其是关于物理实施过程、设计方法和设计流程,以及实施细节、相互间的内在依赖关系等方面。近十年来,从深亚微米到纳米设计中出现了许多新技术方案和设计流程,人们迫切需要有关专著进行讲解。

今天的数字集成电路设计显然要比十年前或者五年前复杂得多,过去人们将数字集成电路的物理设计与实施简称为后端设计,或被解释为逻辑综合、布局与布线三步曲。事实上,在当代的集成电路设计中,这三步工作更加依赖于 EDA 工具的自动化,工程师要花费更多的时间分析设计数据、设计方案和设计结果,不断地调整布局与布线中的各种参数,已使设计达到时序收敛。

作者试图将已经广泛应用的物理设计方法以及纳米设计中面临的一些问题和新的设计思路和设计方法,结合从事过的设计和多年的 EDA 培训及教学经验,编著成书。希望能补充这一学科的部分空白,和有志于进入这一实践领域的专业工程师共享,也希望本书能成为具有一定物理设计基础和想从事物理设计的工程师有用的参考书。

随着半导体与工艺技术的快速发展,以及集成电路设计能力的不断增强和设计方法的持续更新,书中可能会有一些内容会落后或不符合实际应用的需求,同时书中也难免有错误,恳切希望专家、同行、读者们不吝指教,以便再版时得以更新、改正。

本课程教学内容作为完整的体系,由以下三个部分组成:

(1) 课本教材。课本教材系统地介绍了集成电路物理实施的概念和方法。第 1 章综述性地讲解了当前设计的技术方案和进展,及各种相关设计流程的步骤和区别。其他各章依次讲解这些技术方案的指导思想和实现的具体过程。第 1 章中的一些内容也可以放在本书后作为总结最后介绍。

(2) 幻灯教材。它与课本教材章节相互配合,具有更多的灵活性和趣味性,包含了工业实施的案例和图片,由授课者根据学生的背景和兴趣灵活选取。

(3) 实验教材。这是理解课本教材和幻灯教材不可缺少的部分,尤其是大量的实验数据只能通过上机练习和实验才能加强理解和应用。为了解决一时不能上机的困难,我们可以用与本书实验教材配套的 CD 光盘来补充,它包括物理实施的实验流程、实验方法的演示。

### 致谢

感谢浙江大学严晓浪教授和清华大学余志平教授在本书撰写过程中给予的大力支持

和鼓励,并感激严晓浪教授对全书所做详细、完整的审阅工作,感谢复旦大学唐璞山教授对布局和布线章节的指正和审阅。感谢北京大学张兴教授和于敦山教授,清华大学王志华教授,东南大学王志功教授、时龙兴教授和李智群教授,中国科学院微电子研究所叶甜春教授和陈岚教授,哈尔滨工业大学叶以正教授,西安电子科技大学庄亦琪教授,电子科技大学李广军教授,西安交通大学王国裕教授,同济大学林正浩教授,深圳大学朱明程教授,中山大学陈弟虎教授等对本书写作的鼓励和早日出版的期盼。感谢陈宏和谷建余两位多年的同事,本书分享了他们的设计方法和工程经验,包括从亚微米芯片到纳米芯片设计流程用到的各种设计方案。本书还得到了多位同行和同事对相关章节的审阅和指正,按章节顺序,他们是:刘飞、黄小立、何利民、戴伟进、高耀京、王镇山、李存等,在此一并致谢。感谢吴杰协助编写了第2章和附录、相关图表,以及完成大量的校对工作;冯文南和李荣完成了与本书配套的实验教材与流程。本书的著作得到 Cadence 的大力支持, Cadence 为本书的写作提供了若干最新的图表和与本书配套使用的实验数据。感谢居龙、谭月英、刘国军、孙坚和张耀宗等对本书写作的大力支持。

陈春章

2008年5月于北京



# 目 录

## 丛书序

## 前言

第 1 章 集成电路物理设计方法	1
1.1 数字集成电路设计挑战	1
1.2 数字集成电路设计流程	2
1.2.1 展平式物理设计	6
1.2.2 硅虚拟原型设计	7
1.2.3 层次化物理设计	7
1.3 数字集成电路设计收敛	9
1.3.1 时序收敛	10
1.3.2 功耗分析	10
1.3.3 可制造性分析	12
1.4 数字集成电路设计数据库	12
1.4.1 数据库的作用与结构	13
1.4.2 数据库的应用程序接口	14
1.4.3 数据库与参数化设计	14
1.5 总结	15
习题	15
参考文献	15
第 2 章 物理设计建库与验证	17
2.1 集成电路工艺与版图	17
2.1.1 CMOS 集成电路制造工艺简介	17
2.1.2 CMOS 器件的寄生门锁效应	21
2.1.3 版图设计基础	23
2.2 设计规则检查	25
2.2.1 版图设计规则	25
2.2.2 DRC 的图形运算函数	27
2.2.3 DRC 在数字 IC 中的检查	28
2.3 电路规则检查	28
2.3.1 电路提取与比较	29
2.3.2 电气连接检查	29
2.3.3 器件类型和数目及尺寸检查	30

2.3.4	LVS在数字IC中的检查	30
2.4	版图寄生参数提取与设计仿真	32
2.4.1	版图寄生参数提取	32
2.4.2	版图设计仿真	32
2.5	逻辑单元库的建立	33
2.5.1	逻辑单元类别	34
2.5.2	逻辑单元电路	35
2.5.3	物理单元建库与数据文件	39
2.5.4	时序单元建库与数据文件	43
2.5.5	工艺过程中的天线效应	51
2.6	总结	53
	习题	54
	参考文献	54
<b>第3章</b>	<b>布图规划和布局</b>	<b>56</b>
3.1	布图规划	56
3.1.1	布图规划的内容和目标	57
3.1.2	I/O接口单元的放置与供电	58
3.1.3	布图规划方案与延迟预估	61
3.1.4	模块布放与布线通道	65
3.2	电源规划	67
3.2.1	电源网络设计	68
3.2.2	数字与模拟混合供电	75
3.2.3	时钟网络	76
3.2.4	多电源供电	76
3.3	布局	78
3.3.1	展开式布局	78
3.3.2	层次化布局	79
3.3.3	布局目标预估	80
3.3.4	标准单元布局优化算法	82
3.4	扫描链重组	83
3.4.1	扫描链定义	83
3.4.2	扫描链重组	84
3.5	物理设计网表文件	88
3.5.1	设计交换格式文件	88
3.5.2	其他物理设计文件	88
3.6	总结	89
	习题	89

参考文献	90
<b>第4章 时钟树综合</b>	<b>93</b>
4.1 时钟信号	93
4.1.1 系统时钟与时钟信号的生成	93
4.1.2 时钟信号的定义	95
4.1.3 时钟信号延滞	97
4.1.4 时钟信号抖动	98
4.1.5 时钟信号偏差	99
4.2 时钟树综合方法	100
4.2.1 时钟树综合与标准设计约束文件	100
4.2.2 时钟树结构	103
4.2.3 时钟树约束文件与综合	104
4.3 时钟树设计策略	105
4.3.1 时钟树综合策略	105
4.3.2 时钟树案例	109
4.3.3 异步时钟树设计	112
4.3.4 锁存器时钟树	113
4.3.5 门控时钟	114
4.4 时钟树分析	116
4.4.1 时钟树与时序分析	116
4.4.2 时钟树与功耗分析	118
4.4.3 时钟树与噪声分析	121
4.5 总结	126
习题	126
参考文献	127
<b>第5章 布线</b>	<b>128</b>
5.1 全局布线	128
5.1.1 全局布线目标	129
5.1.2 全局布线规划	129
5.2 详细布线	129
5.2.1 详细布线目标	129
5.2.2 详细布线与设计规则	130
5.2.3 布线修正	134
5.3 其他特殊布线	135
5.3.1 电源网络布线	135
5.3.2 时钟树布线	135
5.3.3 总线布线	135

5.3.4	实验布线	136
5.4	布线算法	136
5.4.1	通道布线和面积布线	136
5.4.2	连续布线和多层次布线	137
5.4.3	模块设计和模块布线	137
5.5	总结	138
	习题	138
	参考文献	139
<b>第 6 章</b>	<b>静态时序分析</b>	<b>140</b>
6.1	延迟计算与布线参数提取	140
6.1.1	延迟计算模型	141
6.1.2	电阻参数提取	144
6.1.3	电容参数提取	146
6.1.4	电感参数提取	148
6.2	寄生参数与延迟格式文件	148
6.2.1	寄生参数格式 SPF 文件	148
6.2.2	标准延迟格式 SDF 文件	150
6.2.3	SDF 文件的应用	150
6.3	静态时序分析	152
6.3.1	时序约束文件	152
6.3.2	时序路径与时序分析	153
6.3.3	时序分析特例	161
6.3.4	统计静态时序分析	163
6.4	时序优化	165
6.4.1	造成时序违例的因素	165
6.4.2	时序违例的解决方案	165
6.4.3	原地优化	166
6.5	总结	167
	习题	167
	参考文献	167
<b>第 7 章</b>	<b>功耗分析</b>	<b>169</b>
7.1	静态功耗分析	169
7.1.1	反偏二极管泄漏电流	169
7.1.2	门栅感应漏极泄漏电流	170
7.1.3	亚阈值泄漏电流	170
7.1.4	栅泄漏电流	171
7.1.5	静态功耗分析	171

7.2	动态功耗分析	171
7.2.1	开关功耗	171
7.2.2	短路功耗	173
7.2.3	动态功耗分析与总功耗	174
7.3	电压降分析与电迁移分析	175
7.3.1	电压降与供电网络	175
7.3.2	电压降与封装	176
7.3.3	电压降与时序违例	177
7.3.4	电迁移与电流密度	179
7.4	功耗分析数据与文件	180
7.4.1	功耗分析与功耗数据	181
7.4.2	电源网格视图库	182
7.4.3	通用功耗格式文件与应用	182
7.5	总结	184
	习题	184
	参考文献	185
<b>第8章</b>	<b>信号完整性分析</b>	<b>186</b>
8.1	信号串扰与功能故障	186
8.1.1	串扰的产生	186
8.1.2	噪声容限	187
8.2	串扰信号分析	188
8.2.1	串扰分析	189
8.2.2	串扰与延迟	190
8.2.3	电压降与串扰	191
8.2.4	串扰与低功耗	192
8.2.5	串扰的多层次分析	192
8.3	信号串扰预防与修复	193
8.3.1	串扰预防	193
8.3.2	串扰修复	193
8.3.3	虚拟串扰和靴值分析	194
8.4	噪声数据库	195
8.4.1	噪声模型	195
8.4.2	噪声数据库	197
8.4.3	互连线噪声模型	198
8.5	总结	199
	习题	200
	参考文献	200

<b>第 9 章 低功耗设计技术与物理实施</b> .....	201
9.1 低功耗设计方案综述 .....	201
9.1.1 低功耗设计方案的选择 .....	201
9.1.2 低功耗设计代码编写 .....	203
9.1.3 低功耗设计逻辑综合 .....	204
9.1.4 低功耗设计测试 .....	205
9.1.5 低功耗设计功能验证 .....	206
9.2 低功耗设计基本方法与物理实施 .....	208
9.2.1 面积优化 .....	208
9.2.2 多阈值电压技术 .....	208
9.2.3 门控时钟 .....	208
9.3 低功耗设计先进方法与物理实施 .....	209
9.3.1 多电源多电压技术 .....	210
9.3.2 电源关断与状态保持电源门控技术 .....	212
9.3.3 动态电压与频率调节技术 .....	215
9.3.4 衬底偏置技术 .....	216
9.4 总结 .....	217
习题 .....	218
参考文献 .....	218
<b>第 10 章 芯片设计的最终验证与签核</b> .....	220
10.1 时序验证 .....	220
10.1.1 反向标定 .....	220
10.1.2 时序分析与功耗分析 .....	221
10.1.3 时序分析与信号完整性分析 .....	221
10.1.4 用 MMMC 做时序验证的方法 .....	222
10.1.5 用 MMMC 做时序验证的实例 .....	225
10.2 物理验证与芯片组装 .....	228
10.2.1 设计规则检查 .....	228
10.2.2 光刻检查与可制造性设计 .....	229
10.2.3 电路检查 .....	229
10.2.4 芯片集成 .....	229
10.3 逻辑等效验证与 ECO .....	230
10.3.1 形式验证 .....	231
10.3.2 逻辑等效验证 .....	231
10.3.3 验证与 ECO .....	231
10.4 数据交换及检查 .....	232
10.4.1 数据交换 .....	232

---

10.4.2 检查内容及方法	233
10.5 总结	233
习题	233
参考文献	234
附录	235
附录 1 集成电路物理设计常用文档总介	235
附录 2 VHDL 句法简介	236
附录 3 Verilog HDL 句法简介	237
附录 4 VCD 文档简介	238
附录 5 SDC 文档简介	239
附录 6 GDSII 文档简介	241
附录 7 LEF 文档简介	243
附录 8 Liberty 文档简介	248
附录 9 DEF 文档简介	255
附录 10A DSPF 文档简介	259
附录 10B RSPF 文档简介	261
附录 10C SPEF 文档简介	263
附录 11 SDF 文档简介	267
附录 12 CPF 文档简介	270
附录 13 TCF 文档简介	271
附录 14 TWF 文档简介	273
附录 15 集成电路设计常用国际单位制	274
附录 16 国际单位制 (SI) 前缀	275
参考文献	275
索引	276

## 第 1 章 集成电路物理设计方法

数字集成电路的设计方法是从电路理论到产品实现的工程手段。在物理实施过程中,由于设计的复杂性,人们更加乐于建立相应的设计流程或流程图,可以重复参考应用。这样的设计流程图不难找到,尽管还在不断地得到改进,但它们表面上看起来大同小异。集成电路的设计工程绝对不同于软件设计或机械工程,它不希望设计者程序化或机械化地按照流程图去处理复杂的芯片设计,而是首先需要了解当今集成电路设计的复杂性和挑战性(见 1.1 节),再去参考相关的设计流程(见 1.2 节),在实施过程中不断理解、分析并解决其中出现的问题,使设计尽快得到收敛(见 1.3 节)。本章将依次讲解这些内容,并将近年来集成电路设计中人们关心的与设计复杂性相关的数据库方法(见 1.4 节)在本章末尾介绍,以协助读者理解复杂的设计本身与设计工具和环境的相互关系。

### 1.1 数字集成电路设计挑战

在第 40 届 EDA 国际年会的名家演讲中<sup>[1]</sup>,集成电路设计依赖于电子设计自动化(EDA, electronic design automation)的发展过程,被生动地比拟为上帝时代、英雄时代和人类时代。这种比喻形象地说明了集成电路 EDA 设计的发展历程和各阶段的特征,20 世纪 80 年代早期的设计方法处于摸索的茫然中,EDA 工具只能实现简单的功能,工程师与 EDA 工具的交互有限,只能遵循特定的程序和实现方法,故而称为上帝时代。接着,20 世纪 90 年代设计方法的迅速发展造就了英雄辈出的电子时代,EDA 技术得到了一定的发展,自动化程度不断提高,能够实现的规模逐渐增大,新的方法被不断提出,故而被称为英雄时代。到了 21 世纪,通过信息技术网络的传播,带动了“3C”(computer, communication, consumer)产业,即计算机的普及应用、有线和无线通信的交流、大量消费产品的开发和使用,半导体和集成电路成了人类的智慧结晶,集成电路 EDA 技术也得到了充分发展,从而进入了普及的时代。

人类对电子产品的大量依赖和高性能的需求,要求集成电路芯片越来越小,这推动了半导体工艺技术不断前进,使得集成电路的设计技术不断改进,也向专业工程师提出了更加艰巨的技术挑战。这些挑战反映在以下三个方面:芯片上的晶体管数量按照摩尔定律(Moore law)的发展已达到 10 亿个;晶圆尺寸从 3"(英寸,1 英寸=2.54 厘米)到目前的 12";晶体管的特征尺寸或者技术节点(technology node)已经发展到 65nm 并已建立 45nm 设计流程。从以上所述的发展到成熟应用所需时间来看,大约每两年向前推进一个技术节点。因此,事实上,下一个技术节点 32nm 的物理设计流程已经开始研发。尽管光刻波长已经受到技术限制,极紫外(EUV, extreme UV, 波长 13nm)光刻技术还需要数年的发展时间,但借助大型计算机的帮助<sup>[2,3]</sup>,我们仍期望不久看到 IBM 第一个 22nm 实验流片的成功,16nm 的设计也将在不久的将来开发出来。同时,下一代 450mm(18")晶圆技



术也会与时俱进,以适应 5 千万到 1 亿万门以上逻辑门系统芯片的设计需求(图 1-1)。

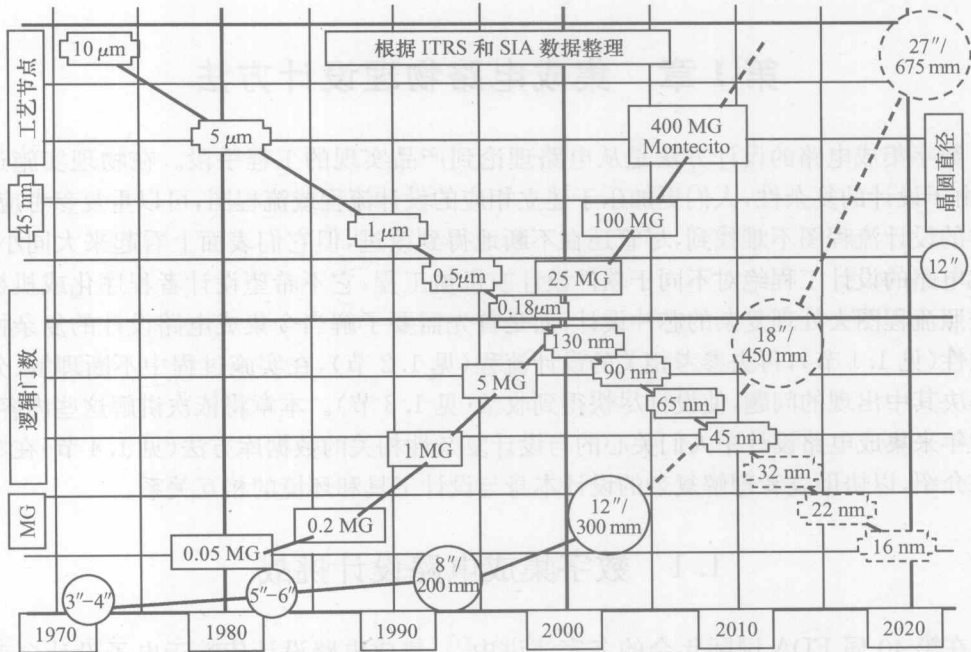


图 1-1 集成电路发展计划表(根据 ITRS<sup>[3]</sup> 和 SIA 数据)

图中下方圆形间的连线表示晶圆尺寸(wafer size)的大致发展年代,其中 200mm 为 8"、300mm 为 12"、450mm 为 18"、675mm 为 27"。长方形间的连线大致表示芯片中逻辑门数(MG, 百万门)的增加趋势。

十字图形间的下降连线大致表示技术节点的发展年代

## 1.2 数字集成电路设计流程

集成电路从 RTL 到 GDSII 的设计发展过程又被分作三个“I”年代<sup>[1]</sup>,它们是发明、实施和整合(innovation, implementation, integration)。发明年代包括布局布线的基本算法、时序分析和逻辑综合(logic synthesis)的发明;实施年代开始于 FPGA 中门阵列的实现,ASIC 设计中同等高度标准逻辑单元库的设计,它们使得 EDA 的方法得到充分的发展和运用;当集成电路设计变得越来越大,即出现了在 RTL 和逻辑综合时,先将设计经过分配(partition)变成模块化(module)的设计和优化方案,在布局布线时采用自底向上的堆砌法(bottom-up),这也是一种展平的设计方法(见 1.2.1 节)。所有模块完成后,最后再将它们整合在一起<sup>[4]</sup>。在布局布线时的另外一种模块化设计方案则是和综合相似的方案,实行自上向下(top-down)分配,变成模块化再将它们整合在一起(见 1.2.3 节)。在布局布线阶段,无论是自底向上或自上向下进行设计,都需要较长周期才能完成一轮的实验方案。因此,结合两者的特点,人们又提出了第三种快速实施方案,称之为硅虚拟原型设计(见 1.2.2 节)。为了便于初学者理解,我们将先介绍自下向上,而后介绍硅虚拟原型设计,最后介绍自上向下的实施方法。不管采用哪一种实施方案,为了适合处理复杂的设