

数字电路 课程设计及实验

SHUZI DIANLU KECHENG SHEJI JI SHIYAN

李维 主编

大连理工大学出版社

数字电路课程设计及实验

李 维 主 编

大连理工大学出版社

图书在版编目(CIP)数据

数字电路课程设计及实验 / 李维主编. —大连: 大连理工大学出版社, 2008. 9
ISBN 978-7-5611-4448-0

I. 数… II. 李… III. ①数字电路—课程设计—高等学校—教材 ②数字电路—实验—高等学校—教材 IV. TN79

中国版本图书馆 CIP 数据核字(2008)第 137254 号

大连理工大学出版社出版

地址: 大连市软件园路 80 号 邮政编码: 116023

发行: 0411-84708842 邮购: 0411-84703636 传真: 0411-84701466

E-mail: dutp@dutp.cn URL: <http://www.dutp.cn>

大连理工印刷有限公司印刷 大连理工大学出版社发行

幅面尺寸: 185mm×260mm 印张: 12 字数: 269 千字

2008 年 9 月第 1 版

2008 年 9 月第 1 次印刷

责任编辑: 赵 静

责任校对: 王 义

封面设计: 苏儒光

ISBN 978-7-5611-4448-0

定 价: 22.00 元

前 言

随着科学技术的迅速发展,社会对理工类本科生的要求进一步提高,不仅需要其掌握基本理论知识,而且还要掌握基本实验技能 and 创新能力。通过实验不仅可以巩固和加深学生对理论知识的理解,而且可以培养学生独立分析问题、解决问题的能力 and 严谨的工作作风,为适应日后工作打下良好的基础。

本书第一章为数字电路验证性实验,共 11 个。实验内容涵盖了教学基本要求规定的主要内容,并有所拓宽和加深,每个实验项目都做到了对理论知识的加深理解和验证。第二章为设计性实验,共 11 个。这一章是根据编者多年的教学实践,总结出学生在学习数字电路课程时是按照“认识→理解→综合运用”这一过程进行的,为了更好地理解基本知识,最好是选择一些基本电路让学生自己设计,为此在设计这一章时选择了最基本的电路进行设计。第三章为数字电路课程设计,共 11 个。该章内容具有通用性、趣味性和实用性,每个课题均提供参考电路及简要说明。最后是附录部分,介绍电子器件的识别和主要性能参数及实验仪器的结构和使用方法。

本书是在作者编写的《数字电子技术基础实验》和《电子技术基础课程设计》及教学实验项目开发经验的基础上编写的。李维为本书的主编。参加编写本书的还有大连工业大学信息科学与工程学院康铁英老师、宛杰老师、王启林老师、卢金石老师、牟俊老师、祁建广老师,在此一并表示感谢。

编 者

大连工业大学

2008 年 7 月

目 录

第一章 数字电路验证性实验	1
实验一 TTL 逻辑门电路的逻辑功能测试	1
实验二 CMOS 集成逻辑门的功能与参数测试	6
实验三 集成逻辑电路的连接和驱动	9
实验四 半加器与全加器	13
实验五 译码器及其应用	16
实验六 触发器	19
实验七 计数器	23
实验八 寄存器和移位寄存器	27
实验九 自激多谐振荡器	31
实验十 单稳态触发器与施密特触发器	34
实验十一 555 定时器及其应用	40
第二章 数字电路设计性实验	43
设计实验一 组合逻辑电路的设计	43
设计实验二 数据选择器及其应用	44
设计实验三 任意进制计数器	47
设计实验四 移位寄存器的应用	48
设计实验五 电子表计数、译码显示电路	49
设计实验六 自拟题设计电路	51
设计实验七 智力竞赛抢答装置	52
设计实验八 电子秒表	54
设计实验九 数字频率计	59
设计实验十 拔河游戏机	65
设计实验十一 随机存取存储器 2114A 及其应用	69
第三章 数字电路课程设计	78
概述 电子技术基础课程设计的基本知识	78
课题一 数字电子钟逻辑电路设计	92
课题二 智力竞赛抢答计时器的设计	97
课题三 数字电压表	103

课题四	数字脉搏测试仪的设计	111
课题五	交通信号灯控制逻辑电路设计	123
课题六	数字频率计逻辑电路设计	128
课题七	定时控制器逻辑电路设计	134
课题八	循环彩灯控制电路设计	138
课题九	脉冲按键电话显示逻辑电路设计	148
课题十	双路防盗报警器的设计	153
课题十一	数字式温度测量电路的设计	159
附 录		173
附录 1	KHD-2 型数字电路实验装置	173
附录 2	集成逻辑门电路新、旧图形符号对照表	176
附录 3	集成触发器新、旧图形符号对照表	177
附录 4	部分集成电路引脚图	178

第一章 数字电路验证性实验

实验一 TTL 逻辑门电路的逻辑功能测试

一、实验目的

1. 掌握各种 TTL 集成逻辑门的逻辑功能及测试方法。
2. 掌握 TTL 器件的使用规则。
3. 进一步熟悉数字电路实验装置及使用方法。

二、实验预习内容

1. 复习 TTL 集成逻辑门电路的工作原理。
2. 熟悉实验用各个集成门引脚的功能。
3. 画好实验内容的测试电路及数据记录表格。
4. 阅读 TTL 集成电路的使用规则。

三、实验设备及器件

1. 数字电路实验台
2. 74LS20、74LS51、74LS86、74LS00

四、实验原理

逻辑门就是实现各种逻辑关系的电路,因其内部组成不同,分为 TTL 型(晶体管-晶体管逻辑)和 MOS 型(金属氧化物-场效应管集成电路)。这两类门电路在使用中各有特点,但其逻辑符号和完成的逻辑功能是相同的。就 TTL 逻辑门电路,因其内部结构的特点为输出阻抗低、负载能力强、开关速度高等被广泛使用。

五、实验内容

1. “与非门”逻辑功能测试

在数字电路实验箱上选一块四输入端与非门 74LS20,按图 1.1.1 接线。四个输入端分别接逻辑开关的输出插口。以提供“0”与“1”电平信号,开关向上为逻辑“1”,向下为逻辑“0”。门的输出端接 LED 发光二极管组成的逻辑电平显示器的显示插口。LED 亮为逻辑“1”,不亮为逻辑“0”。74LS20 是四输入与非门,有 16 个测试项,只对其中五项 1111、0111、1011、1101、1110 进行检测,就可判断其逻辑功能是否正常。依照表 1.1.1 分别测试与非门的逻辑功能。

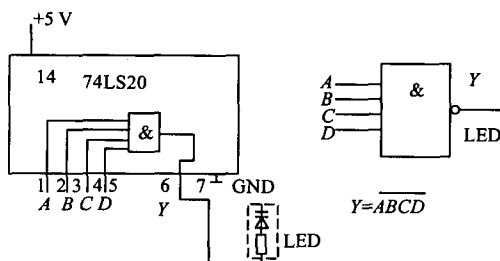


图 1.1.1 与非门管脚图、符号图

表 1.1.1 与非门真值表

输 入				输 出
A	B	C	D	Y
1	1	1	1	
0	1	1	1	
1	0	1	1	
1	1	0	0	
1	1	1	0	

2. “与或非门”逻辑功能测试

在数字电路实验台上选一个“与或非门”74LS51。图 1.1.2 为其引脚图和逻辑图。按照图 1.1.2 接线。门的四个输入端分别接到逻辑电平输出插口上,输出端 Y 接到逻辑电平显示器输入插口。拨动逻辑电平开关,逐项测试记入表 1.1.2,判断是否符合逻辑关系。

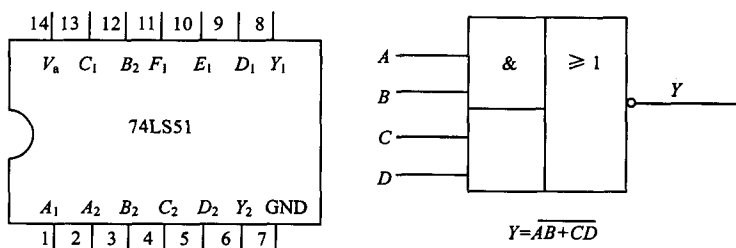


图 1.1.2 与或非门引脚图、符号图

表 1.1.2 与或非门真值表

A	B	C	D	Y
0	0	0	0	
0	1	0	1	
1	1	0	1	
1	1	1	1	

3. “异或门”的逻辑功能测试

在数字电路实验台上选一“异或门”74LS86,图 1.1.3 为其引脚图和逻辑图。按照图 1.1.3 接线。门的两个输入端接到逻辑电平输出插口上,输出端接到逻辑电平显示器输入插口,拨动逻辑电平开关,根据 LED 发光二极管亮与灭,检测异或门的逻辑功能,其结果记录在表 1.1.3 中。

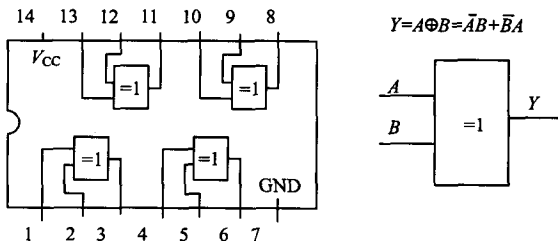


图 1.1.3 异或门引脚图、符号图

表 1.1.3 异或门真值表

A	B	Y
0	0	
0	1	
1	0	
1	1	

4. 利用与非门组成其他逻辑门电路

在数字电路实验台上备选器件中选择二输入四与非门 74LS00 一片。

(1) 组成与门电路

用 74LS00 中任意两个与非门组成图 1.1.4 所示的与门电路,输入接逻辑开关,输出接指示灯 LED。拨动逻辑开关,观察指示灯的亮与灭,测试其逻辑功能,结果填入表 1.1.4 中。

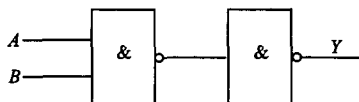


图 1.1.4 与门电路连接图

表 1.1.4 与门真值表

A	B	Y
0	0	
0	1	
1	0	
1	1	

(2) 组成或门电路

在数字电路实验台上备选件 74LS00 中任选三个与非门按照图 1.1.5 连接线路,组成或门电路。测试方法参照 4(1),测试结果记入表 1.1.5 中。

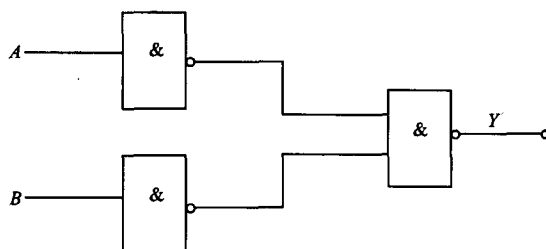


图 1.1.5 或门电路连接图

表 1.1.5 或门真值表

A	B	Y
0	0	
0	1	
1	0	
1	1	

(3)组成异或门电路

将 74LS00 中四片与非门按照图 1.1.6 连接线路组成异或门电路。测试方法同上,测试结果记入表 1.1.6 中。

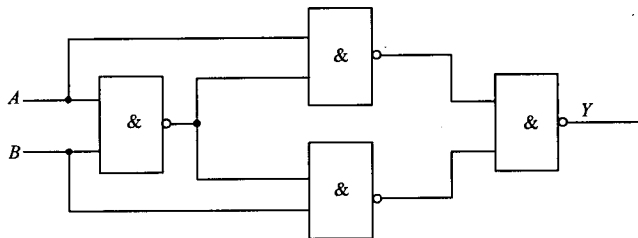


图 1.1.6 异或门电路连接图

表 1.1.6 异或门真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

六、实验报告要求

1. 整理实验数据并对其进行分析
2. 与非门不用的输入端应如何处理?
3. 或非门不用的输入端应如何处理?
4. TTL 逻辑门的主要缺点是什么?

七、集成电路芯片简介

数字电路实验中所用到的集成芯片都是双列直插式的,其引脚排列规则如图 1.1.1 所示。识别方法是:正对集成电路型号(如 74LS20)或看标记(左边的缺口或小圆点标记),从左下角开始按逆时针方向以 1,2,3……依次排列到最后一脚(在左上角)。在标准形 TTL 集成电路中,电源端 V_{CC} 一般排在左上端,接地端 GND 一般排在右下端。如 74LS20 为 14 脚芯片,14 脚为 V_{CC} ,7 脚为 GND。若集成芯片引脚上的功能标号为 NC,则表示该引脚为空脚,与内部电路不连接。

八、TTL 集成电路使用规则

1. 接插集成块时,要认清定位标记,不得插反。
2. 电源电压使用范围为 $+4.5\text{ V} \sim +5.5\text{ V}$ 之间,实验中要求使用 $V_{CC} = +5\text{ V}$ 。电源极性绝对不允许接错。

3. 闲置输入端处理方法

(1)悬空,相当于正逻辑“1”,对于一般小规模集成电路的数据输入端,实验时允许悬空处理。但易受外界干扰,导致电路的逻辑功能不正常。因此,对于接有长线的输入端,中规模以上的集成电路和使用集成电路较多的复杂电路,所有控制输入端必须按逻辑要求接入电路,不允许悬空。

(2)直接接电源电压 V_{cc} (也可以串入一只 $1\sim 10\text{ k}\Omega$ 的固定电阻)或接至某一固定电压($+2.4\leq V\leq 4.5\text{ V}$)的电源上,或与输入端为接地的多余与非门的输出端相接。

(3)若前级驱动能力允许,可以与使用的输入端并联。

4. 输入端通过电阻接地,电阻值的大小将直接影响电路所处的状态。当 $R\leq 680\ \Omega$ 时,输入端相当于逻辑“0”;当 $R\geq 4.7\text{ k}\Omega$ 时,输入端相当于逻辑“1”。对于不同系列的器件,要求的阻值不同。

5. 输出端不允许并联使用(集电极开路门(OC)和三态输出门电路(3 S)除外)。否则不仅会使电路逻辑功能混乱,并会导致器件损坏。

6. 输出端不允许直接接地或直接接 $+5\text{ V}$ 电源,否则将损坏器件,有时为了使后级电路获得较高的输出电平,允许输出端通过电阻 R 接至 V_{cc} ,一般取 $R=3\sim 5.1\text{ k}\Omega$ 。

实验二 CMOS 集成逻辑门的功能与参数测试

一、实验目的

1. 掌握 CMOS 集成门电路的逻辑功能及测试方法。
2. 学会 CMOS 集成电路的使用规则。

二、实验预习内容

1. 复习 CMOS 门电路的工作原理。
2. 熟悉实验用各集成门引脚的功能。
3. 画出各实验内容的测试电路与数据记录表格。
4. 画好实验用各门电路的真值表表格。
5. 各 CMOS 门电路闲置输入端如何处理？

三、实验设备及器件

1. 数字电路实验台。
2. 万用表。
3. 双踪示波器。
4. 器件: CC4011、CC4001、CC4071、CC4081、电位器 100 k Ω 、电阻 1 k Ω 。

四、实验原理

1. CMOS 集成电路是将 N 沟道 MOS 晶体管和 P 沟道 MOS 晶体管同时用于一个集成电路中,成为组合两种沟道 MOS 管性能的更优良的集成电路。CMOS 集成电路的主要优点是:

(1) 功耗低,其静态工作电流在 10^{-9} A 数量级,是目前所有数字集成电路中最低的,而 TTL 器件的功耗则大得多。

(2) 高输入阻抗,通常大于 10^{10} Ω ,远高于 TTL 器件的输入阻抗。

(3) 接近理想的传输特性,输出高电平可达电源电压的 99.9% 以上,低电平可达电源电压的 0.1% 以下,因此输出逻辑电平的摆幅很大,噪声容限很高。

(4) 电源电压范围广,可在 +3 V ~ +18 V 范围内正常运行。

(5) 由于有很高的输入阻抗,要求驱动电流很小,约 0.1 μ A,输出电流在 +5 V 电源下约为 500 μ A,远小于 TTL 电路,如以此电流来驱动同类门电路,其扇出系数将非常大。在一般低频率时,无需考虑扇出系数,但在高频率时,后级门的输入电容将成为主要负载,使其扇出能力下降,所以在较高频率工作时,CMOS 电路的扇出系数一般取 10~20。

2. CMOS 门电路逻辑功能

尽管 CMOS 与 TTL 电路内部结构不同,但它们的逻辑功能完全一样。本实验将测定与门 CC4081,或门 CC4071,与非门 CC4011,或非门 CC4001 的逻辑功能。各集成块的逻辑功能与真值表参阅教材及有关资料。

五、实验内容

1. 验证 CMOS 各门电路的逻辑功能, 判断其好坏。

验证与非门 CC4011、与门 CC4081、或门 CC4071 及或非门 CC4001 逻辑功能, 其引脚见附录。

以 CC4011 为例: 测试时, 选好某一个 14P 插座, 插入被测器件, 其输入端 A、B 接逻辑开关的输出插口, 其输出端 Y 接至逻辑电平显示器输入插口, 拨动逻辑电平开关, 逐个测试各门的逻辑功能(图 1.2.1), 并记入表 1.2.1 中。

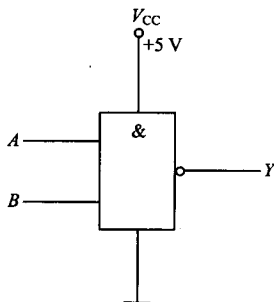


图 1.2.1 与非门逻辑功能测试

表 1.2.1 与非门真值表					
输 入		输 出			
A	B	Y ₁	Y ₂	Y ₃	Y ₄
0	0				
0	1				
1	0				
1	1				

2. 观察与非门、与门、或非门对脉冲的控制作用。

选用与非门按图 1.2.2(a)、(b)接线, 将一个输入端接连续脉冲源(频率为 20 kHz), 用示波器观察两种电路的输出波形, 并记录。

然后测定“与门”和“或非门”对连续脉冲的控制作用。

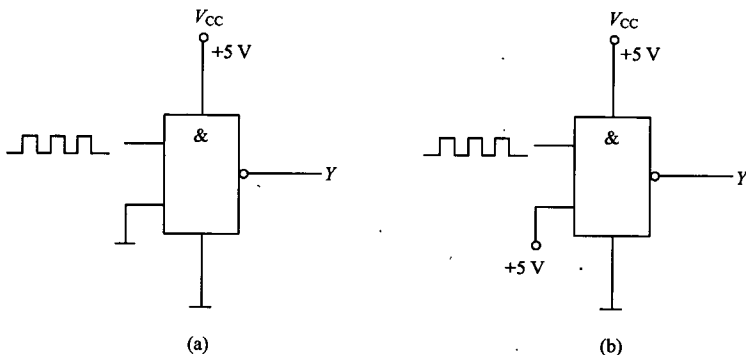


图 1.2.2 与非门对脉冲的控制作用

六、实验报告要求

1. 整理实验数据, 写出各门电路的逻辑表达式, 并判断被测电路的功能好坏。
2. 根据实验内容 2, 分别画出其中两种电路的输出、输入波形。

七、CMOS 电路的使用规则

由于 CMOS 电路有很高的输入阻抗, 这给使用者带来一定的麻烦, 即外来的干扰信号很容易在一些悬空的输入端上感应出很高的电压, 以至损坏器件。CMOS 电路的使用规则如下:

(1) V_{DD} 接电源正极, V_{SS} 接电源负极(通常接地), 不得接反。CC4000 系列的电源允许电压在+3 V~+18 V 范围内选择, 实验中一般要求使用+5 V~+15 V 电源。

(2) 所有输入端一律不准悬空

闲置输入端的处理方法: (a) 按照逻辑要求, 直接接 V_{DD} (与非门) 或 V_{SS} (或非门)。

(b) 在工作频率不高的电路中, 允许输入端并联使用。

(3) 输出端不允许直接与 V_{DD} 或 V_{SS} 连接, 否则将导致器件损坏。

(4) 在装接电路, 改变电路连接或插、拔电路时, 均应切断电源, 严禁带电操作。

(5) 焊接、测试和储存时的注意事项:

- a. 电路应存放在导电的容器内, 有良好的静电屏蔽;
- b. 焊接时必须切断电源, 电烙铁外壳必须良好接地, 或拔下烙铁, 靠其余热焊接。
- c. 所有的测试仪器必须良好接地。

实验三 集成逻辑电路的连接和驱动

一、实验目的

1. 掌握 TTL、CMOS 集成电路输入电路与输出电路的性质。
2. 掌握集成逻辑电路相互衔接时应遵守的规则和实际衔接方法。

二、实验预习要求

1. 自拟各实验记录用的数据表格,及逻辑电平记录表格。
2. 熟悉所用集成电路的引脚功能。

三、实验设备有及器件

1. 数字电路实验台
2. 万用表
3. 器件: 74LS00×2 CC4001 74HC00 电阻: 100 Ω 470 Ω 3 k Ω 电位器: 47 k Ω 10 k Ω 4.7 k Ω

四、实验原理

1. TTL 电路输入输出电路性质

当输入端为高电平时,输入电流是反向二极管的漏电流,电流极小。其方向是从外部流入输入端。

当输入端处于低电平时,电流由电源 V_{CC} 经内部电路流出输入端,电流较大,当与上一级电路衔接时,将决定上级电路应具有负载能力。高电平输出电压在负载不大时为 3.5 V 左右。低电平输出时,允许后级电路灌入电流,随着灌入电流的增加,输出低电平将升高,一般 LS 系列 TTL 电路允许灌入 8 mA 电流,即可吸收后级 20 个 LS 系列标准门的灌入电流。最大允许低电平输出电压为 0.4 V。

2. CMOS 电路输入输出电路性质

一般 CC 系列的输入阻抗可高达 $10^{10} \Omega$,输入电容在 5 pF 以下,输入高电平通常要求在 3.5 V 以上,输入低电平通常为 1.5 V 以下。因 CMOS 电路的输出结构具有对称性,故对高低电平具有相同的输出能力,负载能力较小,仅可驱动少量的 CMOS 电路。当输出端负载很轻时,输出高电平将十分接近电源电压;输出低电平将十分接近地电位。

在高速 CMOS 电路 54/74HC 系列中的一个子系列 54/74HCT,其输入电平与 TTL 电路完全相同,因此在相互取代时,不需考虑电平的匹配问题。

3. 集成逻辑电路的衔接

在实际的数字电路系统中总是将一定数量的集成逻辑电路按需要前后连接起来。这时,前级电路的输出将与后级电路的输入相连并驱动后级电路工作。这就存在着电平的配合和负载能力这两个需要妥善解决的问题。

可用下列几个表达式来说明连接时所要满足的条件

$$V_{OH}(\text{前级}) \geq V_{IH}(\text{后级})$$

$$V_{OL}(\text{前级}) \leq V_{IL}(\text{后级})$$

$$I_{OH}(\text{前级}) \geq n \times I_{IH}(\text{后级})$$

$$I_{OL}(\text{前级}) \geq n \times I_{IL}(\text{后级}) \quad n \text{ 为后级门的数目}$$

(1) TTL 与 TTL 的连接

TTL 集成逻辑电路的所有系列,由于电路结构形式相同,电平配合比较方便,不需要外接元件可直接连接,不足之处是受低电平时负载能力的限制。表 1.3.1 列出了 74 系列 TTL 电路的扇出系数。

表 1.3.1 74 系列 TTL 电路的扇出系数

	74LS00	74ALS00	7400	74L00	74S00
74LS00	20	40	5	40	5
74ALS00	20	40	5	40	5
7400	40	80	10	40	10
74L00	10	20	2	20	1
74S00	50	100	12	100	12

(2) TTL 电路驱动 CMOS 电路

TTL 电路驱动 CMOS 电路时,由于 CMOS 电路的输入阻抗高,故此驱动电流一般不会受到限制,但在电平配合问题上,低电平是可以的,高电平时有困难,因为 TTL 电路在满载时,输出高电平通常低于 CMOS 电路对输入高电平的要求,因此为保证 TTL 输出高电平时,后级的 CMOS 电路能可靠工作,通常要外接一个提拉电阻 R ,如图 1.3.1 所示,使输出高电平达到 3.5 V 以上, R 的取值为 $2 \text{ k}\Omega \sim 6.2 \text{ k}\Omega$ 较合适,这时 TTL 后级的 CMOS 电路的数目实际上是没有什麼限制的。

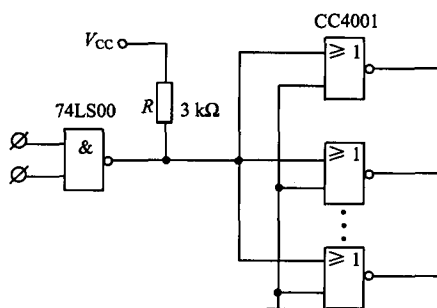


图 1.3.1 TTL 电路驱动 CMOS 电路

(3) CMOS 电路驱动 TTL 电路

图 1.3.2 为 74LS00 与非门和 CC4001 或非门电路引脚图,CMOS 的输出电平能满足 TTL 对输入电平的要求,而驱动电流将受限制,主要是低电平时的负载能力。表 1.3.2 列出了一般 CMOS 电路驱动 TTL 电路时的扇出系数,从表中可见,除了 74HC 系列外的其他 CMOS 电路驱动 TTL 的能力都较低。

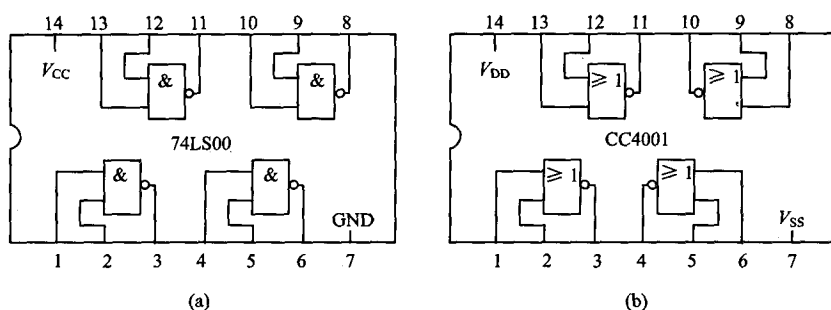


图 1.3.2 74LS00 与非门与 CC4001 或非门电路引脚排列

表 1.3.2 CMOS 电路驱动 TTL 电路时的扇出系数

	LS-TTL	L-TTL	TTL	ASL-TTL
CC4001B 系列	1	2	0	2
MC14001B 系列	1	2	0	2
MM74HC 及 74HCT 系列	10	20	2	20

既要使用此系列又要提高其驱动能力时,可采用以下两种方法:

a. 采用 CMOS 驱动器,如 CC4049、CC4050 是专为给出较大驱动能力而设计的 CMOS 电路。

b. 几个同功能的 CMOS 电路并联使用,即将其输入端并联,输出端并联(TTL 电路是不允许并联的)。

(4) CMOS 与 CMOS 的衔接

CMOS 电路之间的连接十分方便,不需另加外接元件。对直流参数来讲,一个 CMOS 电路可带动的 CMOS 电路数量是不受限制的,但在实际使用时,应当考虑后级门输入电容对前级门的传输速度的影响,电容太大时,传输速度要下降,因此在高速使用时要从负载电容来考虑,例如 CC4000T 系列。CMOS 电路在 10 MHz 以上速度运用时应限制在 20 个门以下。

五、实验内容

1. 测试 TTL 电路 74LS00 及 CMOS 电路 CC4001 的输出特性

测试电路如图 1.3.3 所示,图中以与非门 74LS00 为例画出了高、低电平两种输出状态下输出特性的测量方法。改变电位器 R_w 的阻值,从而获得输出特性曲线, R 为限流电阻。

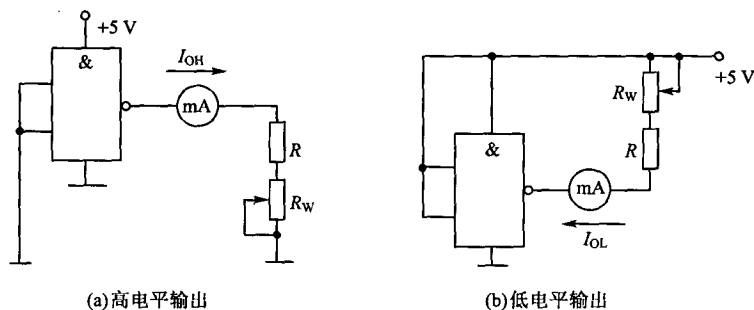


图 1.3.3 与非门电路输出特性测试电路