



高等学校电子信息类规划教材

电子系统集成设计导论

李玉山 来新泉 编著



西安电子科技大学出版社
<http://www.xduph.com>

7N402
269
12

21 世纪高等学校电子信息类规划教材

电子系统集成设计导论

李玉山 来新泉 编著

西安电子科技大学出版社

2008 年 10 月第 1 版第 1 次印刷

内 容 简 介

电子系统集成设计技术是一个不断发展的学科领域。本书借鉴国外最新教材和相关研究成果文献资料,从电路与系统的角度深入介绍电子系统集成设计技术。

本书首先对电子系统集成设计技术进展加以概述;进而介绍 IC 制造与测试、ASIC 晶体管级电路及版图设计、数字电路设计技术和可编程芯片设计开发;接下来深入论述硬件系统设计高级语言的应用,包括 VHDL 和 Verilog HDL 的设计技术;最后讨论有关 ASIC/SOC 系统设计的各种技术专题。

本书涉及电子系统集成设计的相关领域,可以作为电子信息工程、通信工程、计算机科学与技术、测控技术与仪器、自动化、电路与系统等学科学习电子设计技术的高年级本科生、研究生教材和工程技术人员的自学参考书。

图书在版编目(CIP)数据

电子系统集成设计导论 / 李玉山, 来新泉编著. —西安: 西安电子科技大学出版社, 2008.8

21 世纪高等学校电子信息类规划教材

ISBN 978-7-5606-2053-4

I. 电... II. ① 李... ② 来... III. 集成电路—计算机辅助设计—高等学校—教材 IV. TN402

中国版本图书馆 CIP 数据核字(2008)第 075414 号

责任编辑 云立实

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

http://www.xduph.com E-mail: xdupfb001@163.com

经 销 新华书店

印刷单位 陕西天意印务有限责任公司

版 次 2008 年 8 月第 1 版 2008 年 8 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 23.375

字 数 549 千字

印 数 1~4000 册

定 价 33.00 元

ISBN 978-7-5606-2053-4/TN · 0429

XDUP 2345001-1

如有印装问题可调换

本社图书封面为激光防伪覆膜, 谨防盗版。

前 言

本书是在 2002 年出版的普通高等教育“十五”国家级规划教材《电子系统集成设计技术》的基础上,经过六年教学和科研实践后修编而成。对于电子信息类本科生和研究生而言,为在有限的学时内编写出一本好的教材难度很大,极具挑战性。由于以计算机的普及与发展为代表,电子信息类的相关知识更新速度太快,故本书在编写时特别注重底层基础和共性的关键技术。

电子系统集成设计技术是一个正在不断发展完善的学科领域。目前 45 nm、32 nm、22 nm 的集成电路制造工艺技术正在逐渐成熟,IT 产业正在进入纳电子时代;金属铝栅经历了否定之否定,又开始试图取代硅栅;单芯片晶体管数目达到 17 亿个;主流 CMOS 工艺的芯片可以工作在 5~10 GHz……总之,高速度、高密度的系统集成芯片已是水到渠成。这样,有些理论和技术问题更加突出。例如,本书中对原有信号完整性内容的扩充,就反映了最近几年高速度、高密度的设计发展趋势。

本书借鉴国内外同类文献资料,吸纳参考文献中多所知名高校最新的教材和专著,将相关科研教学成果糅为一个整体进行规划、编写。以西安电子科技大学的教学实施为例,本书的课程总时数为 46 学时左右。授课内容可以进行适当的取舍和添加,另外还需要安排一定的设计练习。

本书第 1 章概述电子系统集成设计技术;第 2 章介绍相关的 IC 版图设计、制造工艺和测试技术等;第 3 章讨论 ASIC 晶体管级电路及版图设计技术;第 4 章阐述包括功能单元在内的电路级设计技术;第 5 章简介 FPGA 芯片的有关内容;第 6 章论述 VHDL 语言的设计技术;第 7 章论述 Verilog HDL 语言的设计技术;第 8 章探讨 ASIC/SOC 系统设计中各种前沿技术专题。这里,特别需要说明的是,基于多方面的考虑,本书中相关元器件的电路符号及表示代号采用了国外流行的表示方法,敬请广大读者谅解。

为了突出设计技术本身的固有内容,本书未将 EDA 软件应用的内容安排进来。另外,由于在设计系统硬件电路时,编写高级设计语言代码常常需要迅速查阅各种语法规则,本书附录 1、附录 2 采用巴科斯范式(BNF)给出了最新的高级设计语言 IEEE-1076-2002-VHDL 和 IEEE-1364-2005-Verilog HDL 标准句法汇总。

本书由西安电子科技大学李玉山教授担任主编并编写第 1、4~8 章及附录;来新泉教授编写第 2、3 章。

本书写作过程得到了国家自然科学基金(No.60672027)、教育部博士点基金(No.20050701002)的资助。西安电子科技大学电路与系统等国家重点学科教师和研究生通力合作,使得本书顺利与读者见面。参与本书编写以及为编写提供帮助的部分老师和博士生有杨刚、戴国定、李先锐、曹玉、刘洋、初秀琴、张弘、张木水、许东来、董巧玲等,在

此一并致谢！在本书出版过程中，得到了西安电子科技大学研究生院和西安电子科技大学出版社的大力支持和帮助，在此表示衷心的感谢！

真诚希望得到国内同行和读者的指正。

作者

2008年3月于西安电子科技大学

目 录

第 1 章 电子系统集成设计概论	1
1.1 数字系统和 VLSI 设计	2
1.1.1 数字系统集成的形式和定位	2
1.1.2 数字系统集成的设计活动	5
1.1.3 系统集成的相关专题	6
1.1.4 系统集成的发展背景	8
1.2 ASIC/SOC 设计、制造与服务	9
1.2.1 设计过程点评	9
1.2.2 VLSI CMOS 工艺	11
1.2.3 MOSIS 设计投片服务	11
1.2.4 ASIC/SOC 学术交流	12
1.2.5 相关课程设置	13
1.3 基于 EDA 的系统/芯片设计技术	14
1.3.1 计算机辅助技术(CAX)	14
1.3.2 EDA 引发电子设计革命	15
1.3.3 计算机版图设计	17
1.3.4 计算机辅助分析	17
1.3.5 电子设计简化流程	17
1.3.6 电子设计标准化	18
1.3.7 电子设计特点	19
1.3.8 电子设计功能的分解	20
课程设计习题	22
第 2 章 IC 版图、制造与测试	24
2.1 IC 工艺牵动设计	25
2.1.1 VLSI 工艺回顾	25
2.1.2 制造影响设计	27
2.2 MOS 晶体管与连线	28
2.2.1 MOS 晶体管结构	28
2.2.2 CMOS 结构	29
2.2.3 连线和连接孔	30
2.3 线路、版图与掩模	31
2.3.1 IC 版图对应于电子线路	31
2.3.2 设计制造的纽带——掩模	32
2.4 VLSI 加工流程	33

2.4.1 IC 制造工序	33
2.4.2 双阱与不同工艺	34
2.4.3 CMOS 工艺流程	34
2.4.4 BiCMOS 工艺	35
2.5 IC 测试与故障	36
2.5.1 IC 测试概述	36
2.5.2 故障模型与模拟	37
2.5.3 面向测试的设计	37
2.5.4 自动测试模板的生成	39
课程设计习题	40
第 3 章 ASIC 晶体管级电路及版图设计	41
3.1 CMOS 反相器	42
3.1.1 反相器静态特性	42
3.1.2 反相器动态特性	44
3.1.3 反相器功耗和速度	45
3.1.4 BiCMOS 反相器	45
3.2 存储器和 I/O 电路	47
3.2.1 存储器	47
3.2.2 I/O 电路	49
3.3 数模混合 ASIC 概略	50
3.3.1 模拟 ASIC 要素	50
3.3.2 模拟标准单元	51
3.3.3 模拟信号处理	54
3.4 ASIC 半定制技术	54
3.4.1 ASIC 设计形态	54
3.4.2 门阵列设计技术	56
3.4.3 基于标准单元库的设计	57
3.4.4 SOC 平台式设计	58
3.5 平面规划与布局布线	59
3.5.1 平面规划	59
3.5.2 布局	61
3.5.3 布线	61
3.6 IC 版图设计与电气规则	62
3.6.1 Tanner Tools 设计流程举例	63
3.6.2 设计规则检查	64
3.6.3 λ 和 SCMOS 设计规则	65
3.6.4 电气规则检查	66
3.7 IC 版图格式	67
3.7.1 CIF 格式基本命令	67

3.7.2 GDS II 格式	68
3.7.3 PG 格式	69
3.7.4 OASIS 格式	69
课程设计习题	69
第 4 章 数字电路设计技术	70
4.1 CMOS 门电路	71
4.1.1 逻辑功能函数	71
4.1.2 静态逻辑 CMOS 门	72
4.1.3 单级门及网络延迟	76
4.2 时序与时序电路	76
4.2.1 组合电路与时序电路	76
4.2.2 电路中的时序	77
4.2.3 电路时序分析	78
4.2.4 同步与异步电路	79
4.3 时序电路设计	80
4.3.1 记忆单元	80
4.3.2 基本整形电路	84
4.3.3 时序网络结构和时钟规则	85
4.3.4 状态机分析与设计	87
4.4 算术逻辑构件设计	89
4.4.1 引言	89
4.4.2 组合桶形移位器	90
4.4.3 加法器	91
4.4.4 广义加法器	93
4.4.5 减法器与数值比较器	93
4.4.6 乘法器	94
4.4.7 数据通路版图设计	96
4.5 分析、仿真与验证	97
4.5.1 分析	98
4.5.2 仿真	99
4.5.3 验证	100
4.6 设计综合与优化	100
4.6.1 概述	100
4.6.2 系统综合	102
4.6.3 逻辑综合	102
4.6.4 电路综合	103
4.6.5 综合中的优化约束	103
4.7 EDIF 格式	104
4.7.1 EDIF 标准版本与用途	104

4.7.2	EDIF 文件结构	105
4.7.3	EDIF 电路网表文件	106
4.7.4	EDIF 电原理图文件及其转换	108
	课程设计习题	108
第 5 章	可编程芯片设计开发	109
5.1	可编程芯片概述	110
5.1.1	各种 FPGA 简介	110
5.1.2	片内硬连接编程技术	112
5.1.3	I/O 单元	113
5.1.4	FPGA 的系列举例	114
5.2	一般 FPGA 的内部结构	114
5.2.1	内部结构示例	114
5.2.2	FPGA 内部单元编程机制	115
5.2.3	FPGA 单元间互连线编程机制	117
5.3	FPGA 和 CPLD 进展述评	118
5.3.1	Altera CPLD 进展	118
5.3.2	Xilinx FPGA 进展	119
	课程设计习题	120
第 6 章	VHDL 系统设计语言	121
6.1	VHDL 语言设计概述	122
6.1.1	简介	122
6.1.2	设计单元和库	123
6.1.3	表现手法	124
6.1.4	VHDL 开发环境	125
6.2	VHDL 可编译源设计单元	126
6.2.1	库	127
6.2.2	集合包	128
6.2.3	实体号	128
6.2.4	构造体	130
6.2.5	配置说明	134
6.2.6	课程设计与练习	136
6.3	VHDL 语言基础知识	137
6.3.1	标量类型数据	138
6.3.2	复合类型数据	140
6.3.3	客体	141
6.3.4	操作符与表达式	143
6.3.5	预定义属性	144
6.3.6	课程设计与练习	145
6.4	时序语句与行为描述	147

6.4.1	进程语句及其特点	148
6.4.2	进程中的说明部分	150
6.4.3	时序语句	150
6.4.4	子程序	155
6.4.5	课程设计与练习	157
6.5	信号与信号赋值	159
6.5.1	网表结构性信号	159
6.5.2	进程通信信号	159
6.5.3	进程及端口中信号的说明	160
6.5.4	同步点上的模拟循环	161
6.5.5	进程的挂起与激活	162
6.5.6	信号赋值及延迟	162
6.5.7	信号的延迟模型	164
6.5.8	决断函数	164
6.5.9	课程设计与练习	166
6.6	并发行为性语句与数据流描述	167
6.6.1	一般并发信号赋值	168
6.6.2	并发条件信号赋值	168
6.6.3	并发选择信号赋值	169
6.6.4	并发过程调用	169
6.6.5	块语句	170
6.6.6	思考题	171
6.7	元件层次与结构描述	172
6.7.1	元件实例生成和层次结构	172
6.7.2	产生语句	174
6.7.3	配置	176
6.7.4	类属	177
6.7.5	VHDL 综合	179
6.7.6	课程设计与练习	180
6.8	VHDL 设计举例	181
6.8.1	例一：交通红绿灯控制器	181
6.8.2	例二：四选一开关	185
6.8.3	例三：类属应用	186
6.8.4	课程设计与练习	187
6.9	课程设计复习	188
6.9.1	电路设计测验一	188
6.9.2	电路设计测验二	195
6.9.3	电路设计测验三	197
6.9.4	课程设计与练习	200

第 7 章 Verilog HDL 系统设计语言	203
7.1 Verilog HDL 概要	204
7.1.1 Verilog HDL 的特点	204
7.1.2 Verilog HDL 模块	205
7.1.3 Verilog HDL 设计简例	206
7.2 Verilog HDL 基础知识	208
7.2.1 数据及类型	208
7.2.2 表达式中的操作符	212
7.3 逻辑门及延迟模型	215
7.3.1 内建门与开关基元	215
7.3.2 用户定义基元——UDP	216
7.3.3 线网延迟和门延迟	217
7.4 数据流风格描述	218
7.5 行为风格描述	219
7.5.1 构件过程、子程序与块语句	220
7.5.2 行为风格中的赋值语句	224
7.5.3 过程内语句中的时序控制	226
7.5.4 行为风格中的程序控制语句	227
7.5.5 行为风格设计举例	231
7.6 结构风格描述	236
7.6.1 结构实例生成	236
7.6.2 层次化设计	237
7.6.3 参数重置语句	239
7.7 编译仿真辅助技术	240
7.7.1 编译预处理宏命令	240
7.7.2 仿真交互技术——系统任务和函数	242
7.8 Verilog HDL 调试与测试	246
7.8.1 标量与矢量的区别	247
7.8.2 时钟变量与参数映射	247
7.8.3 程序及测试用激励变量	248
7.8.4 调试用模板向量文件的读写	250
7.9 Verilog HDL 与 VHDL 的对比	250
7.10 课程设计练习	252
7.10.1 仿真工具 ModelSim	252
7.10.2 设计举例	253
7.11 Verilog HDL 扩展与支撑技术	259
7.11.1 编程接口	259
7.11.2 基于开关基元的建模	260
7.11.3 综合	260

7.11.4 验证	260
第8章 ASIC/SOC 系统设计技术专题	261
8.1 时序设计	262
8.1.1 同步系统的时钟错位	262
8.1.2 自时序异步电路	264
8.2 系统与电路结构设计	266
8.2.1 逻辑与物理结构	266
8.2.2 系统结构设计中的调度与分配	267
8.2.3 数据通路	268
8.2.4 寄存器转移结构	269
8.3 处理器并行算法与结构	271
8.3.1 引言	271
8.3.2 SIMD 结构	273
8.3.3 MISD——流水线	273
8.3.4 MIMD——Systolic 结构	275
8.4 芯片内外互连技术与信号完整性	277
8.4.1 高速互连及信号完整性问题	277
8.4.2 线电容与串扰分析	284
8.4.3 电阻损耗与电迁徙	287
8.4.4 电感与 I/O 设计	289
8.4.5 封装互连	291
8.5 芯片功耗与低功耗设计	292
8.5.1 引言	292
8.5.2 开关电流	293
8.5.3 短路电流	294
8.5.4 亚阈值电流和漏电流	294
8.6 可测性设计与可靠性分析	296
8.6.1 可测性设计	296
8.6.2 可靠性分析	298
8.7 ASIC/SOC 设计方法学	300
8.7.1 设计方法学要点	300
8.7.2 IBM 设计方法学举例	306
8.7.3 课程述评	306
8.7.4 系统设计习题	307
附录1 IEEE-1076-2002-VHDL 标准句法汇总	310
附录2 IEEE-1364-2005-Verilog HDL 标准句法汇总	330
主要参考文献	358

第1章

电子系统集成设计概论

本章概要介绍电子系统集成设计技术。首先阐明数字系统的不同 VLSI 实现途径、数字系统的设计内容和技术分类、系统集成芯片设计的技术背景和专题。接着探讨 ASIC 设计技术、制造工艺、加工服务、课程教学与学术交流。最后讨论基于 EDA 的系统/芯片设计技术内涵和特色等。

本章提要

- ① 数字系统 VLSI 实现
- ② 数字系统设计内容、技术背景和专题
- ③ ASIC 设计与制造、服务和教学
- ④ 基于 EDA 的系统/芯片设计技术内涵和特色

1.1 数字系统和 VLSI 设计

本节以数字系统集成为例,探讨系统级 VLSI(Very Large Scale Integration, 超大规模集成电路)设计的相关问题。

1.1.1 数字系统集成的形式和定位

1. 电子系统集成与数字信号处理

电子系统集成的形式主要指单片系统集成,即 SOC(System On Chip, 片上系统)。广义的电子系统集成含有五类电路模块,它们是:数值计算、数据处理、模拟及射频(RF)、存储、出入接口等电路(各种传感、控制包含其中)。

前两种属于数字电路,是本书的重点。随着数字技术、计算机技术的发展,电子信息系统正在经历从模拟体制向数字化体制的变革。

数字系统和外部世界不可避免地需要模拟量接口;各种外部世界的非电物理量以模拟量形式居多;有些射频、非线性或者大功率的场合,也是数字电路无以替代的。因此一般的电子系统集成,以数字电路为主。在需要外部接口、射频、大功率方面,总还会有单独的模拟电路,或者是数模混合集成电路。

目前,大多数 A/D、D/A 变换器都采用了基于开关电容的设计技术。开关电容的优点之一就是很容易将它与数字 CMOS(Complementary MOS)电路集成在一个芯片中,有利于实现系统级芯片数模混合集成。通常,存储器是大多数数字系统中不可缺少的一部分,大多采用和数字电路兼容的 CMOS 工艺。此外,许多模拟和射频部分也趋向采用兼容的 CMOS 工艺制造。

本书以 CMOS 工艺下的数字系统集成芯片设计为主。在数字系统中最富生命力、内容最丰富多彩的就是数字信号处理(DSP, Digital Signal Processing)系统集成模块。设计专用的 VLSI 数字信号处理和控制类芯片,是目前最为活跃的研究领域之一。因为,许多实际的需求都可以归结为某种信号信息的加工、处理和控制在。

信号信息处理的根本任务就是剔除信号数据中的冗余信息;提取加工信号中的有用信息。为了有效地传输和存储,也常常包括对信号进行必要的变换和编码。

完成信号处理功能,一般可以根据系统功能的需求,选择以下四种工程实现途径:

(1) 采用通用计算机软件方案。

(2) 采用专业类标准器件(MSSD, More Specialized Standard Device),例如 TI 公司的 VLSI DSP 芯片等,通过设计专用软件来实现。

(3) 自己设计 ASIC(Application Specific Integrated Circuit, 专用集成电路)芯片来实现。FPGA(Field Programmable Gate Array, 现场可编程门阵列)是一类最重要的 ASIC 载体形式。

(4) 采用嵌入式单片集群平台型芯片来实现。COD(Cluster On Die, 单片集群)又称为功能结构型 ASIC。在它的内部包含有现成的 CPU 核和总线架构、基本的数字电路模块、模拟及射频电路、存储器、外部接口等。基本部分和用户扩展部分全是积木模块化核的拼装。

它是一种最新的嵌入式芯片形式。

2. 基于通用专业化的数字信号处理器

关于上述四种方案,以下不再讨论通用计算机软件处理方案。这里先讨论第二种。采用比较通用的专业化 VLSI 标准数字信号处理器(例如选用 TMS320Cxx 系列芯片),是一种很流行的工程方案。这时的数字系统研制开发工作量主要是软件代码编程,有人称为软件编程 DSP 技术。标准数字信号处理器的特点是采用并行流水机制的多乘法累加器(MAC)结构,使得乘加和运算能力大为增强。其芯片规模非常大,可以同时进行乘加、取数、取指、译码和存储器指针加减等多种运算。早期许多 DSP 采用定点运算,数据字长小于 32 位,电路简单且功能有限。现在的主流 DSP 处理器为了更通用,增加了浮点运算。功能提升使电路变得很复杂,同时芯片的功耗和速度也因此受到影响。

通用可编程数字信号处理器可以适用于多种不同的算法。采用通用软件编程 DSP,完成一般的功能是没有问题的。这一方案的优点是成本低、开发快、市场应变好,除接口之外,大多数其余部分都还比较灵活,通用性强,调试、修改、扩展性好。这一方案的缺点是吞吐量小、功耗大、体积尺寸大、单个成本较高等。因为“通用”是折衷各方面要求的产物,如果只是动用一部分功能,就不会太合适,而且其余部分有可能是浪费。另外,所有软件可编程方案,归根结底还是要通过硬件动作来实现,经过指令译码等层次,其效率和实时性常常降低。在上述缺点可以容忍的情况下,选择通用 DSP 软件编程仍然不失为实现信号处理功能的较好策略。

3. 基于 VLSI ASIC 的系统级集成设计

既然采用通用的标准软件可编程 DSP 芯片能够胜任许多工作,那么设计 VLSI ASIC 的必要性何在?事实上,为了能应用于各种信号处理场合,选择通用芯片设计所付出的代价是必须接受它全面而又复杂的结构配置。对于许多专用场合,不少电路是多余的,而急需的并行处理资源配置又常常是不足的。以浮点运算为例,浮点拓宽了数据允许的动态范围,但是需要浮点的场合主要是三维图形图像、多媒体和机械 CAD 造型等,其他应用对象并不十分迫切需要浮点运算。在大多数情况下,如果数据的随机性可以预见,设计师会把精度看得比动态范围更重要。此外,浮点运算还有乘积的舍入、非线性等问题。所以,定点运算仍然是目前和今后长时期多数数字信号处理任务比较适用的形式。在实时性方面,直接进行运算处理的硬件方案比嵌入式软件方案更优越。因此,研究和设计面向对象的 VLSI 专用数字处理器 ASIC 芯片,仍然拥有足够的发展空间。

对于只用于一种算法的 ASIC,我们可以称其为算法专用信号处理器,或者理解为另一种 ASIC,这里的 A 是指算法(Algorithm)。这种理解有助于我们把注意力集中在原始的算法创新上;而常规 ASIC 的含义使得我们更牢记和把握好某一类应用的特殊性。无论是哪一种意义上的 ASIC,体系结构都将随“A”而变。在针对“A”设计专用结构和电路时,必须让它具有吞吐量大、速度快、功耗低或面积小等某一方面的优点,这样它才能站住脚。否则为什么不采用通用软件可编程标准芯片,何必为之专门度身定制芯片电路呢?当然,通用和专用、软件和硬件也都是相对的,可以相互转化,今天的专用也许就是明天的通用;硬件设计中也少不了会有控制器及专用指令等。

在设计系统级集成的 VLSI ASIC 时,需要认真按照算法的需求定制数据宽度和数据通

路结构, 尽量减少片上内存。记忆单元一直是一个与数据通路设计密切相关的重要议题, 片内存储占据芯片面积较大, 而片外存储又影响速度。

狭义的 VLSI ASIC 是针对某种应用而专门设计的一种芯片, 成本较高。专用标准产品 (ASSP, Application Specific Standard Product) 是一种面向大批量的商品化广义专用集成电路, 例如 USB 2.0 接口控制芯片, 事实上是 ASIC 设计领域大量存在的一种主要形态。FPGA 也是一种广义的 ASIC。超大规模 FPGA 不仅仅是 ASIC 的过渡实验形式, 也是目前系统集成芯片的主要实用形式。它与狭义 ASIC 之间的差别是速度、功耗、体积、成本等。它们的显著不同点是 FPGA 可重构, 而狭义的 ASIC 的速度更快。由于 FPGA 的互连比较繁琐, 因此容易引起较大的时序和噪声问题。

4. 嵌入式设计

嵌入式是前述三种工程途径的有机结合, 它将通用的 CPU/DSP 嵌入到专用的系统或芯片之中。如果将含有操作系统的 CPU/DSP 独立芯片嵌入应用系统中, 这种系统可以称之为嵌入式系统; 如果将独立的 CPU/DSP 模块嵌入专用芯片中, 这种芯片可以称之为嵌入式芯片。目前, 嵌入式系统和芯片被普遍应用, 信号信息处理模块依然是嵌入式的功能核心。嵌入式可能的架构配置如图 1-1 的类别 1 和类别 2 所示, 其关键在于 CPU/DSP 的资源选择和分配。

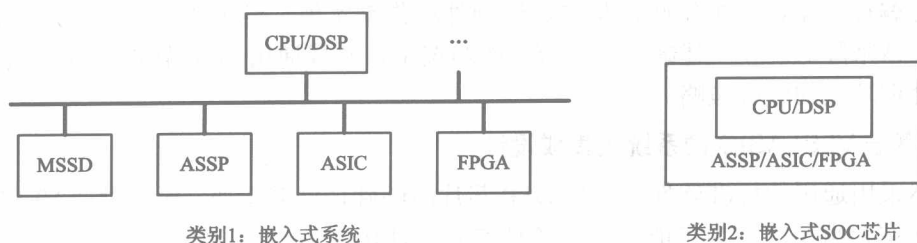


图 1-1 嵌入式的架构配置

5. 基于网络处理的单片集群

如图 1-2 所示, 新一代单片集群(COD)设计是目前嵌入式芯片的最新最高形式。

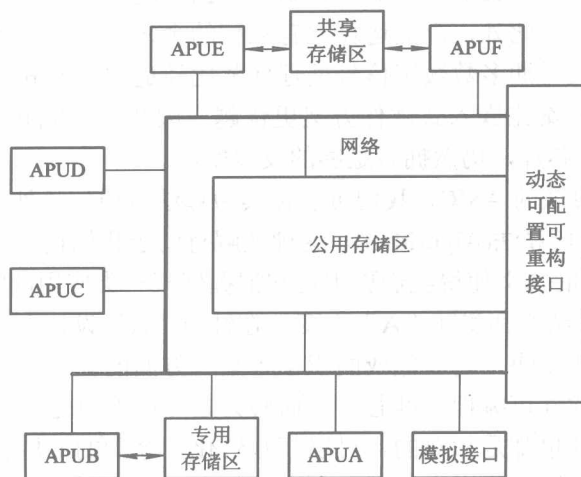


图 1-2 COD 片内网络结构

系统集成采用的是一种模块化、结构化的 SOC 逻辑结构。基本模块有多种 APU(专用处理单元)、模拟接口、各类存储器和实现动态可重构可配置的接口等。这里主要的改进是：由于惯用的庞大总线物理结构带来了严重的信号完整性问题，所以工程师们摒弃了芯片内的总线结构，逐渐改而采用网络结构和技术完成片内处理的时序目标。多个 APU 的软、硬件以及不同的 RAM 协同完成复杂的处理和运算。规范的通信网络保证 APU 之间的通信具有较高的速度和合适的带宽。实际上这是一种异步电路与系统的并行处理工作模式。美国甚至还有一些人在研究片内无线通信的工作模式。

1.1.2 数字系统集成的设计活动

本节根据系统集成芯片设计的对象，讨论设计活动的内容及技术分类。

“仁者见仁，智者见智”。设计一个数字系统与电路，例如芯片集成，整个过程涉及到许多级别和不同视角的活动。

从目标的规模上，可以把设计划分为系统子系统(框图)级、逻辑门(及晶体管)电路级两大级别。此外，有关测试的问题则应该分散在上述电路与系统两个级别之中。

从描述活动和手法的角度出发，数字系统与电路既可以用算法功能行为描述，也可以用内部体系架构(Architecture)描述，称之为不同的表征描述层次。用算法行为来描述处理信息的来龙去脉；用体系架构来描述器件间的硬连接关系。二者可以描述同一个级别中的不同抽象概念，也对应于 VHDL(VHSIC Hardware Description Language)、Verilog HDL 等高级语言中的不同描述风格，即行为风格和结构风格等。

1. 设计规模级别与表征描述层次

综观数字系统的全部设计活动，所设计目标的规模级别和表征描述的手法都可能不同。有关设计规模级别与表征描述层次如表 1-1 所示。

表 1-1 设计目标的规模级别与表征描述层次

表征描述 规模 级别		算法行为/ 数据结构	体系架构	
			逻辑结构(关系)	物理结构(版图)
系统/子系统		行为描述及功能算法的数学模型	DSP 部件模块的资源分配和时序调度	整机、分机、PCB、MCM、芯片、单元
电路模块	RTL	状态图、时序机、并行操作等	运算、存储等宏单元及连接，例如流水线、并行数据通路等及时序	ASIC 芯片内宏单元块、门电路、管子级版图布局布线
	门	布尔方程、真值表、卡诺图等	门电路及连线等单元网表及时序	
	管级	微分方程，电路定律等	晶体管电路，含电阻、电容等	

表 1-1 中从纵向和横向两个角度，把电子设计的规模级别与表征描述层次构成一个网络结构。

(1) 分解规模级别(对应表 1-1 中的纵向，由大到小)。