

CMOS电路设计、 布局与仿真 (第2版·第1卷)

CMOS Circuit Design, Layout, and Simulation

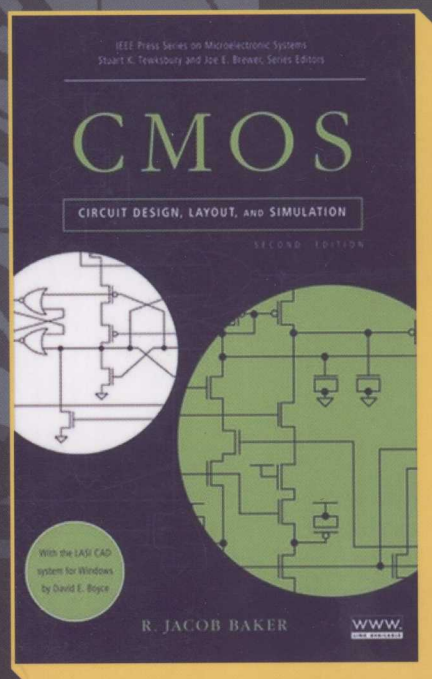
Second Edition

[美] R. Jacob Baker 著

刘艳艳 张为 等译

张为 审校

作者因本书
荣获工程教育界殊荣
*Frederick Emmons Terman*奖



人民邮电出版社
POSTS & TELECOM PRESS

TURING

图灵电子与电气工程丛书

TN432/13

:1

2008

CMOS电路设计、 布局与仿真

(第2版·第1卷)

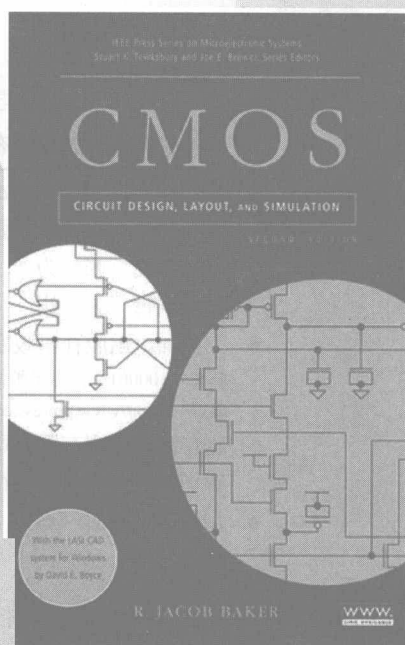
CMOS Circuit Design, Layout,
and Simulation

Second Edition

[美] R. Jacob Baker 著

刘艳艳 张为 等译

张为 审校



人民邮电出版社
北京

图书在版编目 (CIP) 数据

CMOS 电路设计、布局与仿真: 第 2 版, 第 1 卷 / (美) 贝克 (Baker, R. J.) 著; 刘艳艳等译. —北京: 人民邮电出版社, 2008.4

(图灵电子与电气工程丛书)

ISBN 978-7-115-17446-8

I. C… II. ①贝…②刘… III. 互补 MOS 集成电路—电路设计 IV. TN432.02

中国版本图书馆 CIP 数据核字 (2008) 第 000464 号

内 容 提 要

本书是 CMOS 集成电路设计领域的一部力作, 是作者 20 多年教学和研究成果的总结, 内容涵盖电路设计流程、EDA 软件、工艺集成、器件、模型、数字和模拟集成电路设计等诸多方面, 由基础到前沿, 由浅入深, 结构合理, 特色鲜明。

本书对学生、科研人员和工程师各有所侧重。无论对于哪一种类型的读者而言, 本书都是一本极好的参考书。

图灵电子与电气工程丛书

CMOS 电路设计、布局与仿真 (第 2 版 · 第 1 卷)

- ◆ 著 [美] R. Jacob Baker
- 译 刘艳艳 张 为 等
- 审 校 张 为
- 责任编辑 朱 巍
- ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号
- 邮编 100061 电子函件 315@ptpress.com.cn
- 网址 <http://www.ptpress.com.cn>
- 北京铭成印刷有限公司印刷
- 新华书店总店北京发行所经销
- ◆ 开本: 700×1000 1/16
- 印张: 35.75
- 字数: 742 千字 2008 年 4 月第 1 版
- 印数: 1—4 000 册 2008 年 4 月北京第 1 次印刷

著作权合同登记号 图字: 01-2006-5091 号

ISBN 978-7-115-17446-8/TP

定价: 79.00 元

读者服务热线: (010)88593802 印装质量热线: (010)67129223

反盗版热线: (010)67171154

版 权 声 明

Original edition, entitled *CMOS Circuit Design, Layout, and Simulation (Second Edition)* by R. Jacob Baker, ISBN 0-471-70055-X, published by John Wiley & Sons, Inc. Copyright © 2005 by the Institute of Electrical and Electronics Engineers, Inc.

All rights reserved. This translation published under license.

Translation edition published by POSTS & TELECOM PRESS Copyright © 2008.

本书简体中文版由 John Wiley & Sons, Inc. 授权人民邮电出版社独家出版。

版权所有,侵权必究。

译者序

集成电路是信息社会的基础,其发展已进入深亚微米和 SoC 时代。正如本书前言中所述:在过去 25 年里,CMOS 技术已成为制造集成电路的主流工艺;在未来 25 年里,CMOS 技术仍将占据主导地位。掌握 CMOS 集成电路设计和制作技术的重要意义由此可见一斑。

本书是 CMOS 集成电路设计领域的一部力作,自第一版正式出版以来一直受到广大读者的普遍欢迎。这也是促成第二版及其中译本出现的主要原因。作者 R. Jacob (Jake) Baker 教授在 CMOS 集成电路设计领域享有崇高的声望。本书是其 20 多年教学和研究成果的总结,涵盖设计流程与 EDA 软件、工艺、器件、模型、数字和模拟 CMOS 集成电路设计等诸多内容,从基础到前沿,由浅入深,结构合理,特色鲜明。读者只需具备一定的电路和微电子知识,便可对现代 CMOS 集成电路设计理论与方法有完整而深刻的认识。此外,本书针对不同的读者群有所侧重。例如:对于学生,强调了扎实基础;对于科研人员,探讨了某些前沿专题;对于工程师,则提供了大量可直接用于生产的实例。由于本书内容丰富,还可根据不同集成电路设计课程的需要选择其中部分章节使用。作者对本书进行了多次修正,可确保文字的准确性。本书的相关辅助材料可从 <http://CMOSedu.com> 获得。

进入 21 世纪,中国集成电路产业如雨后春笋般迅猛发展,集成电路设计人才炙手可热。引进这样一部权威著作,无疑会对在国内培养更多高水平 CMOS 集成电路设计人才起到重要的推动作用。

本书由刘艳艳、张为等翻译,张为审校。参加翻译和初校工作的还有齐步坤、曾燕、刘洋、郝英楠、冯波、翟鲁坤等。本书中译本的出版是集体智慧的结晶,渗透着众人的汗水。在此,对所有为本书的翻译出版提供了帮助的人们表示诚挚的谢意!

需要指出的是,一些有关集成电路、特别版图和工艺的词汇及其译法目前尚无统一标准,译者力图深入浅出、翔实准确,但由于水平有限,译文中难免有不妥之处,敬请读者不吝指正。

译者

于天津大学

2007 年 10 月

前言

在过去的 25 年里,CMOS(互补金属氧化物半导体)技术已成为制造集成电路(IC 或芯片)的主流工艺。在未来 25 年里,CMOS 技术仍将占据主导地位。为什么会出现这种情况?因为 CMOS 技术可靠性高、可制造性强、低功耗、低成本;也许最重要的原因是其可收缩性。早在 1965 年,Intel 的创始人 Gordon Moore 就已观察到并描述了硅集成电路工艺可收缩性的事实。他的结论现在被称为摩尔定律,并表述为芯片上器件的数量每 18 个月至 24 个月翻一番。虽然最初并非特指 CMOS 工艺,但通过不断减小 CMOS 工艺的特征尺寸,摩尔定律多年来始终有效。早期 CMOS 晶体管的栅长在微米尺寸(长沟道器件),如今 CMOS 器件的特征尺寸已进入纳米范围(短沟道器件)。

为了在本书中同时涵盖长沟道和短沟道 CMOS 工艺,本书采用两种方式介绍 CMOS 集成电路设计。本书还讨论了这两种情况的设计技巧并进行比较。这种比较将会使读者对集成电路设计过程有更深刻的认识。虽然学生们在微电子概述课程中学到的描述 MOS 管特性的平方律方程可用于采用长沟道 CMOS 工艺的模拟设计,但在进行短沟道或者纳米级 CMOS 设计时不再有效。纳米 CMOS 工艺器件的特性十分复杂,不可能使用简单方程描述器件的特性。但我们仍可使用描述电学特性的曲线估算偏置点和工作特性。然而,对于习惯严格数学推导的学生,当学习电路分析和设计时,上述方法仍然有效,这就是为什么采用两种方式介绍的原因。

作为一本教材和设计工程师的参考手册,本书富含设计实例、讨论和问题。各章后问题的答案和用于仿真电路的网表可以在 <http://CMOSedu.com> 上找到。该网址还提供了附加的问题。有兴趣深入理解 CMOS 模拟和数字设计的读者将从下载、修改和仿真书中电路的网表中获得极大帮助。本书读者应具有一定线性电路(例如,RC 和 RCL 电路、伯德图、拉普拉斯变换、交流分析等)、微电子(例如,二极管、晶体管、小信号分析、放大器、开关特性等)和数字逻辑设计的背景知识。下述课程可采用本书作为教材,如 VLSI 或数字 IC 设计(第 1~7 章和第 10~19 章)、模拟 IC 设计(第 9 章和《CMOS 电路设计、布局与仿真(第 2 版·第 2 卷)》中的第 1~5 章^①)和高级模拟 IC 设计(第 8 章和《CMOS 电路设计、布局与仿真(第 2 版·第 2 卷)》中的第 6~10 章)等。

① 本书第 1 卷主要包含原版的第 1~19 章内容,其第 20~29 章的内容包含在本书第 2 卷中。——编者注

学生、研究人员和工程师如何有效地使用本书

本书力图对于各类读者都有所帮助。对于学生,本书包含上百个实例、问题和实践讨论(按照我的一个学生的说法,教材中的实例再多也不为过)。有关版图的讨论建立了对于发现问题和精确或高速设计十分重要的知识基础。通过一步步地学习,包括电路设计细节、工艺步骤和仿真考虑(寄生效应)等可掌握版图设计技术。这样避免了仅在一章中介绍版图以及从设计和仿真开始的讨论的不连续性。数字设计章节强调实际工艺参数(例如, I_{off} 、 I_{on} 、 t_{ox} 、 V_{DD} 等)。模拟章节持续进行有关器件尺寸选择和设计考虑的讨论。相同步骤的选择 MOS 管宽长比和在短沟道工艺中使用长沟道方程的设计过程并未提供。本书侧重于培养学生在成为 CMOS IC 设计者或制造工程师时具有坚实的基础。

对于研究人员,已在本版中增加了诸如噪声考虑和使用 $\Delta\Sigma$ 调制器(DSM)感测等电路设计专题。本书还试图提供未来设计范例。例如,增加 DSM 用于 CMOS 图像传感器、闪存和使用薄氧化层的存储器(直接隧穿)。本书还介绍了使用 DSM 进行感测,因为其利用如下事实:随着 CMOS 时钟的速度不断提高,晶体管的增益和匹配正在恶化。此外,本书还率先讨论了受噪声限制的设计问题,如“为什么我的图像芯片的信噪比不能得到改善”或者“为什么热噪声或闪烁噪声的积累是有害的”。

对于工程师,本书试图提供可立刻应用于产品的设计和版图实例。虽然显而易见,但仍须强调匹配、功耗、速度、工艺偏移、供电电压变化和温度特性等问题在实际设计中极为重要。我将本书的讨论和实例集中于上述内容,并以众多实例详细介绍了锁相环、电荷泵、低电压基准源、单差分运算放大器和全差分运算放大器设计、连续和钟控比较器、存储器电路等。为确保绝大多数设计可通过计算机验证,纳米级设计(50nm 工艺)的仿真采用 BSIM4 SPICE 模型。

致 谢

我要感谢 Micron Technology 公司的大力支持。特别感谢 Mary Miller 对本书技术性内容进行审读时所提供的帮助。此外,我还要感谢为本书的出版付出辛勤劳动的审稿人、学生、同事和朋友,他们分别是 Jeanne Audino、Rupa Balan、David M Binkley、Bill Black、Dave Boyce、Elizabeth Brauer、John Brews、J. W. Bruce、Kris Campbell、Kloy Debban、Ahmad Dowlatabadi、Kevin Duesman、Krishna Duvvada、Surendranath Eruvuru、Cathy Faduska、Paul Furth、Neil Goldsman、Tyler Gomm、Kory Hall、Wes Hansford、David Harris、Bob Hay、Jeff Jessing、Brent Keeth、Howard Kirsch、Bill Knowlton、Bhavana Kollimarla、Harry W. Li、Matthew Leslie、Song Liu、Amy Moll、Sugato Mukherjee、Ward Parkinson、Vishal Saxena、Terry Sculley、Brian Shirley、Harish Singidi、Mike Smith、Mark Tuttle、Vance Tyree、Gary VanAckern、Indira Vemula、Tony VenGraitis 和 Joseph J. Walsh。

R. Jacob (Jake) Baker

目 录

第 1 章 CMOS 设计简介	1
1.1 CMOS 集成电路设计流程	1
1.2 CMOS 基础	6
1.2.1 CMOS 缩写	6
1.2.2 CMOS 倒相器	7
1.2.3 第一款 CMOS 电路	7
1.2.4 模拟 CMOS 设计	8
1.3 SPICE 简介	8
1.3.1 生成网表	8
1.3.2 工作点	9
1.3.3 传输函数分析	10
1.3.4 压控电压源	11
1.3.5 理想运算放大器	11
1.3.6 子电路	12
1.3.7 直流分析	13
1.3.8 绘制 IV 曲线	14
1.3.9 双环直流分析	14
1.3.10 瞬态分析	15
1.3.11 SIN 源	16
1.3.12 RC 电路实例	17
1.3.13 另一种 RC 电路实例	18
1.3.14 交流分析	19
1.3.15 十倍频程和倍频程	20
1.3.16 分贝	20
1.3.17 脉冲语句	20
1.3.18 有限脉冲上升时间	21
1.3.19 阶跃响应	21
1.3.20 RC 电路的延迟与上升 时间	22
1.3.21 分段线性源	23

1.3.22 仿真开关	23
1.3.23 电容的初始化条件	24
1.3.24 电感的初始化条件	24
1.3.25 LC 回路的 Q 值	25
1.3.26 理想积分器的频率响应	26
1.3.27 单位增益频率	26
1.3.28 积分器的时域特性	27
1.3.29 收敛性	28
1.3.30 一些常见的错误和有用的 技巧	28
延伸阅读	29
习题	29
第 2 章 阱	30
2.1 图形制作	31
2.2 N 阱的版图设计	34
2.3 阻值的计算	36
2.4 N 阱/衬底二极管	38
2.4.1 PN 结物理学简介	38
2.4.2 耗尽层电容	41
2.4.3 存储或扩散电容	43
2.4.4 SPICE 建模	45
2.5 N 阱的 RC 延迟	47
2.6 双阱工艺	50
延伸阅读	53
习题	53
第 3 章 金属层	56
3.1 连接焊盘	56
3.2 用金属层进行设计和版图 绘制	59
3.2.1 metal1 和 vial	59

3.2.2 与金属层相关的寄生器件	61	6.4.1 SPICE 仿真实例	138
3.2.3 电流运载极限	64	6.4.2 亚阈值电流	139
3.2.4 金属层的设计规则	65	6.5 短沟道 MOS 管	141
3.2.5 接触电阻	66	6.5.1 MOS 管的缩比	142
3.3 串扰和地电位上跳	67	6.5.2 短沟道效应	143
3.3.1 串扰	67	6.5.3 短沟道 CMOS 工艺的 SPICE 模型	144
3.3.2 地电位上跳	68	延伸阅读	149
3.4 LASI 版图设计实例	70	习题	150
3.4.1 连接焊盘的版图设计 II	70	第 7 章 CMOS 制备	152
3.4.2 金属测试结构的版图设计	73	7.1 CMOS 单位工艺步骤	152
延伸阅读	75	7.1.1 晶片制造	152
习题	75	7.1.2 热氧化	154
第 4 章 有源层和多晶硅层	78	7.1.3 掺杂工艺	155
4.1 用 active 层和 poly 层绘制版图	78	7.1.4 光刻	158
4.2 将导线与 poly 和 active 相连	85	7.1.5 薄膜的去除	160
4.3 静电放电保护	94	7.1.6 薄膜淀积	163
延伸阅读	97	7.2 CMOS 工艺集成	166
习题	97	7.2.1 前道集成	169
第 5 章 电阻、电容、MOS 管	99	7.2.2 后道集成	187
5.1 电阻	99	7.3 后端工艺	197
5.2 电容	106	7.4 总结	198
5.3 MOS 管	109	延伸阅读	199
5.4 版图实例	116	第 8 章 电噪声概述	200
5.4.1 金属电容	116	8.1 信号	200
5.4.2 多晶硅电阻	119	8.1.1 功率和能量	200
延伸阅读	121	8.1.2 功率频谱密度	202
习题	121	8.2 电路噪声	205
第 6 章 MOS 管工作原理	122	8.2.1 计算电路噪声并为电路噪声建模	206
6.1 MOS 管电容回顾	122	8.2.2 热噪声	211
6.2 阈值电压	126	8.2.3 信噪比	215
6.3 MOS 管的 IV 特性	130	8.2.4 散粒噪声	227
6.3.1 工作于线性区的 MOS 管	131	8.2.5 闪烁噪声	229
6.3.2 工作于饱和区的 MOS 管	133	8.2.6 其他噪声源	235
6.4 MOS 管的 SPICE 模型	135	8.3 讨论	237
		8.3.1 相关性	237
		8.3.2 噪声与反馈	240
		8.3.3 有关符号的一些最后说明	243

延伸阅读	244	12.2 或非门和与非门的版图设计	327
符号及缩写列表	245	12.3 开关特性	328
习题	247	12.3.1 与非门	329
第 9 章 模拟设计模型	249	12.3.2 输入数目	331
9.1 长沟道 MOS 管	249	12.4 复杂的 CMOS 逻辑门	332
9.1.1 平方定律方程	251	延伸阅读	338
9.1.2 小信号模型	257	习题	338
9.1.3 温度效应	271	第 13 章 钟控电路	340
9.2 短沟道 MOS 管	273	13.1 CMOS 传输门	340
9.2.1 通用设计(起始点)	274	13.2 传输门的应用	342
9.2.2 专用设计(讨论)	277	13.3 锁存器和触发器	346
9.3 MOS 管噪声模型	279	13.4 实例	353
延伸阅读	281	延伸阅读	358
习题	282	习题	358
第 10 章 数字设计模型	287	第 14 章 动态逻辑门	360
10.1 数字 MOS 管模型	288	14.1 动态逻辑基础	360
10.1.1 电容效应	290	14.1.1 电荷泄漏	360
10.1.2 工艺特征时间常数	291	14.1.2 动态电路的仿真	363
10.1.3 延迟时间和转换时间	292	14.1.3 不交迭时钟的产生	364
10.1.4 通用数字设计	295	14.1.4 动态电路中的 CMOS TG	365
10.2 MOS 管单管传输门	295	14.2 钟控 CMOS 逻辑	365
10.2.1 单管传输门的延迟	297	延伸阅读	370
10.2.2 串联连接的 PG 的延迟	299	习题	370
10.3 有关测量的最后注释	300	第 15 章 VLSI 版图设计举例	372
延伸阅读	301	15.1 芯片版图	373
习题	302	15.2 版图设计流程	381
可行的学生项目	302	延伸阅读	390
第 11 章 反相器	304	第 16 章 存储器电路	391
11.1 直流特性	304	16.1 阵列架构	392
11.2 开关特性	309	16.1.1 感测基础	392
11.3 反相器的版图	313	16.1.2 折叠阵列	397
11.4 驱动大电容负载的反相器尺寸	315	16.1.3 芯片组织结构	402
11.5 其他类型的反相器	319	16.2 外围电路	403
延伸阅读	321	16.2.1 读出放大器设计	403
习题	322	16.2.2 行/列解码器	412
第 12 章 静态逻辑门	323	16.2.3 行驱动器	417
12.1 与非门和或非门的直流特性	323	16.3 存储单元	418
12.1.1 与非门的直流特性	323		
12.1.2 或非门的直流特性	326		

16.3.1	SRAM 单元	419	阻抗	489	
16.3.2	只读存储器	420	18.4	电荷泵(电压产生电路)	490
16.3.3	浮栅存储器	421	18.4.1	提高输出电压	493
延伸阅读		431	18.4.2	产生更高的电压:迪克森 电荷泵	493
习题		432	18.4.3	实例	495
第 17 章	$\Delta\Sigma$ 调制感测	437	延伸阅读		497
17.1	定性讨论	438	习题		497
17.1.1	DSM 实例	438	第 19 章	数字锁相环	499
17.1.2	在闪存中用 DSM 进行 感测	440	19.1	检相器	500
17.2	感测阻性存储器	450	19.1.1	XOR 检相器	501
17.3	感测 CMOS 图像	457	19.1.2	鉴频检相器	505
延伸阅读		470	19.2	压控振荡器	508
习题		471	19.2.1	电流饥饿型 VCO	509
第 18 章	专用 CMOS 电路	473	19.2.2	源耦合 VCO	513
18.1	施密特触发器	473	19.3	环路滤波器	514
18.1.1	施密特触发器的设计	474	19.3.1	XOR DPLL	515
18.1.2	施密特触发器的应用	476	19.3.2	鉴频检相器 DPLL	521
18.2	多频振荡器	478	19.4	系统考虑	528
18.2.1	单稳态多频振荡器	479	19.5	延迟锁环	538
18.2.2	非稳态多频振荡器	480	19.6	几个实例	542
18.3	输入缓冲器	480	19.6.1	2GHz 的 DLL	542
18.3.1	基本电路	481	19.6.2	1Gbit/s 时钟恢复电路	548
18.3.2	差分电路	483	延伸阅读		553
18.3.3	直流参考	487	习题		554
18.3.4	降低缓冲器的输入				

第 1 章

CMOS 设计简介

本章将简单介绍 CMOS(互补金属氧化物半导体)集成电路(IC)的设计流程(“芯片”设计)。在绝大多数甚大规模集成电路(VLSI)和超大规模集成电路(ULSI)中采用的都是 CMOS。VLSI 通常是与包含数千或者数百万个金属氧化物半导体场效应管(MOSFET,通常简称为 MOS 管)的芯片联系在一起的。ULSI 通常是与包含数十亿甚至更多 MOS 管的芯片联系在一起的。本书将避免采用这些描述性术语,而仅仅侧重于介绍“数字和模拟 CMOS 电路设计”。

本章介绍了采用 SPICE(Simulation Program with Integrated Circuit Emphasis,侧重于集成电路的仿真程序)进行电路仿真。

1.1 CMOS 集成电路设计流程

CMOS 集成电路的设计流程包括电路定义电器的输入和输出、手工计算、电路仿真、版图设计、带寄生参数的仿真、电路输入输出的再估算、芯片制备和测试。设计流程如图 1-1 所示。很少会将电路的各项设计要求定得非常具体;也就是说,随着项目的逐步完成,设计要求会发生一些改变。而这些改变可能是在权衡了成本和性能,芯片市场销路的变化或者仅仅是消费者需求的变化后得到的结果。几乎在所有情况下,一旦芯片进入量产,就不可能再对电路的设计要求进行重大修改。

本书重点讨论全定制集成电路的设计。当电路需求量较少而且要求快速完成设计时会采用其他(非定制)的芯片设计方法,如现场可编程门阵列(FPGA)和标准单元库。包括微处理器和存储器在内的绝大多数批量生产的芯片都是全定制设计的范例。

集成电路的版图设计工作通常由版图设计工程师完成。然而,对电路设计工程师而言,能够设计出一款芯片(并能够指导版图设计工程师如何做好版图设计)以及能够理解与版图相关的寄生效应是非常重要的。这些寄生效应是指杂散电容、电感、PN 结和双极晶体管以及由此引发的相关问题(击穿、存储电荷、闩锁等)。在高精度/高速的电路设计中,对这些由寄生效应引起的问题有基本的了解是非常重要的。

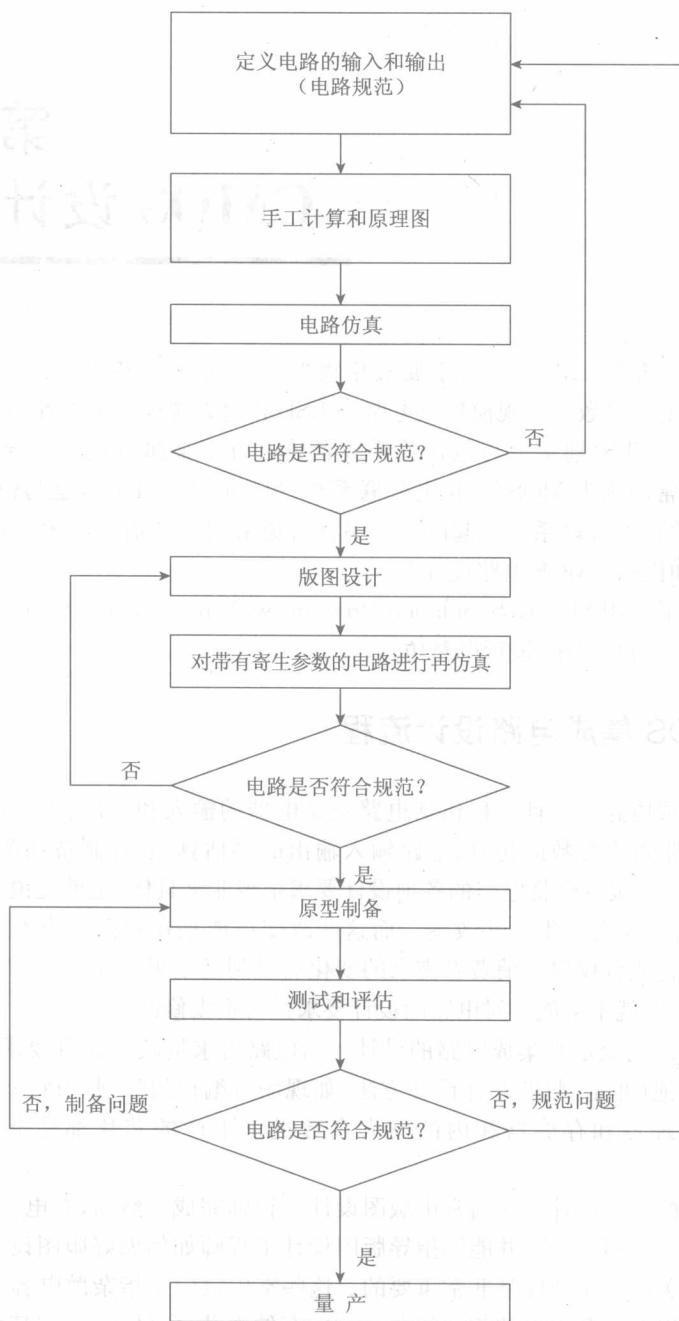


图 1-1 CMOS 集成电路设计流程图

制备

CMOS 集成电路被制备在称为“晶片”的圆形薄硅片上。每个晶片含有多个(可能几百个甚至上千个)独立芯片或管芯(图 1-2)。为了量产,晶片上的各个管芯通常都是一样的,如图 1-2 所示的图片。在图 1-2 中,硬币旁用黑框画出了一个黑色封装的独立晶片。晶片上除管芯外,还有测试结构和工艺监控插接点(晶片上用来监控工艺参数的部分)。

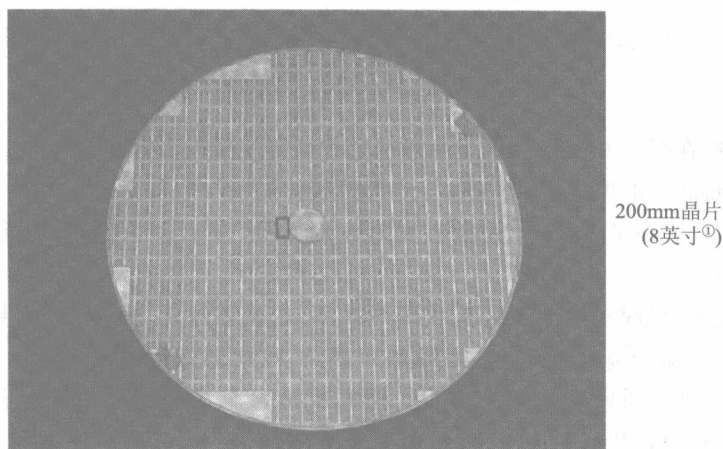
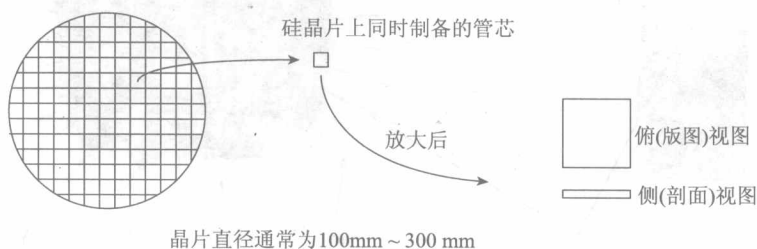


图 1-2 硅晶片上制备的 CMOS 集成电路

使用版图软件进行设计和布版的集成电路可以通过 MOSIS[®] (<http://mosis.org>) 在所谓**多项目晶片**上制造;多项目晶片是指包括多种不同尺寸、不同来源(如教育界、私人、政府等)的芯片设计的晶片。MOSIS 把多个芯片整合在同一个晶片上,不同设计分摊制造成本,从而使得制造成本降低。MOSIS 将芯片制备(多项目晶片)转包给众多商业制造商(厂商)中的一家。制备完成之后,由 MOSIS 从厂商处接收晶片,并对其进行切割,将不同芯片设计分离开来。然后对芯片进行封装并转交给各自的设计者。图 1-3

① 1 英寸约等于 2.54cm。——编者注

② MOSIS 为 Micro Optical Silicon Systems 的缩写。——编者注

是一个向 MOSIS 递交的学生设计的芯片封装范例(40 脚陶瓷封装)。通常需对芯片进行覆盖(图中并未显示)以避免暴露于光线之中或受到意外损伤。

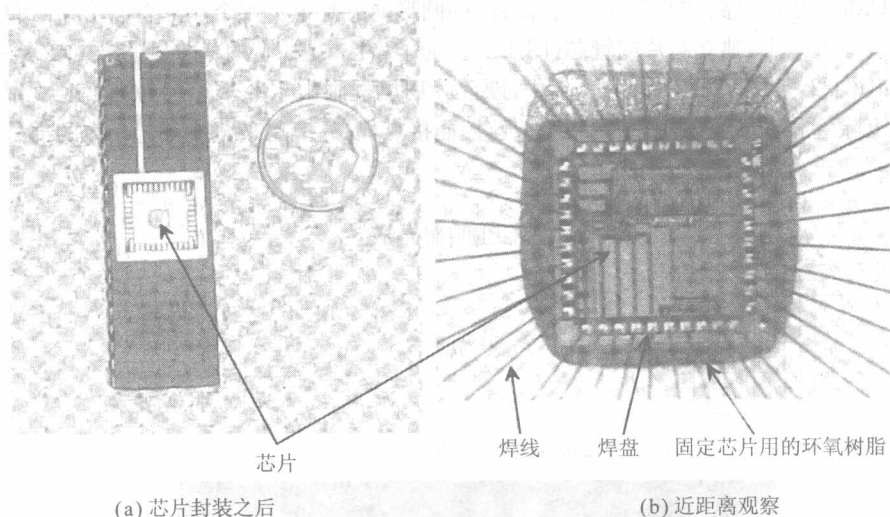


图 1-3 芯片封装

注意,在图 1-3 中,芯片的电信号通过焊线传送到封装体的管脚上。这些线(称为“焊线”)将芯片电焊接入封装体内,使得封装体的每个管脚都与芯片内部的一片金属(称为焊盘)实现了电连接(短路)。如图 1-3b 所示,芯片固定在带有环氧树脂的封装体的空腔内。

绝大多数量产的芯片并不采用图 1-3 所示的陶瓷封装,而采用塑料封装,但散热特别多的芯片和直接放置在印制电路板上的芯片(后者只是用一滴树脂进行了简单的“封装”)例外。塑封封装(胶囊式)芯片将管芯放置在引线架(如图 1-4 所示)上,然后将管芯和引线架封装在塑料中。塑料在芯片周围熔化。芯片封装之后,管脚弯曲至正确的位置。随后在封装好的芯片上印制信息(制造商、芯片类型、批号),最后将芯片放置在一个长管或卷盘中,发送到采用这些芯片生产产品的公司。典型的产品可能包括在移动电话、计算机、微波炉和打印机中使用的芯片。

版图视图和剖面视图

对设计芯片进行版图设计时的视图通常为管芯的俯视图或者版图视图。然而,要理解寄生参数以及电路是如何连接在一起的,了解芯片的剖面视图显得非常重要。因为在展示版图视图时通常会接着展示剖面视图,所以要确保理解二者的区别以及如何由版图视图绘制剖面视图。图 1-5a 显示了一个饼的版图(俯)视图。图 1-5b 中显示的就是沿图 1-5a 中绘制的直线切割得到的剖面图。为了规划饼的“布图”,可能需要以下几层:面包皮、馅、焦糖、已搅拌的奶油、坚果,等等。我们将这些层绘制出来以说明如

何使用这些材料制作成饼(举例来说,将坚果放在饼的最上层)。注意,绘制各层的顺序是无关紧要的。可以先画坚果层(在饼的最上层),然后画面包皮层。但是制作饼时,各层的顺序却很重要(面包皮需在加入坚果之前烘烤好)。

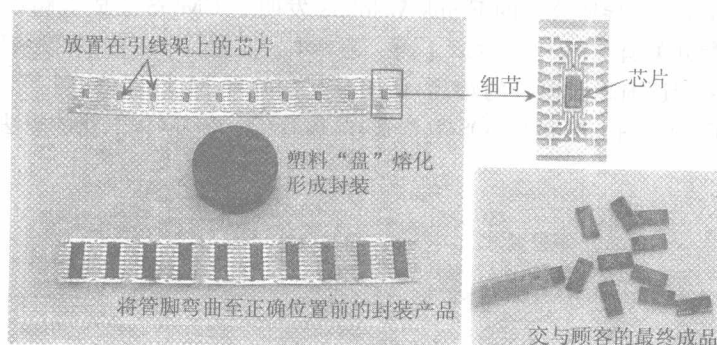


图 1-4 芯片批量制造时(通常)采用塑料封装

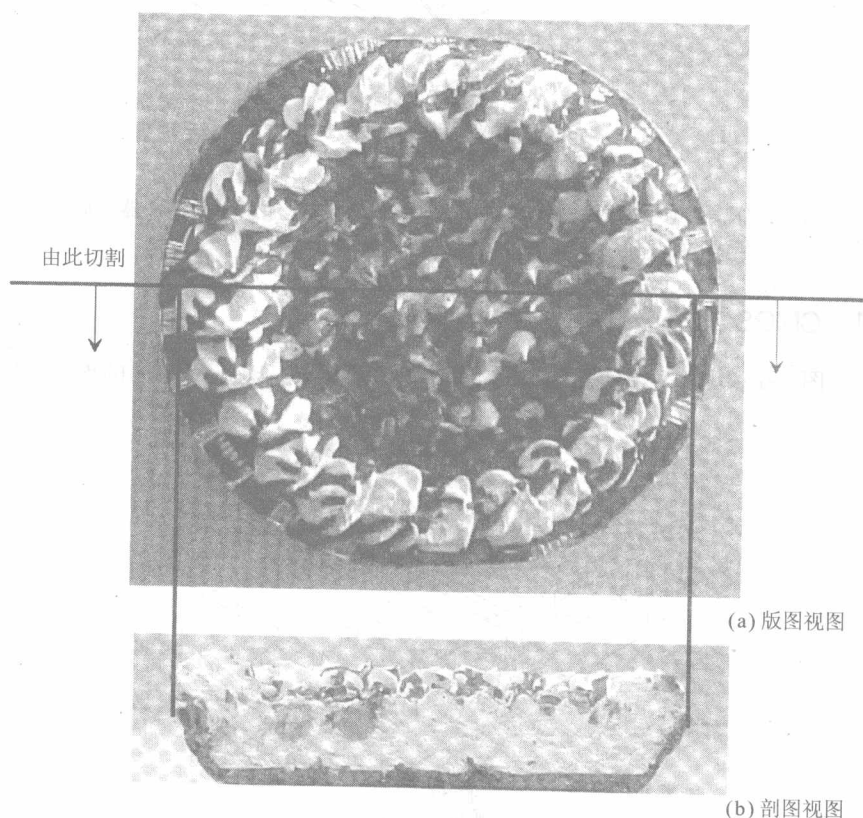


图 1-5 饼(除去锡纸)的版图视图和剖面视图

1.2 CMOS 基础

1963年,仙童半导体公司的 Frank Wanlass 发明了 CMOS 集成电路设计(想法和基本概念),参见美国专利 3 356 858[1]号。在 MOS 工艺尚未成熟、双极结型晶体管替代真空电子管逐渐趋于流行的年代,使用分立的互补 MOS 器件,即 NMOS 晶体管(N 沟道 MOS 管)(图 1-6)和 PMOS(P 沟道)晶体管(图 1-7)制作电路的想法十分新颖。

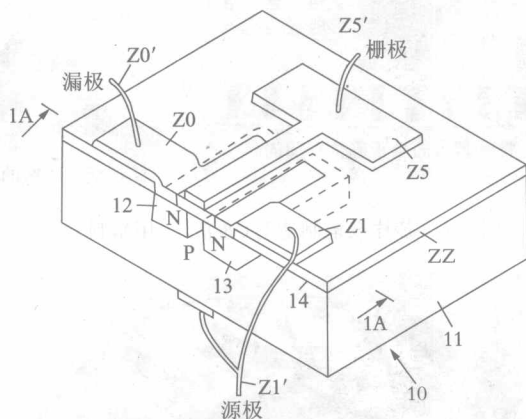


图 1-6 分立 NMOS 器件,美国专利 3 356 858[1]号。注意金属栅和器件底部与 MOS 管体区的连接。还要注意到源极和体区连接在一起

1.2.1 CMOS 缩写

注意图 1-6 和图 1-7 中使用的金属栅和晶体管底部与 MOS 管体区的连接,图中

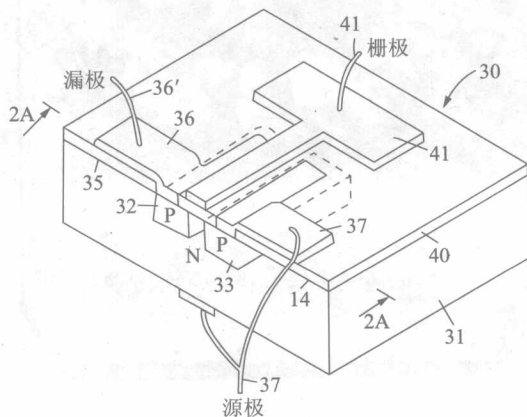


图 1-7 分立 PMOS 器件,美国专利 3 356 858[1]号