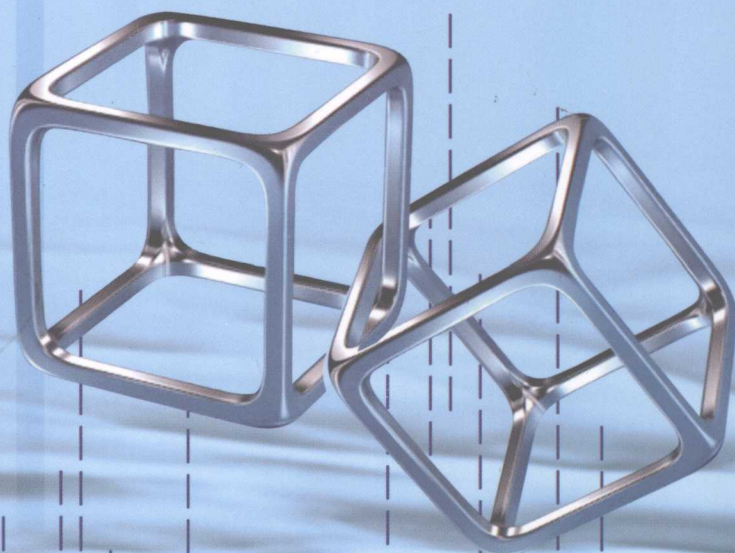
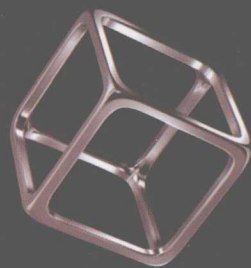


EDA 应用技术

<http://www.phei.com.cn>

Xilinx 可编程逻辑器件 应用与系统设计

孙 航 胡灵博 于联锋 樊 彧 等编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

第2版

Xilinx 可编程逻辑器件 应用与系统设计

第2版 张松海 王 强 王 强 王 强 王 强



清华大学出版社

TP332.1/58

2008

EDA 应用技术

Xilinx 可编程逻辑器件 应用与系统设计

孙 航 胡灵博 于联锋 樊 戡 等编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

本书以 Xilinx 公司的产品为蓝本,全面系统地介绍了最新可编程逻辑器件 Virtex-5/Virtex-4、Spartan-3E/3A/3ADSP、CoolRunner-II 等的结构原理、性能特点与设计方法,详细介绍了 ISE 10.x 集成化设计工具的特点和使用方法,重点介绍了 FPGA/CPLD 在数字系统设计、嵌入式处理器设计、高速串行数据通信等方面的应用,同时,还对高速电路设计与信号完整性问题进行了深入探讨。

本书既是从事消费类电子产品设计、通信系统设计、嵌入式处理器系统设计与控制设备开发设计人员不可或缺的、针对性非常强的技术书籍,又可作为逻辑和专用集成电路设计相关专业高年级本科及研究生教学与科研参考书。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

Xilinx 可编程逻辑器件应用与系统设计 / 孙航等编著. —北京:电子工业出版社, 2008.7

(EDA 应用技术)

ISBN 978-7-121-07008-2

I. X… II. 孙… III. 可编程序逻辑器件—系统设计 IV. TP332.1

中国版本图书馆 CIP 数据核字(2008)第 095783 号

责任编辑:周 琰

特约编辑:寇国华

印 刷:北京市智力达印刷有限公司

装 订:北京中新伟业印刷有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×1092 1/16 印张:31.75 字数:813 千字

印 次:2008 年 7 月第 1 次印刷

印 数:4000 册 定价:68.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

前 言

在飞速发展的信息化时代，如何有效地满足人们对大量信息的获取（Digitized），信息的分析（Processed）、交流（Transported）和储存（Stored）是我们所面临的重要课题。这些需求不断地推动和刺激着科技发明和技术进步，同时，科技的进步和发明又带来了新的社会需求。这些因素促使通信、信号处理技术等数字化产品的融合功能越来越多地出现在各种电子产品中，数字化、智能化设计已经变得愈来愈普及。产品的更新换代不断加快，个性化产品不断涌现。同时，随着系统向高速度、低功耗、低电压、多媒体、网络化、移动化方向发展，其对电路的要求越来越高，因此，传统的单一功能的集成电路设计技术已无法满足性能日益提高的整机系统的要求。而可编程逻辑器件（FPGA/CPLD）由于其固有的特性，正好填补了这方面的需求。可编程逻辑器件可以方便地通过对逻辑结构的修改和配置，完成对系统和设备的升级，以便迅速适应市场的变化。可编程逻辑器件的另一个特点是，可以支持多种通信协议和接口标准，并可以随着标准和协议的演变而改变功能。对系统设计师来说这是一大优势，因为他们可以在早期标准还在变化时就开始硬件设计，以后再改变代码来反映最终的标准。可编程逻辑器件在速度和等待时间方面优于纯软件解决方案。由于 NRE（不可回收工程）成本较低，开发时间较短，比 ASIC（专用集成电路）实现具有更大的灵活性，因此促进了可编程逻辑器件的高速发展。

另外，由于半导体技术的飞速发展，其工艺水平已经达到了纳米级（以 65 纳米、甚至 45 纳米工艺技术制造的芯片已经问世），芯片的集成度成倍数提高，时钟频率已发展到数吉赫兹，带宽已达到 Tbits 级。因此，未来的集成电路技术的发展趋势，是把整个系统集成到一个芯片上去，这种芯片被称为片上系统。芯片内除了丰富的可编程逻辑资源以外，还包括高速处理器硬核、处理器软核、DSP 模块、大量存储器资源、高速串行收发器模块、系统时钟管理器、多标准的输入输出接口模块等。片上系统比起当今的超大规模集成电路来说，无论是集成规模还是运行频率都有长足的发展，而采用具有系统级性能的复杂可编程逻辑器件和现场可编程门阵列实现可编程片上系统也成为今后的一个发展方向。也许，在不久的将来，我们看到的计算机中央处理器芯片不是传统的 CPU，而是一个能够实现高速、多任务并行处理、随心所欲“换芯”（升级）的可编程逻辑器件。正是因为集成电路的迅猛发展，推动了电子技术的发展，带来了电子系统设计的不断变革。

引领科技潮流、不断创新和满足客户的需求是 Xilinx（赛灵思）能够成为全球最大可编程逻辑器件（FPGA/CPLD）研发和生产商的重要因素。作为 FPGA 的发明者，Xilinx 已经由芯片的生产商转变为系统方案的提供商。在近期推出的所有产品中，几乎都引入了平台化设计理念。二十多年来，在 Xilinx 的不懈努力和倡导下，FPGA（Field Programmable Gate Array 现场可编程门阵列）和 CPLD（Complex Programmable Logic Device 复杂可编程逻辑器件）已经突破了传统的定义，由单纯和简单的门电路向着更灵活、更高性能、更低成本、平台化、可定制等系统级解决方案的方向发展。FPGA/CPLD 具有了更新和更高的涵义，

即 F 意味着 Flexible & Fast, P 代表 Platforms & Processor, G 表示 Generalist & Genius, A 就是 Advance & Adaptive; 同样, C 代表着 Connectivity & Customization, L 表示 Logic & Lowering system costs, D 意味着 Digital signal processing。这些应用和理念完全代表着当今科技发展的方向和潮流。

作为从事多年可编程逻辑器件应用和技术服务的专业技术人员,有必要和义务不断地将 Xilinx 最新的器件、信息及应用,包括作者的经验和设计技巧介绍给广大科技工作者,这也是全体作者编写此书的目的。本书以 Xilinx 公司最新产品为蓝本,系统介绍了最新 FPGA 和 CPLD 产品的结构原理、性能特点、设计方法,详细介绍与 ISE 10.x 集成化设计工具的特点和使用方法,重点介绍了 FPGA/CPLD 在数字系统设计、嵌入式处理器设计、高速串行数据通信等方面的应用,同时,还对高速电路设计与信号完整性问题进行深入探讨。而对于 Xilinx 推出的早期的 FPGA/CPLD 器件,如 XC95*系列、第一代和第二代的 Spartan 系列及 Virtex 系列,已经有很多资料和书籍进行了详细介绍,许多读者或设计者对这些器件的使用也较为熟悉,因此,本书将不对这些器件进行重复讲解,以节省篇幅。

本书按照设计工具和器件特点分为五部分共 18 章。

第一部分系统介绍了 ISE10.x 平台级设计工具的使用,如嵌入式系统设计工具、针对 Xilinx 器件和工具的简化版工具命令行语言(Tcl),以及如何提高系统的设计性能等知识。具体包括第 1 章 ISE 10.x 设计工具简介和使用(作者:郭燕涛),第 2 章 ISE 10.x 的辅助设计工具(作者:孙航),第 3 章工具命令语言(Tcl)(作者:梁晓明),第 4 章约束设计与时序分析(作者:于联锋),第 5 章可编程逻辑器件的高级设计(作者:于联锋),第 6 章嵌入式设计工具 EDK(作者:易洪波),第 7 章 Xilinx 存储器控制器接口技术(作者:胡灵博)。

第二部分以 Xilinx 高端平台级可编程逻辑器件为主,详细介绍了这些器件的体系架构和应用,尤其是对代表 FPGA 技术最高水平的 Virtex-5 器件进行了深刻的剖析。具体包括第 8 章 Virtex-5 系列器件架构及描述(作者:樊戡),第 9 章 Virtex-4 系列器件架构及描述(作者:樊戡)。

第三部分详细介绍了 Xilinx 可编程逻辑器件的系统级设计和设计技巧,如 Xilinx DSP 方案、高速收发器模块 GTP,以及作者的一些设计经验和系统设计中的有关知识。具体包括第 10 章 Xilinx 可编程逻辑器件设计技巧(作者:赵永琦),第 11 章 Xtreme DSP 设计(作者:刘晖),第 12 章高速电路设计和信号完整性分析(作者:孙航),第 13 章高速数据通信与设计技巧(作者:李贤精)。

第四部分详细介绍了低成本、高性能的 Spartan 系列器件和应用,这些内容以 Xilinx 最新、性价比最高的 Spartan-3 系列器件为蓝本,涵盖了器件特性说明、8 位处理器软核、IP 知识产权保护方案及最具代表性的应用等。具体包括第 14 章 Spartan-3、Spartan-3E 及 Spartan-3A/AN 系列器件结构及描述(作者:陈健),第 15 章 PicoBlaze 8 位嵌入式微控制器(作者:孙航),第 16 章面向低成本和消费类应用的完美器件——Spartan 3 系列(作者:胡勇)。

第五部分是 Xilinx CPLD 器件介绍和应用部分,作为具有极低功耗为特色的 CoolRunner-II 器件已广泛地应用于移动和手持设备,本部分除了详细介绍 CoolRunner-II 器件的特性以外,以大量的篇幅讲解 Xilinx 提供的各种设计方案。具体包括第 17 章 CoolRunner-II 系列器件结构

构及其描述（作者：孙航），第 18 章利用 CoolRunner-II 器件的高级特性降低产品的成本（作者：王春平）。

本书是由 Xilinx 深圳代表处的技术支持工程师团队策划和完成的，Xilinx 的代理商—世健科技（Excelpoint）的王春平也参与了本书的编写，在此表示衷心的感谢！

作 者

2008 年 5 月于深圳

作者感言

作为现场可编程逻辑阵列（FPGA）器件的发明者，Xilinx既是可编程逻辑器件（PLD）市场的领导者，也是PLD技术的领导者。近年来，因为广大用户的支持和认同，Xilinx可编程逻辑器件得以迅速在中国应用、普及和发展。因此，将最全面、最新的技术信息及时传递给广大读者和应用工程师，则是Xilinx技术支持团队的神圣使命。在孙航的策划下，经过全体作者的共同艰辛努力，一本涵盖了Xilinx最新技术和设计工具的书籍终于面世了。

尽管我们有着丰富的实践经验，但由于能力所限，书中疏漏或谬误之处，敬请读者批评指正。这里我们可以负责地说，每位作者都尽了自己最大的努力，我们力争表达准确，阐述浅显易懂，并结合自己的技术实践与最新Xilinx技术，尽最大可能将自己的技术心得深入浅出地、无私地奉献给读者。

以下用每位作者的一句心里话，与读者共勉。

孙航（Hunter Sun）：“天下事有难易乎？为之，则难者亦易矣；不为，则易者亦难矣。”

胡灵博（Robert Hu）：“凡事预则立，不预则废。”

樊戡（Bob Fan）：“每一个成功者都有一个开始。勇于开始，才能找到成功的路。”

赵永琦（Paul Zhao）：“沉下去，才能浮起来。”

于联锋（Lanny Yu）：“理解万岁！”

李贤精（Tiko Li）：“天道酬勤。”

陈健（Jack Chen）：“知读书之乐，存为善之心。”

郭燕涛（Dany Guo）：“天行健，君子以自强不息；地势坤，君子以厚德载物。”

易洪波（Bob Yi）：“勇于开始，才能找到成功的路！”

王春平（Hunter Wang）：“业精于勤，荒于嬉；形成于思，毁于随。”

孙航 李贤精 文峰
赵永琦 王春平 郭燕涛
易洪波 陈健
胡勇
胡灵博 于m
樊戡

目 录

第一部分 ISE 10.x 平台级设计工具

第1章 ISE 10.x 设计工具简介和使用	3
1.1 概述	3
1.2 设计流程	4
1.3 使用 ISE 10.x 软件	5
1.3.1 概述	5
1.3.2 工程创建和实现	6
1.3.3 EDIF 设计输入	22
1.3.4 设计工具小结	23
1.4 Xilinx 综合技术 XST	23
1.4.1 XST 综述	23
1.4.2 设置 XST 属性	24
1.5 ISE 工具的实现策略	27
1.5.1 综述	28
1.5.2 Implement 属性	28
1.6 配置工具 iMPACT	30
1.6.1 使用 iMPACT 生成 PROM 文件	31
1.6.2 使用 iMPACT 下载配置文件	34
1.7 本章小结	35
第2章 ISE 10.x 的辅助设计工具	36
2.1 概述	36
2.2 结构化设计向导和 IP 核生成工具	37
2.2.1 在 ISE10.x 工具中使用 Core Generator	38
2.2.2 用 Core Generator 工具建立一个新的工程	40
2.2.3 Core Generator 工具中的存储器编辑器	44
2.3 布局规划器	45
2.3.1 布局规划器概述	45
2.3.2 布局规划器的功能和应用	46
2.3.3 使用布局规划器	47
2.4 FPGA 底层编辑器	52
2.4.1 FPGA 底层编辑器概述	52

2.4.2 使用 FPGA 底层编辑器	53
2.5 集成化逻辑分析工具	60
2.5.1 集成化逻辑分析工具简介	60
2.5.2 集成化逻辑分析工具的组成和设计流程	62
2.5.3 使用 ChipScope Pro	63
2.6 XPower 功耗分析工具	79
2.6.1 XPower 概述	79
2.6.2 使用 XPower	80
2.7 引脚和区域约束编辑器	84
2.7.1 使用 PACE 工具	85
2.7.2 PACE 的 SSO 分析和 DRC 功能	88
2.7.3 PACE 时序分析功能	89
2.8 本章小结	92
第3章 工具命令行语言 (Tcl)	94
3.1 Tcl 工具语言和 ISE 开发工具中的 Tcl 功能	94
3.2 ISE 中的 Tcl 功能	94
3.2.1 从图形界面方式转换到 Tcl 命令行方式	95
3.2.2 利用 ISE 中的 Tcl 功能控制版本	97
3.2.3 ISE10.1 提供的其他 Tcl 命令	100
3.3 本章小结	101
第4章 约束设计与时序分析	102
4.1 概述	102
4.2 时序约束和分析	102
4.2.1 周期约束	102
4.2.2 输入偏移约束	107
4.2.3 输出偏移约束	118
4.2.4 特定约束 FROM TO	120
4.2.5 分组约束	122
4.3 约束编辑器	123
4.4 时序分析器	130
4.4.1 时序分析器的用户界面	130
4.4.2 使用时序分析器	131
4.5 本章小结	136
第5章 可编程逻辑器件的高级设计	137
5.1 概述	137
5.2 智能化编译技术	137
5.2.1 Partition 技术	137

5.2.2 SmartGuide 技术	141
5.3 时序收敛技术 Xplorer	142
5.3.1 Xplorer	142
5.3.2 在 ISE 工具中使用 Xplorer	143
5.3.3 SmartXplorer 技术	143
5.4 本章小结	145
第 6 章 嵌入式设计工具 EDK	146
6.1 EDK 简介	146
6.2 创建新项目	147
6.3 XPS 工具	147
6.4 硬件平台	148
6.5 自定义 IP 核	149
6.6 软件平台与 SDK	150
6.7 实现并下载设计	150
6.8 调试设计	151
6.9 EDK 嵌入式系统设计范例	152
6.9.1 使用 BSB 创建一个初始的设计	152
6.9.2 在 XPS 中完成设计	154
6.9.3 在设计中添加 Chipscope ILA 逻辑分析仪内核	157
6.9.4 验证设计	157
6.9.5 XMD	158
6.9.6 下载程序及源代码级调试	160
6.9.7 调试源代码	162
6.9.8 关于 SDK	163
6.9.9 使用 ChipScope 协同调试	166
6.10 本章小结	167
第 7 章 Xilinx 存储器控制器接口技术	168
7.1 概述	168
7.2 使用 MIG	168
7.3 MIG 工具的调试功能	184
7.4 本章小结	186

第二部分 Virtex 高性能平台级可编程逻辑器件体系架构和应用

第 8 章 Virtex-5 系列器件架构及描述	189
8.1 概述	189
8.2 Virtex-5 系列器件架构和特性	189

8.2.1 Virtex-5 系列器件特性	189
8.2.2 Virtex-5 系列器件逻辑架构	191
8.2.3 乘法器模块 DSP48E 简介	196
8.2.4 高速收发器模块 RocketIO GTP 简介	196
8.2.5 Virtex-5 器件的时钟资源	197
8.2.6 Virtex-5 器件的时钟管理器模块 CMT	198
8.2.7 Virtex-5 I/O 模块	212
8.3 本章小结	219
第 9 章 Virtex-4 系列器件架构及描述	220
9.1 概述	220
9.2 Virtex-4 系列器件架构和特性	220
9.2.1 Virtex-4 系列概述	220
9.2.2 Virtex-4 的逻辑架构	221
9.3 本章小结	227
 第三部分 采用 Xilinx 可编程逻辑器件的系统级设计	
第 10 章 Xilinx 可编程逻辑器件设计技巧	231
10.1 概述	231
10.2 时钟设计	231
10.2.1 时钟设计概述	231
10.2.2 片内时钟的设计	232
10.2.3 系统时钟的设计	233
10.3 复位设计	234
10.3.1 同步复位及异步复位	234
10.3.2 全局复位及局部复位	235
10.4 同步设计与提高器件的工作速度	237
10.4.1 同步设计	237
10.4.2 提高器件工作的速度	238
10.5 FIFO 设计	241
10.6 应用 SRLC 16	244
10.7 状态机设计	246
10.8 可编程逻辑器件 FPGA 的配置	248
10.8.1 FPGA 器件配置模式	248
10.8.2 FPGA 器件配置流程	253
10.8.3 配置 FPGA 器件时的常见问题	255
10.9 可编程逻辑器件的电源、接地及去耦网络设计	257

10.9.1 电源设计的重要性	257
10.9.2 几种典型的电源电路	257
10.9.3 去耦(旁路)电容设计	259
10.9.4 接地设计	262
10.10 本章小结	263
第11章 Xtreme DSP 设计	264
11.1 概述	264
11.1.1 FPGA 高性能数字信号处理能力的来源	265
11.1.2 Xilinx 的数字信号处理解决方案	265
11.2 Virtex 5 DSP 单元功能描述及应用	267
11.2.1 DSP48E 功能描述	267
11.2.2 应用 DSP48E	274
11.3 Spartan-3-ADSP DSP48A 单元功能描述及应用	284
11.3.1 DSP48A 操作简介	285
11.3.2 应用 DSP48A 预加器	286
11.4 本章小结	288
第12章 高速电路设计和信号完整性分析	289
12.1 信号完整性的提出	289
12.2 传输线对信号质量的影响	289
12.2.1 传输线	290
12.2.2 信号的边沿速率	290
12.2.3 同步切换噪声和地线反弹	291
12.2.4 串扰	292
12.2.5 反射、振铃和环绕振荡	293
12.2.6 正确认识信号完整性问题	294
12.3 高速电路设计和端接技术	296
12.3.1 阻抗匹配原理	296
12.3.2 典型的传输线端接方案	297
12.3.3 Xilinx 器件的阻抗匹配和信号完整性方案	300
12.3.4 阻抗端接技术的仿真分析	303
12.4 本章小结	307
第13章 高速数据通信接口和设计技巧	309
13.1 概述	309
13.2 SPI	309
13.2.1 SPI 原理	310
13.2.2 SPI 应用及设计技巧	311
13.3 SFI	316

13.3.1 SFI 原理	317
13.3.2 SFI 应用及设计技巧	318
13.4 ChipSync 源同步技术	321
13.4.1 源同步技术原理	321
13.4.2 源同步技术应用	322
13.5 LVDS 原理及应用	323
13.6 本章小结	325

第四部分 低成本高性能的 Spartan-3 系列器件和应用

第 14 章 Spartan-3、Spartan-3E 及 Spartan-3A/AN 系列器件架构及描述

14.1 概述	329
14.2 Spartan-3 系列 FPGA	336
14.3 Spartan-3E 系列 FPGA	339
14.4 Spartan-3A/AN 系列 FPGA	342
14.5 Spartan-3 器件结构描述	346
14.6 本章小结	360

第 15 章 PicoBlaze 8 位嵌入式微控制器

15.1 概述	361
15.2 PicoBlaze 的逻辑结构	362
15.2.1 通用处理器的基本结构	362
15.2.2 PicoBlaze 处理器的基本结构	363
15.2.3 PicoBlaze 处理器的指令系统	366
15.3 PicoBlaze 设计流程	376
15.3.1 设计 PicoBlaze 处理器	376
15.3.2 PicoBlaze 处理器设计流程	378
15.4 重新定制 PicoBlaze 处理器和设计范例	381
15.4.1 定制新的 PicoBlaze 处理器	381
15.4.2 CoolBlaze 处理器设计范例	382
15.5 本章小结	383

第 16 章 面向低成本和消费类应用的完美器件——Spartan 3 系列

16.1 概述	384
16.2 利用 Spartan-3 系列产品实现安全的解决方案	384
16.2.1 使用 Spartan FPGA 实现灵活的低成本安全解决方案	385
16.2.2 Device DNA 操作	387
16.2.3 采用 Device DNA 在 Spartan-3A FPGA 中保证实现安全	388
16.2.4 采用 Device DNA 和 Flash 存储器 ID 保证安全	389

16.2.5	Spartan-3A/3AN/3A DSP FPGA 应用中的高级安全机制	390
16.2.6	总论	396
16.2.7	基于 Spartan-3A Starter Kit 设计范例	397
16.3	Spartan-3A 实现 Multi-Bootload 多引导设计	406
16.3.1	多引导的关键模块 ICAP	407
16.3.2	多引导设计范例	409
16.4	本章小结	414
第五部分 CoolRunner-II CPLD 器件特性和应用		
第 17 章	CoolRunner-II 系列器件架构及其描述	417
17.1	概述	417
17.2	CoolRunner-II 器件的逻辑结构	418
17.2.1	功能模块	418
17.2.2	高级内部互连矩阵	421
17.2.3	输入/输出模块	421
17.2.4	时钟分频器模块	424
17.3	CoolRunner-II 器件的时序模型	424
17.3.1	时序模型描述	424
17.3.2	时序模型设计范例	426
17.4	CoolRunner-II 器件的设计和使用	428
17.4.1	使用双沿触发寄存器	428
17.4.2	使用时钟分频器	429
17.4.3	使用频率合成	430
17.4.4	应用门控功能	430
17.4.5	使用施密特触发器	431
17.4.6	应用输入/输出标准	432
17.4.7	设置输入/输出引脚为参考电源的输入引脚	434
17.5	本章小结	436
第 18 章	利用 CoolRunner-II 器件的高级特性降低产品的成本	437
18.1	概述	437
18.2	采用 CoolRunner-II 实现 IrDA 和 UART 设计	437
18.2.1	功能描述	437
18.2.2	IrDA 和 UART 设计	438
18.2.3	IrDA 和 UART 接口	439
18.2.4	设计范例的实现	441
18.3	采用 CoolRunner-II 实现串行 ADC 接口	442

18.3.1 功能描述	442
18.3.2 设计范例和实现	447
18.4 CoolRunner-II 器件实现无线收发器	447
18.4.1 功能描述	447
18.4.2 发送器模块设计	447
18.4.3 接收器模块设计	450
18.4.4 设计范例和实现	451
18.5 采用 CoolRunner-II 实现 Smart Card 读卡器	451
18.5.1 功能描述	451
18.5.2 ISO 7816 Smart Card 标准	453
18.5.3 设计范例及其实现	456
18.6 采用 CoolRunner-II 实现 I ² C 总线控制器	459
18.6.1 功能描述	459
18.6.2 I ² C 接口协议	459
18.6.3 I ² C 总线逻辑	460
18.6.4 微处理器接口逻辑	466
18.6.5 工作流程	467
18.6.6 设计范例及其实现	467
18.7 使用 CoolRunner-II 器件实现 SPI 主控制器	469
18.7.1 功能描述	469
18.7.2 SPI 主控制器的实现	471
18.7.3 SPI 和微处理器接口	475
18.7.4 设计范例和实现	476
18.8 键盘扫描控制器	477
18.8.1 功能描述	477
18.8.2 设计范例和实现	478
18.9 NAND Flash 存储器接口控制器	479
18.9.1 功能描述	479
18.9.2 设计范例和实现	481
18.10 采用 CoolRunner-II 实现低功耗 IDE 控制器	482
18.10.1 功能描述	482
18.10.2 IDE 总线接口和协议	483
18.10.3 设计范例和实现	484
18.11 多 SD 卡接口的实现	489
18.11.1 功能描述	489
18.11.2 设计范例和实现	490
18.12 本章小结	492

第一部分

ISE 10.x 平台级设计工具