



D

S

P

TMS320C672x系列 DSP原理与应用

刘伟 魏芹芹 王伟 编著



北京航空航天大学出版社

TP332/145

2008

TMS320C672x 系列 DSP 原理与应用

刘 伟 魏芹芹 王 伟 编著

北京航空航天大学出版社

内 容 简 介

介绍 TMS320C672x 系列 DSP 芯片的基本特点、硬件结构及内部各模块的功能,并结合应用示例讲解各模块的工作原理;详细介绍 Code Composer Studio 集成开发环境,说明基本的 C 语言应用程序框架,并给出实时操作系统 DSP/BIOS 的应用示例。书中还包含大量 DSP 芯片的应用和算法实验。

本书既适合自学,又可以作为本科生、研究生学习“DSP 原理与应用”课程的教材。

图书在版编目(CIP)数据

TMS320C672x 系列 DSP 原理与应用/刘伟,魏芹芹,王伟编著. —北京:北京航空航天大学出版社,2008.6

ISBN 978-7-81124-253-9

I. T… II. ①刘…②魏…③王… III. 数字信号—信息处理系统 IV. TN911.72

中国版本图书馆 CIP 数据核字(2008)第 064251 号

TMS320C672x 系列 DSP 原理与应用

刘 伟 魏芹芹 王 伟 编著

责任编辑 杨 波 史海文

*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083) 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail:bhpress@263.net

涿州市新华印刷有限公司印装 各地书店经销

*

开本:787×1092 1/16 印张:27.25 字数:698 千字

2008 年 6 月第 1 版 2008 年 6 月第 1 次印刷 印数:5 000 册

ISBN 978-7-81124-253-9 定价:42.00 元

前言

数字信号处理器(DSP)从诞生发展至今,虽然只经历了不到30年的时间,但在通信、计算机和消费类电子产品等领域的广泛应用,已深刻影响了人们的生活。人类已无法离开DSP芯片。现在主要的DSP厂商包括美国德克萨斯州仪器(TI)公司、美国飞思卡尔(Freescale)半导体公司、朗讯(AT&T)和美国模拟器件公司(Analog Devices Inc., ADI)等十几家公司。其中, TI公司的DSP产品占据了世界市场的绝大部分份额,因此了解TI公司的DSP芯片,无论对学习DSP,还是对应用开发,均具有重要的意义。

TI公司的DSP芯片分为TMS320C2000/C5000/C6000(以下简称Cxxxx)等三大系列。C6000系列DSP是高速、高性能的芯片,包括4个子系列:定点系列C62x、浮点系列C67x、图像处理系列C64x和数字多媒体应用系列DM64x。C672x系列DSP芯片是TI公司高性能32/64位浮点信号处理器的新一代产品,属于C67x家族。该系列包括C6727/C6726/C6722等3种芯片。

作者结合多年数字信号处理相关工程开发的经验编写了此书。书中详细介绍了TMS320C672x系列DSP芯片的基本结构、内部各模块的功能和软件集成开发环境,说明了应用程序的基本框架,并结合实例讲解了实时操作系统DSP/BIOS的应用。

全书共11章,由山东理工大学电气与电子工程学院刘伟博士负责,山东理工大学魏芹芹、陈文钢、中国农业大学工学院王伟博士和中国科学院电工研究所殷伯华博士参与了编写。第1,2,4,9章由刘伟博士编写,第3,5,6,7,8章由魏芹芹编写,第10章由陈文钢编写,第11章由王伟编写,全书由刘伟博士和陈文钢审校。硕士研究生杨玉坤、赵爱丽、王晓峰和范新参与了资料的整理。

在本书的编写过程中,得到了山东理工大学电气与电子工程学院赵艳雷博士的热情支持。此外, TI第三方北京合众达公司为本书提供了大量有关TI DSP芯片的最新资料,在此一并表示感谢。

本书在编写和出版过程中得到了北京航空航天大学出版社的大力支持,在此表示诚挚的谢意。

由于编者水平有限,编写时间紧迫,故书中难免存在错误和不当之处,敬请读者批评指正。有关问题可发邮件至 weikey@sdut.edu.cn。

编者

2008年1月

目 录

第 1 章 DSP 概述

1.1 DSP 芯片的概念	1
1.2 DSP 芯片的发展	2
1.3 DSP 芯片的分类	2
1.4 TMS320C672x 系列 DSP 芯片	3

第 2 章 CPU 结构与指令集

2.1 TMS320C672x 系列的 CPU 结构	12
2.1.1 CPU 的结构	12
2.1.2 CPU 数据通道与控制	13
2.2 TMS320C672x 指令集	19
2.2.1 指令集概述	19
2.2.2 读取/存储类指令	22
2.2.3 算术运算类指令	23
2.2.4 逻辑及位操作类指令	27
2.2.5 搬移类指令	29
2.2.6 程序转移类指令	29
2.2.7 浮点运算指令	29
2.2.8 资源对指令的约束	35
2.2.9 C672x 指令集汇总	36
2.3 流水线	40
2.3.1 C672x 流水线概述	40
2.3.2 流水线指令类型	43
2.4 中 断	45
2.4.1 中断类型和中断信号	45
2.4.2 中断服务表 IST	47
2.4.3 中断控制寄存器	50
2.4.4 中断性能和编程考虑事项	51
2.5 C672x DSP ROM	54
2.5.1 简 介	54
2.5.2 ROM 组件	55
2.5.3 访问 ROM 内容	56

第 3 章 外部存储器接口

3.1 概 述	59
3.2 寄存器	60
3.3 结构和操作	60
3.3.1 EMIF 引脚描述	60
3.3.2 时钟控制	62
3.3.3 EMIF 请求	62
3.3.4 SDRAM 控制器和接口	62
3.3.5 异步控制器和接口	73
3.3.6 数据总线挂起	85
3.3.7 复位和初始化	85
3.3.8 中断支持	85
3.3.9 引脚复用	87
3.3.10 优先级和仲裁	87
3.3.11 设计准则	88
3.4 配置举例	88
3.4.1 硬件接口	89
3.4.2 软件配置	89
3.5 SDRAM 读/写示例	94
3.6 Flash 读/写示例	99

第 4 章 双通道数据搬移加速控制器

4.1 概 述	105
4.1.1 特 点	105
4.1.2 dMAX 术语	108
4.1.3 启动 dMAX 传输	110
4.1.4 FIFO 的实现	111
4.1.5 dMAX 传输的类型	112
4.1.6 量子传输	129
4.1.7 数据单元大小及其调整	131
4.1.8 源/目的地址更新	131
4.1.9 重载 dMAX 传输	131
4.1.10 dMAX 中断生成	131
4.1.11 事件编码器	133
4.2 寄存器描述	137
4.2.1 参数 RAM	137
4.2.2 FIFO 描述器	151
4.2.3 dMAX 控制寄存器	152

4.3 传输示例	153
4.3.1 传输同步	153
4.3.2 通用传输示例	154
4.3.3 FIFO 传输示例	164
4.3.4 一维突发传输	182
4.3.5 从 SPI 数据传输	184
4.3.6 服务外设的示例	186
4.3.7 使用 dMAX 事件产生 CPU 中断的示例	197
4.3.8 dMAX 延迟效应使用示例	197
第 5 章 多通道音频串行端口	
5.1 概 述	212
5.1.1 特 点	212
5.1.2 术 语	213
5.2 McASP 架构	214
5.2.1 接口信号	214
5.2.2 寄存器	217
5.2.3 时钟和帧同步信号发生器	218
5.2.4 串行器	221
5.2.5 格式化单元	221
5.2.6 时钟检查电路	222
5.2.7 引脚控制	223
5.3 McASP 操作	225
5.3.1 启动与初始化	225
5.3.2 传输模式	227
5.3.3 数据发送和接收	235
5.3.4 格式化器	239
5.3.5 中 断	242
5.3.6 错误处理和管理	244
5.3.7 回送模式	246
5.4 McASP 应用示例	247
5.5 SPI 接口	260
5.5.1 SPI 概述	260
5.5.2 SPI 寄存器	261
5.5.3 SPI 操作	262
5.5.4 SPI 作为通用 I/O 引脚	270
5.5.5 中 断	270
5.5.6 DMA 接口	270
5.6 I2C 接口	271

5.6.1	I2C 模块简介	271
5.6.2	功能概述	271
5.6.3	寄存器	272
5.6.4	详细操作	273
5.6.5	I2C 模块产生的事件	278
5.6.6	GPIO 引脚控制	280
5.6.7	复位/禁止 I2C 模块	280
5.6.8	编程指南	281
5.6.9	I2C 模块应用示例	281

第 6 章 通用主机接口

6.1	概 述	288
6.1.1	特 点	288
6.1.2	UHPI 结构框图	289
6.1.3	UHPI 引脚	289
6.1.4	UHPI 主要操作模式的比较	290
6.1.5	主机地址/数据模式	291
6.1.6	双 HPIA 和单 HPIA 选项	291
6.1.7	整字和双半字操作选项	291
6.1.8	使用双 HPIA 选项的复用主机地址/数据模式	292
6.1.9	使用单 HPIA 选项的复用主机地址/数据模式	295
6.1.10	分立主机地址/数据模式	296
6.1.11	引脚复用和通用 I/O 控制	297
6.2	UHPI 操作	298
6.2.1	初始化	298
6.2.2	主机访问类型	299
6.2.3	UHPI 主机访问顺序	305
6.2.4	UHPI 对于 C672x 资源的访问	308
6.2.5	DSP 或 dMAX 与外部主机之间的中断	308
6.3	寄存器	309

第 7 章 定时器

7.1	概 述	310
7.2	模块操作	311
7.3	寄存器	313
7.4	定时器应用示例	314

第 8 章 软件可编程锁相环

8.1	概 述	320
-----	-----------	-----

8.2 功能描述	321
8.2.1 多路选择器和分频器	321
8.2.2 复位控制器	321
8.3 配 置	322
8.3.1 初始化	322
8.3.2 改变分频器/倍频器的倍率	323
8.3.3 锁相环的关闭和唤醒	324
8.4 实际时钟源	325
8.5 寄存器	326

第 9 章 DSP 集成软件开发环境

9.1 CCS 简介	327
9.2 CCS 的构成	329
9.2.1 代码生成工具	330
9.2.2 CCS 集成开发环境	331
9.2.3 DSP/BIOS 插件	334
9.2.4 硬件仿真和实时数据交换	336
9.3 基本的 C 语言应用程序	337
9.3.1 链接器命令文件	338
9.3.2 中断向量表	340
9.3.3 Hello World 程序	341
9.4 混合语言编程	343
9.4.1 C 语言的优缺点	343
9.4.2 汇编语言的优缺点	344
9.4.3 混合编程的方法	344
9.4.4 混合编程的接口规范	344
9.4.5 示例程序	345
9.5 DSP/BIOS 应用程序	346
9.5.1 创建配置文件	346
9.5.2 用 CCS 测试	347

第 10 章 DSP 算法及其实现

10.1 有限冲击响应滤波器 FIR 的实现	348
10.2 无限冲击响应滤波器 IIR 的实现	355
10.3 快速傅里叶变换 FFT 的实现	362
10.4 卷积的实现	373
10.5 自适应滤波器的实现	377

第 11 章 DSP 综合应用

11.1 语音信号采集与处理	383
11.1.1 语音采集	383
11.1.2 数字回声的实现	388
11.1.3 数字和声的实现	393
11.2 UART 异步串口通信的实现	398
11.3 USB 接口的实现	407
11.4 从 Flash 实现 BOOT	420

附 录

参考文献

1.1 C6720 简介	1
1.2 C6720 的引脚	2
1.3 开发工具	3
1.4 C6720 的集成开发环境	4
1.5 DSP BIOS 简介	5
1.6 硬件的真相和软件的数据交换	6
1.7 基本的 C 语言应用	7
1.8 寄存器命令文件	8
1.9 中断向量表	9
1.10 Hello World 程序	10
1.11 混合语言编程	11
1.12 C 语言的优缺点	12
1.13 汇编语言的优缺点	13
1.14 混合语言的方法	14
1.15 混合语言的应用	15
1.16 示例程序	16
1.17 DSP BIOS 应用	17
1.18 创建前置文件	18
1.19 用 CCS 编程	19

第 10 章 DSP 算法及其实现

10.1 有限冲击响应滤波器 FIR 的实现	218
10.2 无限冲击响应滤波器 IIR 的实现	223
10.3 快速傅里叶变换 FFT 的实现	228
10.4 卷积的实现	233
10.5 自适应滤波器的实现	237

第 1 章

DSP 概述

1.1 DSP 芯片的概念

在人们的生活环境中,存在着各种各样的信号。有些信号是自然产生的,但多数信号是人类制造出来的。这些信号中,有些信号是人们需要的,如语音信号和美妙的音乐;有些信号则是不需要的,是噪声,如建筑工地冲击钻和木锯等的噪声。从工程意义上讲,信号都携带着信息,而信号处理就是提取、增强、存储和传输有用信息的过程。其最简单的功能就是从混乱的信息中提取有用的信息。信息是否有用是针对特定环境而言的,因此信号处理也是面向特定应用的。

现实生活中的信号多为模拟信号,这些信号在时间和幅度上连续变化。既可以使用电阻、电容、晶体管和运算放大器组成模拟信号处理器(Analog Signal Processor, ASP)来处理这些信号,也可以使用包含加法器、乘法器和逻辑单元的数字电路对这些信号进行处理。这种数字电路即为数字信号处理器(Digital Signal Processor, DSP)。由于 DSP 使用离散的二进制数处理信号,所以必须先使用模/数转换器(ADC)对模拟信号采样量化后转换成数字信号,再由 DSP 来处理,最后由数/模转换器(DAC)转换成模拟信号输出。抗混叠滤波器(PrF)其实就是低通滤波器,滤掉截止频率以上的信号,以免在采样过程中引起混叠。平滑滤波器 PoF 使输出信号更加平滑。这一过程如图 1-1 所示。

ASP 系统由于使用了大量的模拟器件,因此存在着系统设计复杂,灵活性不高,抗干扰能力差等缺点;而 DSP 系统是基于软件设计的,因此灵活性高,能够实时地修改程序以适应不同的应用,抗干扰能力强,成本低。

可以使用以下 4 种方法来实现数字信号的处理:

- 在通用计算机上使用软件来实现实时性要求不高的处理;
- 利用 MCU(例如 89C51)来实现简单的数字信号处理;
- 利用专用 DSP 芯片来实现某种特定的应用处理,定制的 ASIC 芯片也应该归于此类;
- 利用通用 DSP 芯片来实现快速的算法。

其中,通用 DSP 具有强大的处理能力和可编程性,因此应用很普遍。通用 DSP 芯片是一



图 1-1 数字信号处理流程

种具有特殊结构的微处理器,其内部采用程序和数据分开的哈佛总线结构,能同时读取指令和数据。CPU 内核具有并行的多个功能单元,支持流水线操作,使取指、译码和执行等操作可以重叠执行,大大加快了程序的执行速度;还具有专门的硬件乘法器,独特的循环寻址模式,可以用来快速地实现各种数字信号处理(Digital Signal Processing)算法,例如快速傅里叶变换(FFT)、有限冲击响应滤波器(FIR)和无限冲击响应滤波器(IIR)等。以上这些优点,使得通用 DSP 善于处理图形图像和语音信号,在工业控制、仪器仪表、电信、汽车、医学和消费等领域得到广泛应用。

1.2 DSP 芯片的发展

从 1979 年 Intel 公司发明 2920 DSP 芯片以来,到目前为止,世界上能够生产 DSP 芯片的公司有十几个,其中主要公司有美国德克萨斯州仪器(Texas Instruments, TI)公司、美国模拟器件公司(Analog Devices Inc., ADI)和美国飞思卡尔(Freescale)半导体公司。在众多 DSP 芯片中,最成功的是 TI 公司的一系列产品。TI 公司在 1982 年成功推出第一代 DSP 芯片 TMS32010 及其系列产品 TMS32011, TMS320C10/C14/C15/C16/C17 之后,不断推陈出新,相继设计生产了多种信号的 DSP。目前, TI 公司将其 DSP 芯片归纳为三大系列,即 TMS320C2000 系列/C5000 系列/C6000 系列(简称 Cxxxx)。如今, TI 公司的系列 DSP 产品已经成为当今世界上最有影响的 DSP 芯片,该公司也成为世界上最大的 DSP 芯片供应商,其 DSP 市场份额占全世界的近 50%。

ADI 也占有一定的 DSP 芯片市场份额,并相继推出了一系列具有自己特点的 DSP 芯片。其定点 DSP 芯片有 ADSP2101/2103/2105, ADSP2111/2115, ADSP2161/2162/2164 和 ADSP2171/2181, 浮点 DSP 芯片有 ADSP21000/21020 和 ADSP21060/21062 等。

DSP 芯片自从诞生以来,得到了飞速发展。这一方面得益于集成电路的发展,另一方面也得益于巨大的市场。在不到 30 年的时间里, DSP 芯片已经在信号处理、通信和雷达等许多领域得到广泛应用。目前, DSP 芯片的价格也越来越低,而性价比却日益提高,具有巨大的应用潜力。

1.3 DSP 芯片的分类

DSP 芯片可以按照以下两种方式进行分类。

(1) 按数据格式分类

这是根据 DSP 芯片工作的数据格式来分类的。数据以定点格式工作的 DSP 芯片称为定点 DSP 芯片,以浮点格式工作的 DSP 芯片称为浮点 DSP 芯片。不同的浮点 DSP 芯片所采用的浮点格式不完全一样,有的 DSP 芯片采用自定义的浮点格式,有的 DSP 芯片则采用 IEEE 的标准浮点格式。

(2) 按用途分类

按照用途 DSP 芯片可分为通用型和专用型两种。通用型适合普通的 DSP 应用,如 TI 公司的一系列 DSP 芯片。专用型是为特定的 DSP 运算而设计的,更适合特殊的运算,如数字滤

波、卷积和 FFT 等。

TI 公司作为全球 DSP 的领导者,目前主推 3 个 DSP 平台,即 TMS320C2000/C5000/C6000、多个子系列和数十种 DSP 器件,为用户提供广泛灵活的选择,以满足各种不同的应用需求。

C2000 平台主要针对工业控制领域,用于替代 MCU,尤其是 C24x、LF240x 和 F28x,它们是专为电机控制进行优化的 DSP。C2000 系列 DSP 有 3 个子系列:

- LF240x 子系列 16 位定点 DSP 芯片,速率为 40 MIPS,代表器件 TMS320LF2407;
- F28x 子系列 32 位定点 DSP 芯片,速率为 150 MIPS,代表器件 TMS320F2812, TMS320F2810;
- F283x 子系列 32 位浮点 DSP 芯片,速率为 150 MIPS,代表器件 TMS320F28335。

C5000 平台主要为高速、低功耗应用而开发,主要应用于通信和消费类电子产品,如手机、PDA、数码相机、无线通信基础设备、VoIP 网关、IP 电话及 MP3 等。C5000 系列 DSP 有 4 个子系列:

- C54x 子系列 16 位定点 DSP 芯片,速率为 100 ~ 160 MIPS,代表器件 TMS320VC5402/VC5409/VC5410/VC5416;
- C55x 子系列 16 位定点 DSP 芯片,速率为 400 MIPS,代表器件 TMS320VC5510/VC5509;
- C54x+ARM7 子系列 代表器件 TMS320VC5470/VC5471/DSC21;
- C55x+ARM9 子系列 即 Open Multimedia Applications Platform (OMAP) 平台,代表器件 OMAP5910。

C6000 平台主要为高速、高性能应用而开发,主要用于高速宽带和图像处理等,如宽带通信、3G 基站和医疗图像处理等,其他应用包括 DSL Modem、收发基站、无线局域网、企业用户交换机、语音识别、多媒体网关、专业音频设备、网络照相机、机器视觉、安全认证、工业扫描仪、高速打印机及高级加密器等。C6000 系列 DSP 有 4 个子系列:

- C62x 子系列 32 位定点 DSP 芯片,速率为 1 200 ~ 2 400 MIPS,代表器件 TMS320C6211;
- C67x 子系列 32 位浮点 DSP 芯片,速率为 1 200 ~ 1 800 MIPS, 900 ~ 1 350 MFLOPS,代表器件 TMS320C6713/C6727;
- C64x 子系列 32 位定点 DSP 芯片,速率为 4 000 ~ 5 760 MIPS,代表器件 TMS320C66414/C6415/C6416;
- DM64x 子系列 32 位定点 DSP 芯片,速率为 4 752 MIPS,同时包含 C64x+ 和 ARM926 内核,面向数字多媒体应用,代表器件 TMS320DM6446。

1.4 TMS320C672x 系列 DSP 芯片

TMS320C672x 系列 DSP 芯片是 TI 公司高性能 32/64 位浮点信号处理器的新一代产品,属于 C67x 家族。该系列包括 TMS320C6727/TMS320C6726/TMS320C6722。C672x 系列 DSP 芯片结构框图如图 1-2 所示。

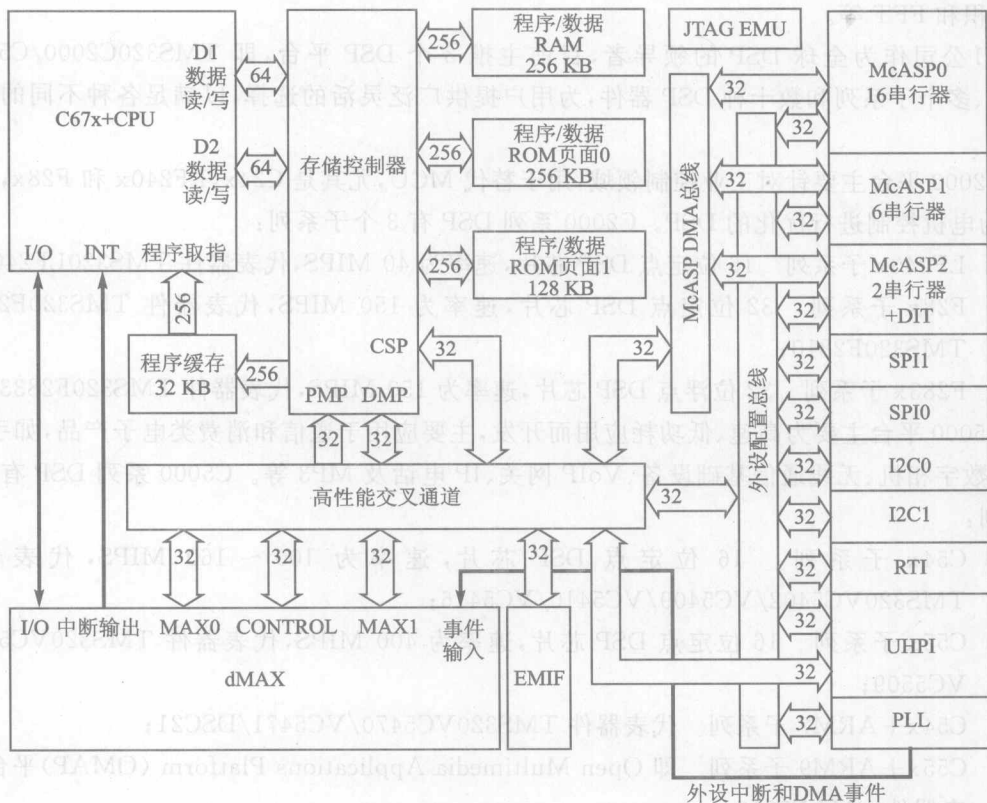


图 1-2 C672x 系列 DSP 芯片结构框图

表 1-1 所列为 C672x 系列处理器的硬件指标,包括片上存储器的容量、外设、执行时间和封装类型等。

表 1-1 C672x 系列处理器的硬件指标

硬 件		C6727	C6726	C6722
外 设 (同一时刻并不能 使用所有的外设 引脚)	dMAX	1		
	EMIF	1 (32 位)	1 (16 位)	1 (16 位)
	UHPI	1	0	0
	McASP	3	3(McASP2 只用作 DIT)	2
	SPI	2		
	I2C	2		
	RTI	1		
片上存储器 的容量/KB	程序高速缓存	32	32	32
	RAM	256	256	128
	ROM	384	384	384

续表 1-1

硬 件		C6727		C6726		C6722	
CPU ID + CPU Rev ID 控制状态寄存器 CSR[31:16]		0x0300					
频 率/MHz		300, 250		250, 225		250, 225, 200	
周 期/ns		C6727 - 300	3.3	C6726 - 250	4	C6722 - 250	4
		C6727 - 250 和 C6727A - 250	4	C6726A - 225	4.4	C6722A - 225	4.4
						C6722 - 200	5
电 压/V	内核	1.2					
	I/O	3.3					
时钟发生选项	预定标	/1, /2, /3, ..., /32					
	倍乘	×4, ×5, ×6, ..., ×25					
	后定标	/1, /2, /3, ..., /32					
封 装	17 mm×17 mm	256 引脚 PBGA (GDH) 256 引脚 Green PBGA (ZDH)		—		—	
	20 mm×20 mm	—		144 引脚 PowerPAD Green TQFP (RFP)		144 引脚 PowerPAD Green TQFP (RFP)	
生产工艺 /μm		0.13					

1. 增强的 C67x+CPU 内核

C67x+CPU 内核是在 C671x 上使用的 C67x CPU 内核的增强版本。该 CPU 兼容 C67x CPU,但在速度、代码紧凑性和每时钟周期浮点性能上均有显著的提高。在 300 MHz 时钟频率下,C67x+CPU 每时钟周期可并行执行 8 条指令(其中 6 条为浮点指令),最高性能达到 2400 MIPS/1800 MFLOPS。C67x+CPU 支持 32 位定点、32 位单精度浮点、64 位双精度浮点运算。

CPU 每次取指均为 256 位高级甚长指令字(VLIW)指令包。该指令包由变长执行包组成。执行包在每个时钟周期都可以为 8 个功能单元提供 1~8 条 32 位指令。变长执行包是节省内存的关键,是 C67x CPU 的重大改进。另外,CPU 包含 2 个数据通道,如图 1-3 所示,每个通道包含 4 个功能单元(.D,.M,.S,.L)和一个寄存器组。每个寄存器组包含 32 个 32 位寄存器,共 64 个通用寄存器,数量是 C67x CPU 的 1 倍,大大减轻了寄存器的压力,可以让 C 编译器优化更复杂的代码。每个通道的 4 个功能单元可以自由地使用该通道的 32 个寄存器,每个通道还有一个交叉路径连接到另一个通道,这允许每周期从另一通道读取一个操作数。C67x+CPU 允许 2 个功能单元使用该交叉路径,而 C67x CPU 只允许 1 个功能单元使用该交叉路径。

C67x+CPU 可以执行 C67x CPU 的所有指令,除此之外又添加了新的浮点指令,以提高音频处理时的性能,新增加的浮点指令如表 1-2 所列。

C67x+CPU 还添加了 2 个专门负责 dMAX 单元事务的寄存器,即 dMAX 事件触发寄存器和 dMAX 事件状态寄存器。这样,CPU 和 dMAX 交换数据就不用再访问任何内存了。

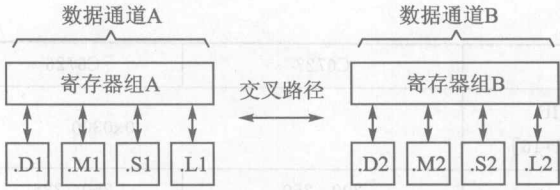


图 1-3 C67x+CPU 的数据通道

表 1-2 C67x+CPU 新增加的浮点指令

指 令	浮点运算		改 进
MPYSPDP	SP×DP	DP	快于 MPYDP,提高 FFT 运算
MPYSP2DP	SP×SP	DP	快于 MPYDP,提高 FIR 运算
ADDSP (新加入 S 单元)	SP + SP	SP	现在最高到 4 个并行浮点加法和减法运算,显著提高 FFT 和对称 FIR 性能
ADDDP (新加入 S 单元)	DP + DP	DP	
SUBSP (新加入 S 单元)	SP - SP	SP	
SUBDP (新加入 S 单元)	DP - DP	DP	

2. 内部程序/数据 RAM 和 ROM

C672x CPU 的程序/数据 ROM 和 RAM 的组织是简单有效的。ROM 由 2 个 256 位宽的页组成,每页包含 4 个 64 位宽的区,如图 1-4 所示;RAM 由 1 个 256 位宽的页组成,包含 8 个 32 位宽的区,如图 1-5 所示。

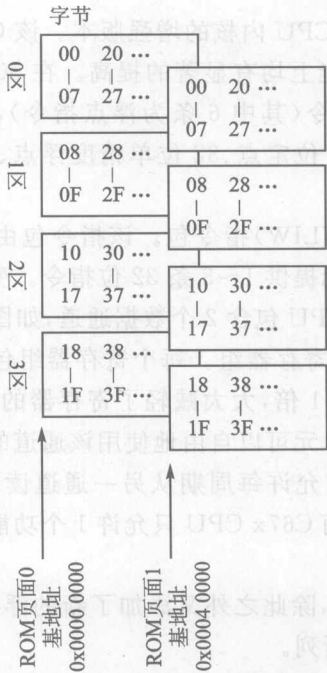


图 1-4 程序/数据 ROM 结构

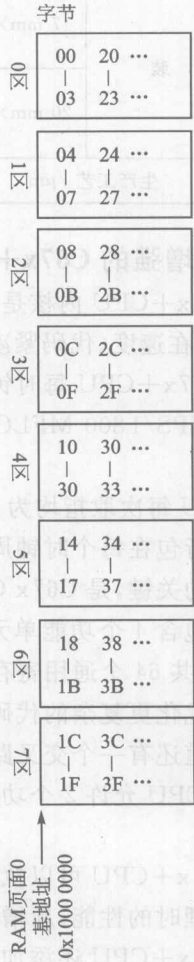


图 1-5 程序/数据 RAM 结构

存储控制器对片上大容量的 256 KB RAM 和 384 KB ROM 的程序和数据空间统一编址,而不像其他芯片那样,对程序和数据存储空间做固定的分割,因此在该芯片上的开发变得相对简单。存储控制器支持从 C67x+CPU 到 RAM 和 ROM 的单周期数据访问。在以下 4 种数据源中,最多可支持 3 种对内部 RAM 和 ROM 的并行访问:

- 从 C67x+CPU 发出的 2 个 64 位数据访问;
- 从内核和程序高速缓存(cache)发出的 256 位程序指令;
- 从外围系统(dMAX 或 UHPI)发出的 32 位数据访问。

只有访问相同页面时,才发生程序高速缓存的冲突;访问不同页面或相同页面不同区时,不会发生冲突。多页面多区域的 C672x 内存结构为 DSP 优化代码,为避免数据冲突提供了极大的方便。

3. 程序高速缓存

大容量(32 KB)程序高速缓存对大多数应用程序来说数据命中率更高,这可以有效缓解对片上存储器内程序/数据访问时的冲突,同时程序也能够片外存储器(例如 SDRAM)上高效执行程序。

C672x DSP 直接从 32 KB 的程序高速缓存执行程序,其连接内部 ROM/RAM 的通道宽度为 256 位,支持单周期访问、直接映射,可用模式有使能高速缓存、冻结高速缓存和旁路高速缓存。程序高速缓存控制寄存器如表 1-3 所列。

表 1-3 高速缓存控制寄存器

寄存器	字节地址	描 述
L1PISAR	0x2000 0000	L1P 无效(Invalidate)起始地址
L1PICR	0x2000 0004	L1P 无效控制寄存器

通过配置 CPU 内部寄存器 CSR 的[7:5]位,可以设置高速缓存的模式,如表 1-4 所列。通常只使用高速缓存使能模式,但高级用户也可以使用冻结和旁路模式调节性能。

表 1-4 高速缓存模式

CPU CSR[7:5]	高速缓存模式
000b	使能缓存,在某些 C6000 器件上意味着直接内存映射
010b	使能缓存
011b	冻结缓存,缓存缺失时不更新缓存
100b	旁路缓存,强迫缓存缺失,冻结缓存内容
其他值	保留

4. 高性能交叉通路

高性能交叉通路是不同总线控制器(CPU, dMAX, UHPI)与不同目标(外围设备和存储器)之间的中心集线器。这个交叉通路大部分相互连接,但某些通路(例如 UHPI 到外设的连接)例外。只要总线控制器和特定目的地址之间没有冲突,就可以通过该交叉通路并行进行多个数据传输。同一时钟周期内,当多个总线控制器访问同一目标时,则发生冲突,此时可根据固定的优先级确定数据的传输。dMAX 的级别最高,负责最关键的 I/O 传输,接下来是 UH-