



普通高等教育“十一五”国家级规划教材



EDA技术与应用

● 陈新华 主编

 机械工业出版社
CHINA MACHINE PRESS



普通高等教育“十一五”国家级规划教材

EDA 技术与应用

主 编 陈新华

副主编 王桂海 崔建明

主 审 王志功 胡广生

机械工业出版社

本书为普通高等教育“十一五”国家级规划教材，主要内容包括：EDA 技术；电路设计仿真软件 PSpice、Multisim8 的使用方法；可编程逻辑器件的工作原理、分类及应用；硬件描述语言 Verilog HDL 的语法要点与设计实例；数字集成软件 Quartus II、仿真软件 ModelSim、综合软件 Synplify Pro 等的使用方法及设计流程；EDA 技术综合设计实例。

本书内容全面，注重基础，理论联系实际，突出实用性，并使用大量图表说明问题，编写简明精炼、针对性强，设计实例都通过了编译，设计文件和参数选择都经过验证，便于读者对内容的理解和掌握。

本书配有免费电子课件，欢迎选用本书作教材的老师登录 www.cmpedu.com 下载或发邮件到 wbj@cmpbook.com 索取。

本书可作为高等工科院校电子电气信息类各专业“EDA 技术与应用”方面的教材或参考书，也可作为计算机仿真和计算机辅助设计的实训课程教材，还可作为广大电子设计人员的设计参考书或使用手册。

图书在版编目 (CIP) 数据

EDA 技术与应用/陈新华主编. —北京：机械工业出版社，2008.6
普通高等教育“十一五”国家级规划教材
ISBN 978-7-111-24279-6

I. E… II. 陈… III. 电子电路 - 电路设计：计算机辅助设计 - 高等学校：技术学校 - 教材 IV. TN702

中国版本图书馆 CIP 数据核字 (2008) 第 083090 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)
策划编辑：王保家 责任编辑：关晓飞 版式设计：霍永明
责任校对：陈延翔 封面设计：张静 责任印制：杨曦
北京机工印刷厂印刷 (兴文装订厂装订)
2008 年 8 月第 1 版第 1 次印刷
184mm × 260mm · 21.25 印张 · 526 千字
标准书号：ISBN 978-7-111-24279-6
定价：36.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换
销售服务热线电话：(010) 68326294
购书热线电话：(010) 88379639 88379641 88379643
编辑热线电话：(010) 88379727
封面无防伪标均为盗版

前 言

本书是针对当前电子设计自动化 (EDA) 技术发展日新月异, 系统设计、芯片设计和电路设计中的应用软件不断升级, 设计理念、设计手段不断提高的情况而编写的。在编写上突出理论与实践相结合的风格, 由浅入深地介绍了 EDA 技术、各种设计仿真软件的使用方法、可编程逻辑器件的概念和基本应用、EDA 综合设计等内容。

本书是作者多年教学改革成果, 其内容已经在多门课程中得到了实践, 尤其是在山东省精品课程“数字电子技术”的教学中得到了充分的验证, 证明本书紧跟当前科技发展的需要, 符合普通高等院校电子电气信息类专业“EDA 技术与应用”的教学要求。本书既可作为教材和参考书, 也可作为电子行业工程技术人员的入门读物和软件操作手册, 读者可以根据自己的需要对有关内容加以组合和取舍。本书所涉及的软件和程序均已通过了验证, 相关的软件和内容已制成光盘, 并将免费提供给采用本书的读者, 如有需要请联系: cxh lillian@sina.com。

本书由陈新华教授任主编, 王桂海副教授、崔建明副教授任副主编。第 1、4、5、6、7、8 章及附录 C、D、E 由陈新华编写; 第 2 章由崔建明编写; 第 3 章由王桂海编写; 第 9 章由王桂海、段贵宾、王贤坤、于国革编写; 附录 A、B 由王桂海、崔建明编写。另外, 桑圣锋、于国革、沈国新等同学还参与了第 6、7、8 章有关部分的编写。

本书由陈新华教授策划和统稿, 张德学博士对全书进行了审查并提出了修改意见, 王立华老师对部分章节进行了审查。沈国新、桑圣锋、于国革、焦汉明、王贤坤、陈文明等同学对相应的章节进行了检查和校对。

东南大学王志功教授担任本书主审, 对书稿的大纲和内容进行了全面的审阅和修改, 提出了很多宝贵意见。另外, 东南大学胡广生教授也参与了本书的审阅工作, 在此深表谢意。由于编者水平有限, 书中错误之处难免, 恳请广大读者批评指正。

本书配有免费电子课件, 欢迎选用本书作教材的老师登录 www.cmpedu.com 下载或发邮件到 wbj@cmpbook.com 索取。

编 者

目 录

前言

第 1 章 EDA 技术 1

- 1.1 EDA 技术简介 1
 - 1.1.1 EDA 技术的起源 1
 - 1.1.2 EDA 技术的发展趋势及特点 2
- 1.2 常用 EDA 软件介绍 3
 - 1.2.1 EDA 软件的分类 3
 - 1.2.2 EDA 技术的发展趋势 5
- 1.3 EDA 工程的设计流程 5
- 1.4 EDA 工程的设计方法 8
- 习题 8

第 2 章 电路设计仿真软件 PSpice 及其应用 9

- 2.1 PSpice 简介 9
- 2.2 PSpice 的有关要求和规定 9
- 2.3 PSpice 中电路的描述 10
- 2.4 PSpice 的主要分析仿真功能 14
- 2.5 PSpice 9.1 仿真平台操作及使用介绍 18
- 2.6 PSpice 9.1 应用设计举例 24
- 2.7 OrCAD Capture 仿真平台使用介绍 28
 - 2.7.1 OrCAD PSpice 绘制电路原理图 29
 - 2.7.2 OrCAD PSpice 电路设计 30
- 2.8 OrCAD Capture 仿真设计举例 32
 - 2.8.1 直流扫描分析的应用 32
 - 2.8.2 BJT 单管共射放大电路设计 34
 - 2.8.3 CMOS 单级放大电路 40
 - 2.8.4 PSpice 的两级放大电路放大器分析 43
 - 2.8.5 数字电路仿真分析 46
- 习题 47

第 3 章 电路设计仿真软件 Multisim8 50

- 3.1 Multisim8 的特点 50
- 3.2 Multisim8 的基本功能 51
- 3.3 Multisim8 用户界面及操作 52
 - 3.3.1 Multisim8 的主窗口界面 52
 - 3.3.2 主菜单栏 53
 - 3.3.3 工具栏 53
- 3.4 Multisim8 的元器件与元器件库 55
- 3.5 Multisim8 的虚拟仪器及其使用 58
- 3.6 电路的仿真与分析 59
 - 3.6.1 Multisim8 界面的设置 59
 - 3.6.2 创建应用电路 62
 - 3.6.3 电路仿真 67
 - 3.6.4 电路基本分析方法 68
- 3.7 仿真电路的后处理 81
 - 3.7.1 电路的统计信息报告 81
 - 3.7.2 导入/导出仿真电路的信息 85
 - 3.7.3 后处理器 88
- 3.8 Multisim8 设计仿真实例 92
 - 3.8.1 电路原理验证仿真实例 92
 - 3.8.2 模拟电子电路验证仿真实例 95
 - 3.8.3 数字电子电路验证仿真实例 101
- 习题 103

第 4 章 可编程逻辑器件 104

- 4.1 PLD 简介 104
 - 4.1.1 PLD 的发展 104
 - 4.1.2 PLD 的基本结构和特点 105
- 4.2 PLD 的编程原理和方式 106
 - 4.2.1 PLD 的编程原理 106
 - 4.2.2 PLD 的编程方式 109
- 4.3 PLD 的分类 111
 - 4.3.1 根据“与”阵列和“或”阵列是否可编程分类 112
 - 4.3.2 根据性能分类 113
- 4.4 CPLD 和 FPGA 115
 - 4.4.1 CPLD 116

4.4.2	FPGA	117	习题	215	
4.4.3	CPLD 和 FPGA 的差别与特点	119	第 7 章 仿真软件 ModelSim 及其应用	216	
4.5	Altera 公司的 PLD	120	7.1	ModelSim 简介	216
4.5.1	Altera 公司的 CPLD	121	7.2	ModelSim 的特点	217
4.5.2	Altera 公司的 FPGA	123	7.3	ModelSim 仿真流程	218
	习题	125	7.4	ModelSim 交互命令方式介绍	218
第 5 章 硬件描述语言 Verilog			7.5	ModelSim 批处理仿真文件和工作方式	219
HDL		126	7.6	ModelSim 的 Verilog HDL 测试平台设计	220
5.1	Verilog HDL 简介	126	7.7	ModelSim 仿真设计举例	223
5.2	Verilog HDL 的特点	126	7.7.1	4 位加法器的 ModelSim 仿真设计	223
5.3	Verilog HDL 重要的功能和概念	127	7.7.2	十进制计数器的 ModelSim 功能仿真设计	227
5.4	Verilog HDL 的语法规则与常规要素	128	7.7.3	十进制计数器的 ModelSim 时序仿真设计	230
5.5	Verilog HDL 代码的基本结构	131	习题	231	
5.6	Verilog HDL 的结构说明语句	141	第 8 章 综合软件 Synplify Pro 及其应用	232	
5.7	Verilog HDL 语句的顺序执行与并行执行	146	8.1	Synplify Pro 简介	232
5.8	Verilog HDL 模块的种类和描述	148	8.2	Synplify Pro 的特点	232
5.9	Verilog HDL 仿真语句	150	8.3	Synplify Pro 综合设计	233
5.9.1	Verilog HDL 仿真语句介绍	150	8.4	十进制计数器的 Synplify Pro 综合设计应用举例	250
5.9.2	Verilog HDL 仿真语句应用举例	152	8.4.1	十进制计数器前端设计	250
5.10	常用数字电路的 Verilog HDL 系统设计	153	8.4.2	十进制计数器的 Synplify Pro 综合设计	252
5.10.1	组合逻辑门电路系统设计	153	8.4.3	十进制计数器后端设计	252
5.10.2	时序电路系统设计	156	习题	254	
	习题	166	第 9 章 EDA 技术综合设计应用	255	
第 6 章 数字集成软件 Quartus II 及其应用		167	9.1	Multisim8 设计仿真应用实例	255
6.1	Quartus II 简介	167	9.1.1	模拟/数字混合电路系统设计仿真实例	255
6.2	Quartus II 的设计流程	167	9.1.2	高频电子电路设计仿真实例	259
6.3	Quartus II 的设计应用	168	9.2	基于多种 EDA 软件的数字电路系统设计实例	262
6.4	时序分析	191	9.2.1	模 60 计数器	262
6.5	基于 PowerPlay Power Analyzer Tool 的功耗估算	195	9.2.2	交通灯控制器	266
6.6	调用带参数的库元件	197	9.2.3	UART 数据接收发送器	271
6.7	SignalTap II 嵌入逻辑分析仪	202	9.2.4	FIFO 数据缓存器	284
6.7.1	SignalTap II 的使用	203			
6.7.2	SignalTap II 的设计举例	204			
6.7.3	波形仿真	210			
6.7.4	使用 SignalTap II 嵌入式逻辑分析仪进行实时测试	212			

VI

9.2.5 可编程并行接口 8255 芯片 293

习题 308

附录 309

附录 A 基于 PSpice 的仿真分析实验 309

附录 B 基于 Multisim8 的设计仿真实验 312

7.3 ModelSim 仿真器 218

7.4 ModelSim 交互命令方式介绍 218

7.5 ModelSim 批处理仿真文件和工程 219

7.6 ModelSim 的 Verilog HDL 仿真平台 220

7.7 ModelSim 仿真器中事例 223

7.7.1 十进制计数器的 ModelSim 仿真 223

7.7.2 十进制计数器的 ModelSim 仿真的设计 227

7.7.3 十进制计数器的 ModelSim 仿真的设计 230

7.7.4 十进制计数器的 ModelSim 仿真的设计 231

第 8 章 综合软件 Synplify Pro 及其应用 232

8.1 Synplify Pro 简介 232

8.2 Synplify Pro 的特点 232

8.3 Synplify Pro 综合设计 233

8.4 十进制计数器的 Synplify Pro 综合设计应用案例 230

8.4.1 十进制计数器综合设计 230

8.4.2 十进制计数器的 Synplify Pro 综合设计 232

8.4.3 十进制计数器综合设计 232

第 9 章 EDA 技术综合设计应用 232

9.1 Multisim 设计应用案例 232

9.1.1 模拟数字混合电路系统综合设计 232

9.1.2 离散数字电路设计应用案例 232

9.2 基于 EDA 软件的综合数字电路设计应用 232

9.2.1 离散数字电路 232

9.2.2 逻辑控制电路 236

9.2.3 LUT 可编程逻辑器件 237

9.2.4 FIFO 数据寄存器 238

附录 C 基于 Quartus II 的设计实验 318

附录 D 基于 ModelSim 和 Synplify Pro 的设计参考实验 326

附录 E Trex-C1 FPGA 开发板引脚表 328

参考文献 332

第 2 章 硬件描述语言 Verilog 126

2.1 Verilog HDL 简介 126

2.2 Verilog HDL 的特点 126

2.3 Verilog HDL 重要的功能和概念 127

2.4 Verilog HDL 的语法规范 128

2.5 Verilog HDL 代码的基本结构 131

2.6 Verilog HDL 的模块声明和调用 141

2.7 Verilog HDL 语句的并行执行 148

2.8 Verilog HDL 模块的声明和描述 148

2.9 Verilog HDL 仿真器 150

2.9.1 Verilog HDL 仿真器简介 150

2.9.2 Verilog HDL 仿真器的应用 152

2.10 常用数字电路的 Verilog HDL 描述 153

2.10.1 组合逻辑门电路系统综合设计 153

2.10.2 时序逻辑系统综合设计 156

第 6 章 数字集成电路 Quartus II 及其应用 167

6.1 Quartus II 简介 167

6.2 Quartus II 的工程设计 168

6.3 Quartus II 的设计应用 168

6.4 时序分析 191

6.5 基于 PowerPlay Power Analyzer Tool 的功耗分析 192

6.6 调用参数化的库元件 197

6.7 signalTap II 嵌入式分析器 202

6.7.1 signalTap II 的概述 202

6.7.2 signalTap II 的设计案例 204

6.7.3 数据流 210

6.7.4 使用 signalTap II 嵌入式分析器 212

第 1 章 EDA 技术

内容提要：本章主要介绍了 EDA 技术的概念、产生和发展历史，EDA 技术的应用领域及其发展前景，列举并介绍了一些常用的 EDA 软件。

电子设计自动化 (Electronic Design Automation, EDA) 是从计算机辅助设计 (CAD)、计算机辅助工程 (CAE) 等发展而来的。

1.1 EDA 技术简介

EDA 技术是以计算机为工作平台，以相关的 EDA 开发软件为工具，以大规模可编程逻辑器件 (包括 CPLD、FPGA、EPLD 等) 为设计载体，以硬件描述语言 (Hardware Description Language, HDL) 为系统逻辑描述的主要表达方式，自动完成系统算法和电路设计，最终形成电子系统或专用集成芯片的一门新技术。

EDA 技术研究的对象是电路或系统芯片设计的过程，可分为系统级、电路级和物理级三个层次。EDA 设计领域和内容，包括从低频、高频到微波，从线性到非线性，从模拟到数字，从可编程逻辑器件、通用集成电路到专用集成电路的电子自动化设计。

1.1.1 EDA 技术的起源

一般认为 EDA 技术的发展经历了 CAD、CAE 和 EDA 三个阶段。

1. CAD 阶段

20 世纪 60 年代之前，电子产品硬件系统设计大都采用分立元件。随着集成电路的出现和应用，硬件系统设计进入到 CAD 发展的初级阶段，该阶段的硬件设计大量选用中、小规模标准集成电路。20 世纪 70 年代，由于设计师对图形符号的使用数量有限，因此传统的手工布图方法无法满足产品复杂性的要求，更不能满足工作效率的要求，就产生了一些单独的工具软件，主要用于印制电路板 (PCB) 布线设计、电路模拟、逻辑模拟及版图的绘制等领域。这种应用计算机进行辅助设计的时期，就是 CAD 阶段。例如：PCB 布线软件 TANGO，用于电路模拟的 SPICE，以及后来的集成电路版图编辑与设计规则检查系统等软件，都是这个时期的产品。这时的设计方法和工具软件，虽然也可以利用计算机将设计人员从大量繁琐、重复的计算和绘图工作中解脱出来，但对于复杂的电子系统设计，当时的 EDA 软件设计能力和作用依然有限，主要是功能单一且相互独立，还不能提供系统的仿真与综合。

2. CAE 阶段

20 世纪 80 年代，随着计算机和集成电路规模的发展，使得工具软件和技术逐步完善和发展，在设计方法、设计软件和集成化方面有了很大的进步。各种 EDA 设计软件及元器件库齐全，且不同功能的设计软件之间的兼容性得到了很大的改善，不能兼容的软件受到了抵制和淘汰，逐步实现了不同设计功能软件的互相结合，形成了技术齐全、性能较高的一系列

EDA 软件, 进入了 CAE 的初级阶段。该阶段的硬件系统设计仍然使用大量不同型号的标准芯片来实现电子系统设计。

随着微电子工艺的发展, 相继出现了集成上万只晶体管的微处理器、集成几十万乃至上百万储存单元的随机存储器 and 只读存储器以及超大规模集成电路。此时推出的 EDA 软件大都以逻辑模拟、定时分析、故障仿真、自动布局和布线为核心, 重点解决电路设计完成之前的功能检测等问题。利用这些软件, 设计师能在产品制作之前预知该产品的功能与性能, 能生成产品制造文件, 使设计阶段对产品性能的分析前进了一大步, 这就是 CAE 阶段。

3. EDA 阶段

20 世纪 90 年代, 微电子技术飞速发展, 其工艺水平已达到了深亚微米级, 在一个芯片上可以集成上百万、上千万乃至上亿只晶体管, 芯片的工作频率可达到吉赫兹级, 硬件系统设计发展到了甚超大规模集成电路阶段, 这就使得片上系统 (System on Chip, SoC) 得到了快速的发展。

为了满足千差万别的用户提出的对电路系统的要求, 最好的办法是由用户自己设计芯片, 让他们把想设计的电路直接设计在自己的专用芯片上。这一阶段可编程逻辑器件飞速发展, 微电子厂家可以为用户提供各种规模的可编程逻辑器件, 使设计者通过它较快地设计出各种功能的电子系统。在这种形势下, 对电子设计软件提出了更高的要求, 促进了电子设计技术的飞速发展。

EDA 技术在这个阶段的主要发展表现在以下几个方面: 加强了 HDL 的数字电路与系统的研究与设计; 发展了高层次的仿真与综合; 提高了平面规划技术和物理版图技术的联合管理; 发展了 EDA 设计可综合和可测试技术, 促使 EDA 软件更加规范, 使得各种 EDA 软件优化组合, 便于集成管理。高性能电子系统设计软件的开发和发展, 促进了电子设计的发展, 硬件系统设计进入了 EDA 阶段。

1.1.2 EDA 技术的发展趋势及特点

1. EDA 技术的发展趋势

20 世纪 90 年代, EDA 技术的发展和成熟突出表现在以下几个方面:

功能强大的 EDA 软件不断推出; 随着专用集成电路 (Application Specific Integrated Circuit, ASIC) 设计水平的不断提高, FPGA (现场可编程门阵列) 和 CPLD (复杂可编程逻辑器件) 不断推出; 出现了基于 EDA 软件的 (ASIC 设计) 标准单元, 出现了已涵盖大规模电子系统的具有知识产权 (Intellectual Property, IP) 的核模块, 设计师逐步从使用硬件转向设计硬件, 从单个电子产品开发转向系统级电子产品开发。

ASIC 是指应特定用户要求和特定电子系统的需要而设计、制造的集成电路。FPGA 和 CPLD 是在 PAL、GAL、PLD 等可编程器件的基础上进一步发展而来的。它们是作为 ASIC 领域中的一种半定制电路而出现的, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点, 是目前较为流行的一种 EDA 技术。

IP 核是具有知识产权的集成电路设计技术, 是指那些已经过验证的、可重新利用的、具有某种确定功能的集成电路设计模块, 分为软 IP 核 (Soft IP Core)、固 IP 核 (Firm IP Core) 和硬 IP 核 (Hard IP Core)。软 IP 核是用某种高级语言 (如 C 或 HDL 等) 来描述功能块的行为, 但是并不涉及用什么电路和元器件来实现这些行为。固 IP 核除了完成软 IP 核

所有的设计外,还完成了门电路级综合和时序仿真等设计环节,一般以门电路级网表形式提交给用户使用。硬 IP 核则是完成了逻辑综合的功能块,有固定的拓扑布局布线和具体的工艺,并已经过工艺验证,具有高可靠性的集成电路版图掩膜(GDSII)。

SoC 高效低成本设计技术逐步成熟,系统级、行为级验证硬件描述语言不断出现(如 System C 和 System Verilog 等),使得复杂数字系统的设计验证得以简化,可以在 CPLD/FP-GA 上实现。可编程片上系统(System on a Programmable Chip, SoPC)即是一个在可编程芯片上实现特定功能的电路系统。

以上技术的飞速发展更加促进了 EDA 技术的发展,使得电子领域各学科的界限更加模糊,更加互为包容,如模拟与数字、软件与硬件、系统与器件等。除数字技术外,模拟电路方面也出现了模拟硬件描述语言和可编程模拟器件(Programmable Analog Device, PAD)。PAD 是近年来崭露头角的一类新型集成电路,它既属于模拟集成电路,又同可编程逻辑器件一样,可由用户通过现场编程和配置来改变其内部连接和元器件参数,从而获得所需要的电路功能。与数字器件相比,它具有简洁、经济、高速度、低功耗等优势;而与普通模拟电路相比,它又具有全集成化、适用性强、便于开发和维护(升级)等显著优点,并可作为模拟 ASIC 开发的中间媒介和低风险过渡途径,因此特别适用于小型化、低成本、中低精度电子系统的设计和实现,其应用将会日益广泛。除此之外,射频、数字信号处理、图像处理等领域都会涉及 EDA 技术。

2. EDA 技术的特点

从以上几个方面的论述可知,EDA 技术主要具有以下几个特点:

- ① 用软件的方式设计硬件。
- ② 用 EDA 软件可自动完成硬件系统设计。
- ③ 设计过程中可根据需要完成各种仿真。
- ④ 系统可现场编程、在线升级。
- ⑤ 整个系统可集成在一个芯片上,体积小、功耗低、可靠性高。

因此,EDA 技术是现代电子系统设计、电子电路设计发展的结晶和必然趋势,在电子产品生产企业中得到了越来越广泛的应用。

1.2 常用 EDA 软件介绍

随着科技的发展,EDA 软件在电子系统设计中所占的比重越来越高,其种类也越来越多。EDA 技术的核心是利用计算机实现电子电路设计的全程自动化,因此,基于计算机环境的 EDA 软件的支持是必不可少的。

EDA 软件分为可用于电路系统级设计的 EDA 软件、可用于集成电路(IC)设计的 EDA 软件、可用于电子产品电路板设计的 EDA 软件等。

1.2.1 EDA 软件的分类

EDA 软件可根据其服务的对象分为:用于电路级设计、分析的 EDA 软件,如 PSpice 和 Multisim8 等;用于数字电子电路设计的 EDA 软件,如 Quartus II 等;用于射频电子电路设计的 EDA 软件,如 ADS 等;用于电路板设计及电路仿真的 EDA 软件,如 Protel、EWB 等。

EDA 软件根据其设计模块大致分为设计输入编辑器、仿真器 (Simulator)、HDL 综合器 (Synthesizer)、适配器 (Place and Routing, P&R) 或布局布线器、下载器五大部分。有的软件 (例如 Quartus II) 将各种 EDA 软件集成在一起, 也有的只是集成几个特殊软件包中的一个或多个。

目前流行的 EDA 软件还有两种分类方法: 一种是按公司类别进行分类, 另一种是按功能进行分类。

若按公司类别分类, 大体可分为两类: 一类是 EDA 专业软件公司的 EDA 软件, 目前著名的公司有 Cadence、Synopsys 和 Mentor Graphics; 另一类是 PLD 厂商为了销售其产品而开发的 EDA 软件, 目前著名的厂商有 Altera、Xilinx、Lattice 等。前者独立于半导体器件厂商, 适合于学术研究单位使用, 但系统复杂、难于掌握且价格昂贵; 后者能针对自己器件的工艺特点做出优化设计的 EDA 软件, 这类软件不但可以提高资源利用率、降低功耗、改善性能, 而且可以用于系统设计和下载, 适合数字电子产品开发单位使用。

按功能分类, EDA 软件可分为:

1. 集成的 FPGA/CPLD 开发软件

这类软件由半导体公司提供, 基本上可以完成设计输入 (状态图、原理图或文本) → 仿真 → 综合 → 布线 → 下载到器件等 PLD 开发流程中的所有工作。目前业内较著名且具有良好的标准化和兼容性的此类软件有 Altera 公司的 Maxplus II、Quartus II, Xilinx 公司的 ISE, Lattice 公司的 ISP Design Expert 等。其优势是功能全且集成化, 可以加快动态调试, 缩短开发周期; 缺点是在综合和仿真环节与专业软件相比, 都不是最优秀的。

2. 综合类软件

这类软件的功能是对设计输入进行逻辑分析、综合和优化, 将硬件描述语句 (通常是系统级、寄存器级的描述语句) 翻译成最基本的与、或、非门的连接关系 (网表), 导出给 FPGA/CPLD 厂商的软件进行布局和布线。为了优化设计, 在进行较复杂的设计时, 基本上都使用这些专业的逻辑综合软件, 如 Synplicity 公司的 Synplify, Synopsys 公司的 FPGA express、FPGA Compiler II 等, 而不采用厂商提供的集成 FPGA/CPLD 开发软件。

3. 仿真类软件

这类软件的功能是对设计进行模拟仿真, 包括布局布线前的“功能仿真” (也叫“前仿真”) 和后端的包含了门延时、布线延时等的“时序仿真” (也叫“后仿真”)。复杂一些的设计, 一般需要使用专业的仿真软件。对于同样的设计输入, 专业仿真软件的仿真速度比集成环境中的速度快得多。此类软件著名的有 Model Technology 公司的 Modelsim, Cadence 公司的 NC-Verilog/NC-VHDL/NC-SIM 等。

4. 面向 ASIC 设计的软件

面向 ASIC 设计的 EDA 软件, 包括数字电路设计、模拟电路设计、数模混合设计、系统设计、仿真验证等电子设计的许多领域。这些软件对硬件环境要求高, 一般的运行平台要求是工作站、UNIX 或 Linux 操作系统, 其功能齐全、性能优良, 一般由专门开发 EDA 软件的公司提供, 如 Cadence、Mentor Graphics 和 Synopsys 等都有其特色工具。

以上介绍了一些具有代表性的 EDA 软件, 它们在性能上各有所长, 有的综合优化能力突出, 有的仿真模拟功能强, 好在多数工具能相互兼容, 具有互操作性。如 Altera 公司的 Quartus II, 就支持多种第三方的 EDA 软件, 用户可以在 Quartus II 中通过设置与第三方工

具的接口来实现基于 Modelsim 的仿真和基于 Synplify 的综合。

如果要设计的硬件系统不是很大,对综合和仿真的要求不是很高,那么可以在一个集成的开发环境(如 Quartus II 等)中完成整个设计流程。如果要进行复杂系统的设计,常规的方法是多种 EDA 软件协同工作,集各家之长来完成设计流程。

本书所介绍的 EDA 软件,主要是侧重可编程逻辑器件和电路系统级设计仿真开发等领域的 EDA 软件,如 Quartus II、Modelsim、Synplify、Pspice 和 Multism8 等。

1.2.2 EDA 软件的发展趋势

1. 具有混合信号处理功能

由于数字电路和模拟电路的特性不同,模拟电路 EDA 软件的发展远远落后于数字电路 EDA 软件。但是,由于物理量本身多以模拟形式存在,高性能复杂电子系统的设计往往离不开模拟信号。因此,20 世纪 90 年代以来,EDA 软件厂商都比较重视数模混合信号设计软件的开发。Cadence、Synopsys 和 Mentor Graphics 等公司开发的 EDA 软件已经具有了数模混合设计能力,这些 EDA 开发软件能完成含有模/数转换、数字信号处理、专用集成电路的混合系统设计。

2. 具有高效的仿真功能

在整个电子系统设计过程中,仿真是较重要的一部分工作,也是占用 EAD 软件时间最多的一个环节。电子系统设计的仿真过程分为设计前期的系统级仿真和设计过程中的电路级仿真两个阶段。系统级仿真主要验证系统的功能,如验证设计的有效性等;电路级仿真主要验证系统的性能,决定怎样实现设计,如测试设计的精度、处理和保证设计要求等。要提高仿真效率,一方面是要建立合理的仿真算法,另一方面是要更好地解决系统级仿真中系统模型的建模技术和电路级仿真中电路模型的建模技术。在未来的 EDA 技术中,仿真工具将有较大的发展空间。

3. 具有理想的逻辑综合和优化功能

逻辑综合功能是将高层次系统行为级设计自动翻译成门级逻辑的电路描述。优化则是对于上述综合生成的电路网表,根据逻辑方程功能等效的原则,用更小、更快的综合结果替代一些复杂的逻辑电路单元,根据指定目标库映射成新的网表。随着电子系统的集成规模越来越大,几乎不可能直接面向电路图做设计,要将设计者的精力从繁琐的逻辑图设计和分析中转移到设计前期算法开发上。这就要求 EDA 软件具有更强的逻辑综合、优化性能,能把设计者的算法完整高效地生成网表。

1.3 EDA 工程的设计流程

可编程逻辑器件的 EDA 工程设计流程如图 1-1 所示。

EDA 工程设计流程一般由以下六部分组成:

1. 源程序的编辑、编译和输入

利用 EDA 技术进行一项工程设计,首先需利用 EDA 软件的文本编辑器或图形编辑器将它用文本或图形方式表达出来,然后进行排错编译,变成 HDL 文件格式,为进一步的逻辑综合做准备。

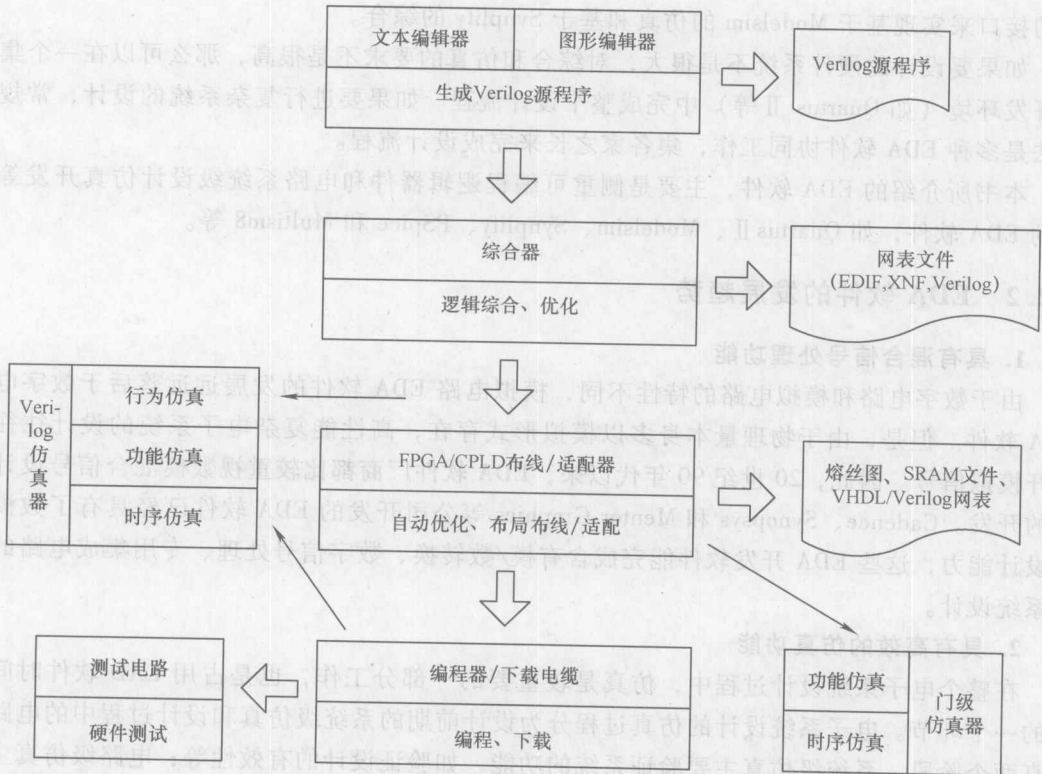


图 1-1 可编程逻辑器件的 EDA 工程设计流程

注：本图中□指整个模块；→指仿真。

常用的源程序输入方式有原理图输入方式、状态图输入方式、文本输入方式三种。

(1) 原理图输入方式

利用 EDA 软件提供的图形编辑器以原理图的方式进行输入，比较容易掌握，且直观方便，所画的电路原理图（注意，这种原理图与利用 Protel 画的原理图有本质的区别）与传统的元器件连接方式完全一样，很容易接受，而且编辑器中有许多现成的元器件可以利用，也可以根据需要自己设计元器件。

原理图输入法的缺点：

① 随着设计规模的增大，设计的易读性迅速下降，对于图中错综复杂的电路连线，极难搞清电路的实际功能。

② 一旦完成，电路结构的改变将十分困难，因为几乎没有可再利用的设计模块。

③ 移植、存档、交流、设计交付都有困难，因为不可能存在一个标准化的原理图编辑器。

(2) 状态图输入方式

以图形的方式表示状态图进行输入。当填好时钟信号名、状态转换条件、状态机类型等要素后，就可以自动生成 HDL 代码。这种设计方式简化了状态机的设计，比较流行。

(3) 文本输入方式

它是最一般化、最具普遍性的输入方式，任何支持 HDL 的 EDA 软件都支持文本方式的编辑和编译。

2. 逻辑综合和优化

所谓逻辑综合,就是将 EDA 电路设计的高级语言描述转换成低级语言的过程。HDL 仿真器的行为仿真功能是面向高层次的系统仿真,只能对 HDL 的系统描述作可行性的评估测试,不针对任何硬件系统,因此基于这一仿真层次的许多 HDL 语句不能被综合器所接受。综合器是软件描述与硬件实现的一座桥梁。逻辑综合过程就是将电路的高级语言描述(如文本、原理图或状态图的描述)转换成低级的,生成可与 FPGA/CPLD 或构成 ASIC 的门阵列基本结构相映射的网表文件。

3. 逻辑适配(可编程逻辑器件和 ASIC)

所谓逻辑适配,就是将综合器生成的网表文件,针对某一具体的可编程逻辑目标器件进行逻辑映射操作,包括底层器件配置、逻辑分割、逻辑优化、布线等操作,配置于指定的目标器件中,产生最终的下载文件,如 JEDEC 等格式的文件。由于可编程逻辑器件适配所选定的目标器件是 FPGA/CPLD 芯片,目标器件必须属于原综合器指定的目标芯片器件系列。对于一般的可编程模拟器件所对应的 EDA 软件来说,仅需包含一个适配器就可以了,如 Lattice 的 PAC-DESIGNER。通常,EDA 软件中的综合器可由专业的第三方 EDA 软件公司提供,而适配器则需由 FPGA/CPLD 供应商自己提供,因为适配器的适配对象直接与芯片结构相对应。

对于 ASIC 设计,这一步就是要实现后端版图的自动优化和布局布线。

4. 目标器件的编程/下载

适配器把综合器生成的网表文件,配置于指定的目标器件后,生成下载文件。如果编译、综合、布局布线/适配和行为仿真、功能仿真、时序仿真等过程都没有发现问题,即满足原设计的要求,就可以将由布局布线/适配器产生的配置/下载文件通过编程器或下载电缆载入目标 FPGA 或 CPLD 芯片中,通过自动优化和布局布线,实现系统设计功能。

5. 设计过程中的相关仿真

仿真是验证系统设计功能的重要环节,设计过程中的仿真有行为仿真、功能仿真和时序仿真三种。

行为仿真就是将 HDL 源代码直接送到 HDL 仿真器中所进行的仿真。该仿真只是根据 HDL 的语义进行的,与具体电路没有关系。在这种仿真中,可以充分发挥 HDL 中适用于仿真控制的语句及有关的预定义函数和库文件的优势。

功能仿真验证系统设计功能的正确性。

时序仿真验证则必须是系统设计经过综合编译和门级布局布线之后,针对硬件的检验和验证,与门的传输时间有关。一般情况下,时序仿真都有延迟。

6. 硬件仿真/硬件测试

硬件仿真是指通过相应的外部电路和设备进行仿真的过程。通过硬件系统对其进行测试,以进一步检测其正确性的过程称为硬件测试。该过程一般分为 ASIC 设计其前端功能的硬件仿真/硬件测试和 FPGA/CPLD 设计的硬件仿真/硬件测试两种。后者一般是下载到 FPGA/CPLD 芯片开发实验板上进行的;而对于 ASIC 芯片整体设计的硬件仿真/硬件测试,则是在由 ASIC 芯片组成的开发实验板上进行的。

1.4 EDA 工程的设计方法

1. 自顶向下的设计方法

以往的电子系统设计大都采用自底向上的设计方法，目前 EDA 技术中应用的是自顶向下的设计方法。自顶向下的设计方法是一种模块化设计方法，首先把要设计的电路系统总体功能划分成不同的功能模块，然后分别进行系统功能设计。这种设计的主要特点是：

- ① 对设计的描述从上到下逐步由粗略到详细，符合常规的逻辑思维习惯。
- ② 适合多个设计者同时进行设计。随着技术的不断进步，许多系统的设计由一个设计者已无法完成，由多个设计者分工协作完成一项设计的情况越来越多。

2. 系统的可测试性设计方法

在系统设计中，应该同时考虑功能检查和性能测试，即系统可测性的问题。一些有经验的设计者会自觉地在设计系统的同时加入设计观测电路，即观测器，以显示系统内部的工作状态。

建立观测器，应遵循以下原则：具有系统的关键点信号，如时钟信号、同步信号和状态信号等；具有代表性的节点和线路上的信号；具有简单的“系统工作是否正常”的判断能力。

3. 最优化设计方法

EDA 技术系统设计中，由于可编程逻辑器件的逻辑资源、连接资源和 I/O 资源有限，器件的速度和性能也是有限的，用器件设计系统的过程相当于求最优解的过程，因此需要给定两个约束条件，即边界条件和最优化目标，以实现最优化设计。

以上所述几个方面的具体内容将在后面章节中详细介绍。

习 题

- 1-1 什么是 EDA 技术？EDA 的英文全称是什么？
- 1-2 EDA 技术有什么特点？发展趋势是怎样的？
- 1-3 EDA 软件是如何分类的？各有什么特点？
- 1-4 EDA 技术主要包括哪几个方面的内容？这些内容在电子系统的设计中分别起什么作用？
- 1-5 什么是 SoC 和 SoPC 设计技术？
- 1-6 什么是 IP 核？IP 核分为几种？
- 1-7 什么是 ASIC？它分为几种？分别有什么特点？
- 1-8 简述 EDA 工程的设计流程，并说明这些流程分别有什么作用和特点？

第2章 电路设计仿真软件 PSpice 及其应用

内容提要: 本章介绍了电路设计仿真软件 PSpice 的特点, 使用设计流程, 设计仿真应用举例等方面的内容。

PSpice (Popular Simulation Program with Integrated Circuit Emphasis) 是可以应用于电路仿真、分析、设计的通用软件的简称。它是在美国加州大学伯克利分校 1972 年研发的电路仿真软件 SPICE 的基础上, 进行改进后应用于通用电路设计的软件。

2.1 PSpice 简介

PSpice 除包含了 SPICE 软件的仿真功能外, 在可靠性、收敛性及仿真速度等方面都有改进, 并扩展了许多功能。它可以进行各种各样的电路仿真、电路性能测试、电路设计, 可以实现激励建立、温度与噪声分析、模拟控制、波形输出、数据输出, 并在同一个窗口内同时显示模拟与数字的仿真结果。无论对哪种器件、哪些电路进行仿真, 包括 IGBT、脉宽调制电路、模/数转换、数/模转换等, 都可以得到精确的仿真结果。对于库中没有的元器件模块, 还可以自己编辑。PSpice 模拟器可以模拟被分析电路的直流特性、交流特性及瞬态特性, 可以进行温度特性、噪声特性及灵敏度等特性的分析, 电路工作频段可由低频段到微波段。

随着 PC 的发展, PSpice 不断完善, 它分为工业版 (Production Version) 和教学版 (Education Version)。整个软件由原理图编辑、电路仿真、激励编辑、元器件库编辑、波形图等几个部分组成, 使用时是一个整体, 但各个部分各有自己的窗口。

由于 PSpice 以图形输入方式进行仿真分析, 便于不太具备计算机专业知识的电路设计者快速进入该领域。利用它对电路、信号与系统进行辅助分析和设计, 对电子工程、信息工程和自动控制等领域工作的人员具有很高的实用价值, 因此得到业界广泛的欢迎和应用。目前, 在众多的计算机辅助分析与设计软件中, PSpice 是国内外工程技术人员、专家、学者公认的优秀 EDA 通用软件。

2.2 PSpice 的有关要求和规定

PSpice 以两种方式来编辑所要仿真的电路, 一种是 MicroSim Schematics, 另一种是 OrCAD Capture。目前较流行的版本为 PSpice 9.2, 工作于 Windows 95/98/NT 平台上, 要求是奔腾以上 CPU、32MB 内存、50MB 以上剩余硬盘空间、800 × 600 像素以上显示分辨率, 是功能强大的模拟电路和数字电路混合仿真软件。

PSpice 中的有关规定如下:

1. 数字

数字的格式可以为: 整数, 如 12, -5; 浮点数, 如 2.3845, 5.98601; 整数或浮点数

后面跟整数指数, 如 $6E - 14$, $3.743E + 3$; 也可在整数或浮点数后面跟比例因子, 如 $10.18k$ 。

2. 比例因子

为了使用方便, PSpice 中规定了 10 种比例因子。它们用特殊符号表示不同的数量级。它们是:

$T = 1E + 12$, $G = 1E + 9$, $MEG = 1E + 6$, $K = 1E + 3$, $MIL = 25.4E - 6$, $M = 1E - 3$, $U = 1E - 6$, $N = 1E - 9$, $P = 1E - 12$, $F = 1E - 15$

或 $t = 1E + 12$, $g = 1E + 9$, $meg = 1E + 6$, $k = 1E + 3$, $mil = 25.4E - 6$, $m = 1E - 3$, $u = 1E - 6$, $n = 1E - 9$, $p = 1E - 12$, $f = 1E - 15$

注意, PSpice 不区分大小写。

3. 单位

以米 (m)、千克 (kg) 和秒 (s) 为基本单位, 由此得到的其他电学单位可省略。如 10 、 $10V$ 表示同一电压数, $1000Hz$ 、 1000 、 $1E + 3$ 、 $1k$ 、 $1kHz$ 都表示同一个频率值, 同样, W 、 A 等单位在描述时均可省略。

4. 分隔符

在 PSpice 的有关编辑窗中输入多个参数值或表达式时, 数值之间或表达式之间用逗号或空格分开, 多个空格等效于一个空格。

5. 表达式编写规则

PSpice 中可以用表达式定义元器件参数值。例如, 电阻值为 $\{1k * (1 + P * Pcoeff / Pnom)\}$, 给定 $Pcoeff = -0.6$, $Pnom = 1.0$, P 从 0 变到 5 时, 可以分析电阻值按表达式的函数关系变化时电路的响应 (Global Parameter 分析)。注意, 参数值以变量或表达式出现时要用花括号 “{}” 括起来。

在波形后处理程序 Probe 中, 各种变量允许经过简单数学运算后输出显示。如在 Trace - Add 编辑窗中送入 $(V(Q1:c) - V(Q1:e)) * IC(Q1)$, 可得到 BJT 的功耗曲线。可以使用的运算符有 “+”、“-”、“*”、“/”、“()”, 还可进行下列函数运算 (字母大小写均可):

$$ABS(x)、|x|、SGN(x) = \begin{cases} +1 & x > 0 \\ 0 & x = 0 \\ -1 & x < 0 \end{cases}$$

2.3 PSpice 中电路的描述

在运行于 Windows 环境下的 PSpice 中, 均采用图形方式描述需要仿真的电路。即在 PSpice 提供的绘图编辑器中, 画出电路图, 并将其存为扩展名为 .sch 的图形文件 (计算机自动生成扩展名)。电路中用到的元器件、电源和信号源可从 PSpice 提供的库中直接调用。

一个完整的电路, 不仅包括电路的结构, 而且还包含各元器件、信号源及电源的有关参数。电路的结构可以通过元器件符号以及它们之间的连线来描述, 而参数则是在元器件属性 (Attributes) 中描述的, 元器件通常包括元器件符号名称、元器件在电路中的标号、元器件