

第1章 数字电路基础及逻辑门



本章介绍基本逻辑运算和逻辑门,包括 CMOS、TTL 集成逻辑门的结构、逻辑电平范围和应用。通过实验,使学习者可以掌握逻辑门知识并学会应用。

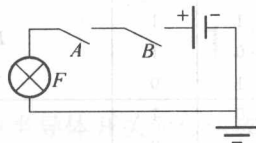
1.1 基本逻辑运算和逻辑门

数字电路研究的主要问题是输入、输出信号之间状态变化的逻辑关系,即电路的逻辑功能。数字信号的状态只用两个逻辑值 1 和 0 表示,对应于生活中开关的通、断以及指示灯的亮、灭等状态变化。在数字电路中,两个逻辑值 1、0 可分别代表高、低不同的电压范围,称其为高、低电平。一般有两种逻辑体制:正逻辑和负逻辑。正逻辑体制规定:高电平为逻辑值 1,低电平为逻辑值 0。负逻辑体制规定:低电平为逻辑值 1,高电平为逻辑值 0。如无特别说明,一般用逻辑值 1 表示高电平、逻辑值 0 表示低电平,即采用正逻辑体制。

数字输入信号的不同组合会产生不同的输出结果。在如图 1-1 所示电路中,开关 A、B 串联与灯 F 所形成的是“与”逻辑关系。其中图(a)是实际电路;图(b)是电路功能关系表;图(c)是所有输入、输出状态形成的真值表,这里开关 A、B 所对应的 1 值代表开关合上,灯 F 所对应的 1 值代表灯亮;用运算符将输入、输出变量连接起来形成的逻辑表达式为

$$F = A \cdot B$$

运算符“ $\cdot$ ”表示“与”运算。



(a)

A	B	F
OFF	OFF	灭
OFF	ON	灭
ON	OFF	灭
ON	ON	亮

(b)

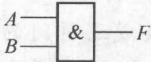
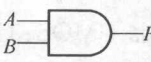
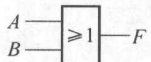
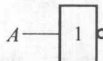
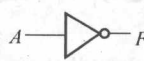
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

(c)

图 1-1 逻辑“与”关系图

以上介绍的开关与灯的逻辑关系,在生活中有许多实例。在电路中,这种“与”逻辑关系可用半导体开关元件实现。由半导体开关元件构成的逻辑器件称为逻辑门,上述逻辑关系就是逻辑器件中的“与”门。逻辑器件中基本的逻辑门有与门、或门、非门,其国标符号、国外符号、真值表、运算符、逻辑表达式见表 1-1。

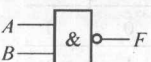
表 1-1 与、或、非基本逻辑门表示法

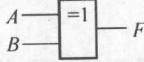
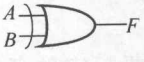
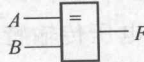
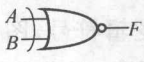
逻辑门	国标符号	国外符号	真值表			运算符	逻辑表达式
			A	B	F		
与门			0	0	0	·	$F = A \cdot B$
			0	1	0		
			1	0	0		
			1	1	1		
或门			0	0	0	+	$F = A + B$
			0	1	1		
			1	0	1		
			1	1	1		
非门			0		1	上横线	$F = \overline{A}$
			1		0		

1.2 复合逻辑运算和逻辑门

由基本逻辑门可以构成复合逻辑门。例如,与门串联非门形成与非门,或门串联非门形成或非门,与、或、非门的不同组合还能构成异或门、异或非门。在实际应用中,器件供应商已将组合好的复合逻辑门集成在芯片中,供设计时使用。复合逻辑门的国标符号、国外符号、真值表、逻辑表达式见表 1-2。

表 1-2 复合逻辑门表示法

逻辑门	国标符号	国外符号	真值表			逻辑表达式
			A	B	F	
与非			0	0	1	$F = \overline{AB}$
			0	1	1	
			1	0	1	
			1	1	0	
或非			0	0	1	$F = \overline{A+B}$
			0	1	0	
			1	0	0	
			1	1	0	

逻辑门	国标符号	国外符号	真值表			逻辑表达式
			A	B	F	
异或			0	0	0	$F = \overline{A}B + A\overline{B}$
			0	1	1	
			1	0	1	
			1	1	0	
异或非			0	0	1	$F = \overline{A}\overline{B} + AB$
			0	1	0	
			1	0	0	
			1	1	1	

如图 1-2 所示,由非、与、或门构成的组合电路,其逻辑表达式为 $F = \overline{A}B + A\overline{B}$,与异或门逻辑功能相同。在实际应用中,两地控制一盏灯亮、灭就可以采用异或门完成。如图 1-3 所示电路, S_1 代表楼上开关, S_2 代表楼下开关。平时两个开关全断开,逻辑门的输入通过电阻 R_1 、 R_2 上拉为高电平,使异或门输入都是逻辑值 1,其输出为逻辑值 0,则发光二极管不亮。当开关 S_1 、 S_2 有一个合上,使逻辑门的一个输入变为逻辑值 0,则逻辑门的输出变为逻辑值 1,发光二极管亮,此时合上另一个开关,异或门输入全为逻辑值 0,则输出变为逻辑值 0,发光二极管灭。这样,达到两地控制一盏灯亮、灭的目的。

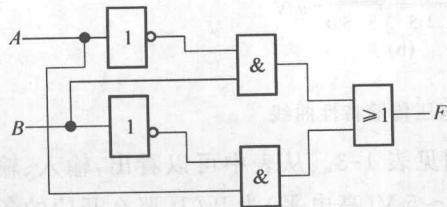


图 1-2 逻辑门构成的组合电路

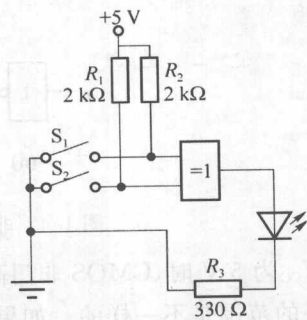


图 1-3 逻辑门的应用

1.3 集成逻辑门

逻辑门由半导体开关元件构成,将这些开关元件与电阻等集成在一起,构成集成逻辑门。由互补金属氧化物半导体(Complementary Metal Oxide Semiconductor)材料构成的集成逻辑门,称 CMOS 逻辑门。由晶体管-晶体管逻辑(Transistor-Transistor-Logic)材料构成的集成逻辑门,称 TTL 逻辑门。

1.3.1 CMOS 集成逻辑门

CMOS 集成逻辑门具有工艺简单、集成度高、抗干扰能力强、静态功耗低、工作稳定性好、开关速度高等优点,广泛应用于数字电子产品中。

1. CMOS 逻辑电平

CMOS 逻辑门作为开关元件,其开、关需要一定的条件。下面通过非门(也称反相器)的输出电压 u_o 随输入电压 u_i 变化的电压传输特性曲线,来分析元件的开、关条件与逻辑电平的关系。如图 1-4(a)所示为非门的逻辑符号,图(b)为电压传输特性曲线。从曲线中可以看到,在 1.5~3.5 V 输入电压范围内,不容易确定输出状态。为保证元件工作稳定可靠,设计者为逻辑门的使用制定了电平范围标准,从器件制造到设计使用都需要遵守这一标准。

(1) 输出高电平电压范围为 $V_{CC}-0.1\text{ V}\sim V_{CC}$ 。

(2) 输出低电平电压范围为 $0\sim 0.1\text{ V}$ 。

(3) 输入高电平电压范围为 $0.7V_{CC}\sim V_{CC}$ 。

(4) 输入低电平电压范围为 $0\sim 0.3V_{CC}$ 。

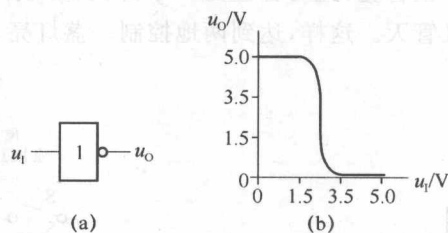


图 1-4 非门逻辑符号及电压传输特性曲线

当 V_{CC} 为 5 V 时,CMOS 非门高、低电平范围见表 1-3。从表中可以看出,输入、输出高低电平的范围是不一样的。如果认为输出 4.9~5 V(高电平)为开门,那么开门的条件是 0~1.5 V(低电平);如果认为输出 0~0.1 V(低电平)为关门,那么关门的条件是 3.5~5 V(高电平)。

表 1-3 CMOS 器件高、低电平范围表(+5 V)

输入信号电压范围	输出信号电压范围
0~1.5 V(低电平)	4.9~5 V(高电平)
3.5~5 V(高电平)	0~0.1 V(低电平)

2. CMOS 逻辑门电路

CMOS 逻辑门电路是由 N 沟道 MOS 管和 P 沟道 MOS 管互补而成。如图 1-5(a)表

示 NMOS 管的符号。当栅、源极电压 $u_{GS}=0\text{ V}$ 时, MOS 管截止, 漏、源极间电阻 R_{DS} 非常大, 至少 $1\text{ M}\Omega$, 相当于漏、源极间开路, 把漏、源极看成开关, 相当于是开关断开; 在栅、源极间加正向电压, 随着 u_{GS} 的增加, 漏、源之间的等效电阻 R_{DS} 随之变小, 当 u_{GS} 大于开启电压, NMOS 管导通, 此时 R_{DS} 非常小(约 $10\ \Omega$), 相当于漏、源极间的开关闭合。

图(b)表示 PMOS 管的符号。当 $u_{GS}=0\text{ V}$ 时, MOS 管截止, R_{DS} 非常大, 至少 $1\text{ M}\Omega$, 相当于漏、源极间开路, 把漏、源极看成开关, 相当于是开关断开; 在栅、源极间加负电压, 即源极电压大于栅极电压。随着源极电压的升高, 漏、源之间的等效电阻 R_{DS} 随之变小, 当源极电压大于管子开启电压, PMOS 管导通, 此时 R_{DS} 非常小, 相当于漏、源极间的开关闭合。

(1) 非门

NMOS 管和 PMOS 管互补形成 CMOS 逻辑器件。最简单的 CMOS 逻辑器件是非门, 电路如图 1-6(a) 所示。 V_{CC} 是电源端, 一般取 5 V 。当 u_1 输入电压为 0 V 时, NMOS 管 T_2 截止; 但对于 PMOS 管 T_1 , 它的 $u_{GS}=-5\text{ V}$, 因此 PMOS 管导通, 它的等效电阻非常小, 于是输出电压 u_O 约为 5 V , 称其为高电平, 正逻辑用 H 或 1 表示。

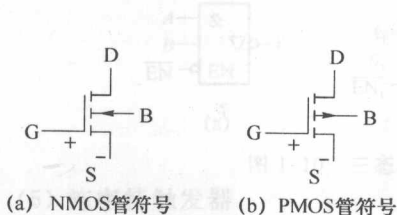


图 1-5 MOS 管符号

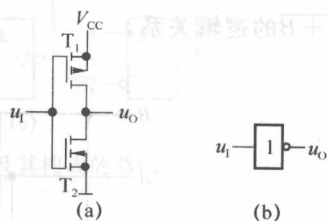


图 1-6 CMOS 非门

当输入电压 u_1 为 5 V 时, NMOS 管 T_2 导通; 但对于 PMOS 管 T_1 , 它的 $u_{GS}=0\text{ V}$, 因此 PMOS 管截止。NMOS 管导通后的等效电阻非常小, 于是输出电压 u_O 约为 0 V , 称其为低电平, 正逻辑用 L 或 0 表示。非门的输入/输出功能表、真值表见表 1-4、表 1-5。电路的逻辑符号如图 1-6(b) 所示, 实现 $u_O=\overline{u_1}$ 的逻辑关系。

表 1-4 非门的功能表

u_1	T_2	T_1	u_O
0 V(L)	OFF	ON	5 V(H)
5 V(H)	ON	OFF	0 V(L)

表 1-5 非门的真值表

u_1	u_O
0	1
1	0

(2) 与非门

如图 1-7(a) 所示, 是一个两输入的 CMOS 与非门电路。当 A、B 两个输入端均为高电平时, T_2 、 T_4 导通, T_1 、 T_3 截止, 输出为低电平。当 A、B 两个输入端中只要有一个为低

电平时, T_2 、 T_4 中必有一个截止, T_1 、 T_3 中必有一个导通, 输出为高电平。电路的逻辑符号如图 1-7(b) 所示, 实现 $Y = \overline{AB}$ 的逻辑关系。

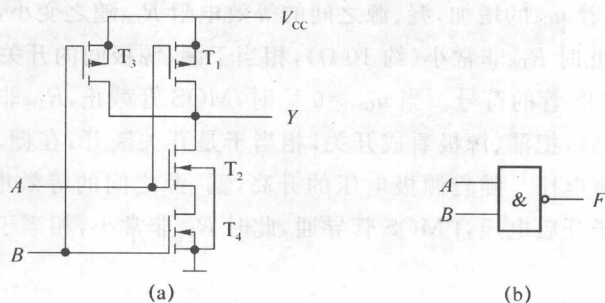


图 1-7 CMOS 与非门

(3) 或非门

CMOS 或非门电路如图 1-8(a) 所示。当 A 、 B 两个输入端均为低电平时, T_2 、 T_4 截止, T_1 、 T_3 导通, 输出 Y 为高电平; 当 A 、 B 两个输入中有一个为高电平时, T_2 、 T_4 中必有一个导通, T_1 、 T_3 中必有一个截止, 输出为低电平。电路的逻辑符号如图 1-8(b) 所示, 实现 $Y = \overline{A+B}$ 的逻辑关系。

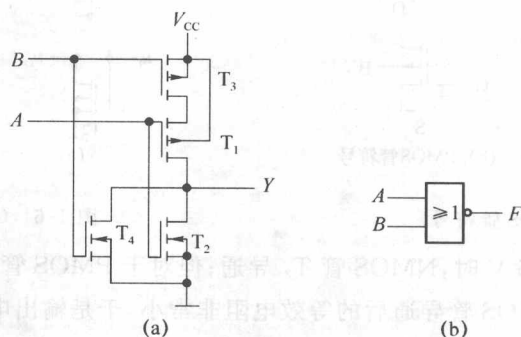


图 1-8 CMOS 或非门

(4) 三态门

CMOS 三态门是在普通逻辑门电路上, 增加了控制端和控制电路构成。如图 1-9(a) 所示是 CMOS 三态门结构。它是在非门的基础上增加了一对 P 沟道 MOS 管 T'_1 和 N 沟道 MOS 管 T'_2 。当控制端 $\overline{EN} = 1$ 时, T'_1 和 T'_2 同时截止, 输出呈高阻态; 当控制端 $\overline{EN} = 0$ 时, T'_1 和 T'_2 同时导通, 非门正常工作。因而这是 $\overline{EN}$ 低电平有效的三态门, 其逻辑符号如图(b)所示。

二输入三态与非门逻辑符号如图 1-10(a) 所示。当使能端 $\overline{EN}$ 为低电平有效时, $Y = \overline{AB}$ 。当使能端 $\overline{EN}$ 为高电平时, 输出呈现高阻态。利用三态门可以实现总线(信息传输的公共通道)结构, 如图(b)所示。只要控制各个门的使能端 $\overline{EN}$ 只有一个为 0, 就可以

把各个门的输出信号轮流传输到总线上。

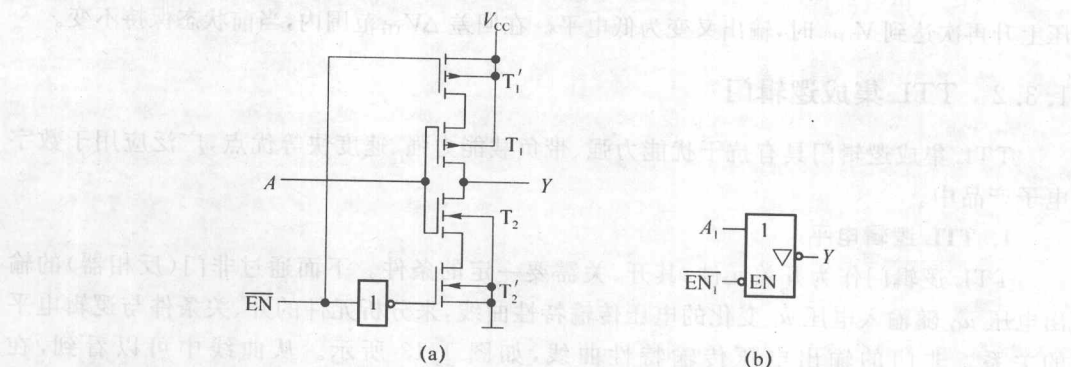


图 1-9 CMOS 三态门结构及逻辑符号

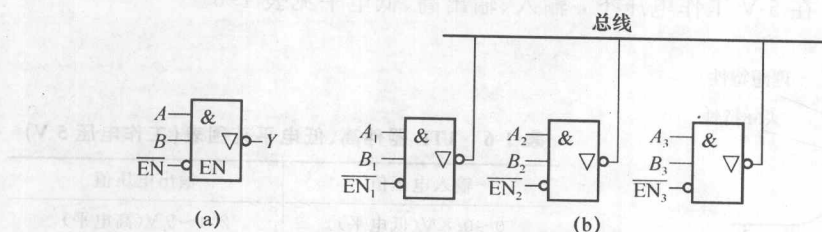


图 1-10 三态与非门逻辑符号及其构成的总线

(5) 施密特触发器

无论是脉冲电路产生的时钟脉冲信号,还是传感器产生的脉冲信号,往往都不符合电路要求。需要对其进行整形,使之符合要求。脉冲信号的整形可采用专用整形电路——施密特触发器——进行。施密特触发器有一种回差特性,利用该特性可以将波形较差的矩形波、正弦波、锯齿波、三角波等非矩形波转换成矩形波。除此之外,施密特触发器还可用于脉冲信号的鉴幅及滤除信号中幅度较小的干扰噪声等。

施密特触发器的回差指输出状态翻转的两个输入转折电压差。上端转折电压称为上限阈值电压 V_{TH+} 、下端转折电压称为下限阈值电压 V_{TH-} ,这两个电压的差值称为回差 ΔV_{TH} ,如图 1-11(a)所示,其逻辑符号如图(b)所示。施密特触发器将输入锯齿波整形为方波的波形如图 1-12 所示。

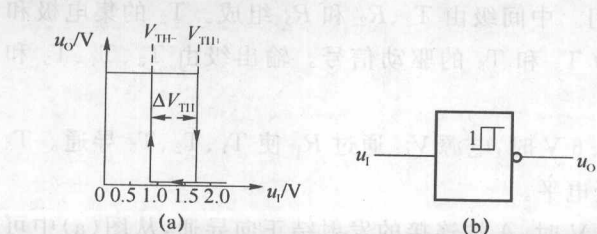


图 1-11 施密特触发器回差特性及逻辑符号

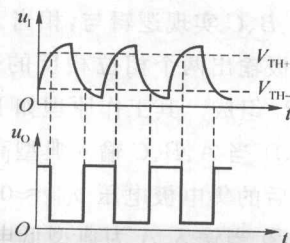


图 1-12 用施密特触发器对脉冲整形

当 $u_i > V_{TH+}$ 时, 输出变为低电平; 当输入电压下降到 V_{TH-} 时, 输出才变为高电平; 当电压上升再次达到 V_{TH+} 时, 输出又变为低电平。在回差 ΔV_{TH} 范围内, 当前状态保持不变。

1.3.2 TTL 集成逻辑门

TTL 集成逻辑门具有抗干扰能力强、带负载能力强、速度快等优点, 广泛应用于数字电子产品中。

1. TTL 逻辑电平

TTL 逻辑门作为开关元件, 其开、关需要一定的条件。下面通过非门(反相器)的输出电压 u_o 随输入电压 u_i 变化的电压传输特性曲线, 来分析元件的开、关条件与逻辑电平的关系。非门的输出电压传输特性曲线, 如图 1-13 所示。从曲线中可以看到, 在 $0.8 \sim 2.0$ V 电压范围内, 不容易确定输出状态。为此, 设计者对其输入、输出状态制定了电平范围标准。在 5 V 工作电压下, 输入、输出高、低电平见表 1-6。

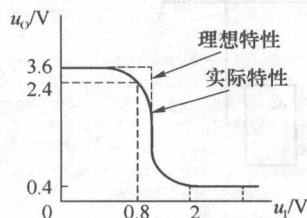


表 1-6 TTL 器件高、低电平范围表(工作电压 5 V)

输入电压值	输出电压值
0~0.8 V(低电平)	2.4~5 V(高电平)
2~5 V(高电平)	0~0.4 V(低电平)

图 1-13 电压传输特性曲线

从表 1-6 可以看出, 输入、输出的高低电平范围是不一样的。如果认为输出 $2.4 \sim 5$ V(高电平)为开门, 那么开门的条件是 $0 \sim 0.8$ V(低电平); 如果认为输出 $0 \sim 0.4$ V(低电平)为关门, 那么关门的条件是 $2 \sim 5$ V(高电平)。

2. TTL 门电路

(1) 3 输入与非门

前面介绍了 2 输入与非门, 这里通过 3 输入与非门的结构, 介绍 TTL 门电路的工作原理。3 输入与非门电路如图 1-14(a) 所示, 由输入级、中间级和输出级 3 部分组成。逻辑符号如图(b)所示。输入级由多发射极晶体管 T_1 和电阻 R_1 组成, 其作用是对输入变量 A、B、C 实现逻辑与, 相当于一个与门。中间级由 T_2 、 R_2 和 R_3 组成。 T_2 的集电极和发射极输出两个相位相反的信号, 作为 T_3 和 T_5 的驱动信号。输出级由 T_3 、 T_4 、 T_5 和 R_4 、 R_5 组成。其工作原理如下。

① 当 A、B、C 输入典型高电平值 3.6 V 时, 电源 V_{CC} 通过 R_1 使 T_1 、 T_2 、 T_5 导通。 T_5 导通后的集电极电压 $u_{CE5} \approx 0.3$ V, 为低电平。

② 当输入 A 为典型低电平值 0.3 V 时, A 端连接的发射结正向导通, 从图(a)中可知, T_1 基极电位为 $0.3 + 0.7 = 1.0$ V, 此电压使 T_2 、 T_5 均截止, 而此时 T_2 的集电极电压

可以使 T_3 、 T_4 导通。因此输出电压 $u_O \approx V_{CC} - V_{BE3} - V_{BE4} = 5 - 0.7 - 0.7 = 3.6 \text{ V}$, 为高电平。当输入全为高电平时, 输出为低电平; 当输入端至少有一个为低电平时, 输出为高电平。即输入全为 1 时, 输出为 0; 输入有 0 时, 输出为 1。由此可见, 电路的输出与输入之间满足与非逻辑关系, 即 $Y = \overline{ABC}$ 。

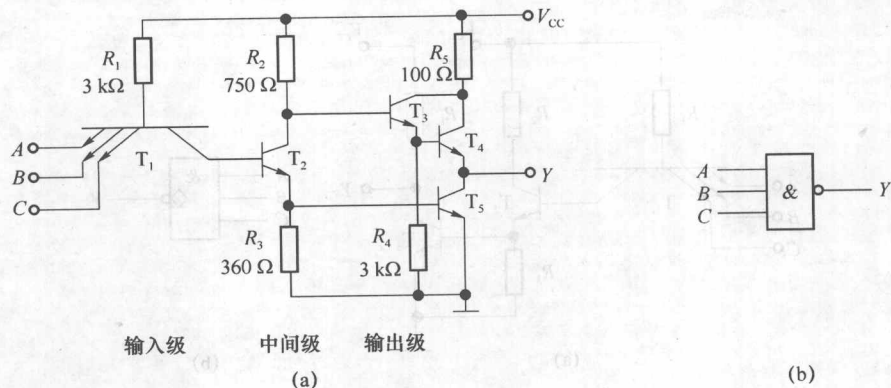


图 1-14 TTL 集成与非门电路图及逻辑符号

(2) 集电极开路门(OC 门)

在实际使用中, 需要将几个逻辑门的输出端相连, 这种输出直接相连, 实现输出与功能的方式称为“线与”。如图 1-15 所示电路可实现“线与”功能, $Y = Y_1 \cdot Y_2$ 。

但是普通 TTL 与非门的输出端是不允许直接相连的。因为当一个门的输出 Y_1 为高电平(T_5 管截止)、另一个 Y_2 为低电平(T_5 管导通)时, 将有一个很大的电流从 V_{CC} 经 Y_1 流到 Y_2 , 再经 T_5 管流到地, 如图 1-16 所示。这个电流不仅会使 T_5 管的输出电平抬高而破坏电路的逻辑关系, 还会因功耗过大而损坏该门电路。

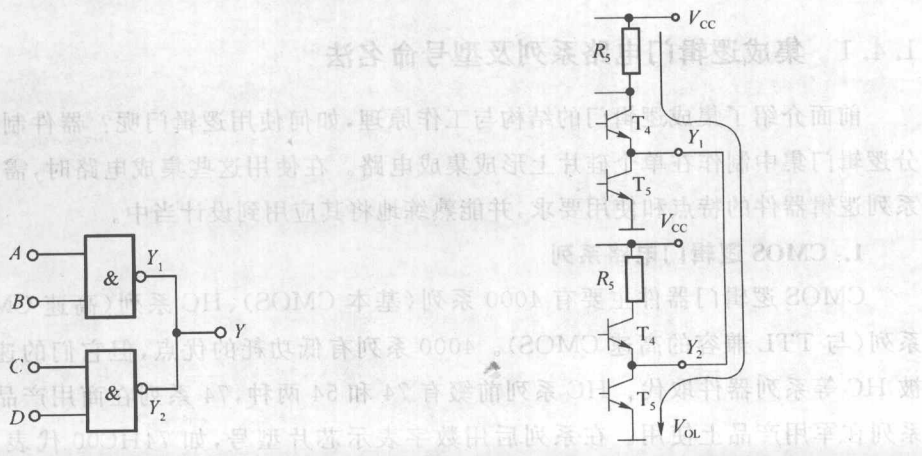


图 1-15 与非门“线与”

图 1-16 与非门的“线与”连接图

为使 TTL 逻辑门能直接相连,实现“线与”功能,将图 1-14 中 T_5 的集电极断开,经外接电阻 R_L 接通电源,电路才能实现与非逻辑及“线与”功能,电路如图 1-17(a)所示,并将其集成在芯片中,构成集电极开路的 TTL 与非门,简称 OC(Open Collector)门,其逻辑符号如图(b)所示。

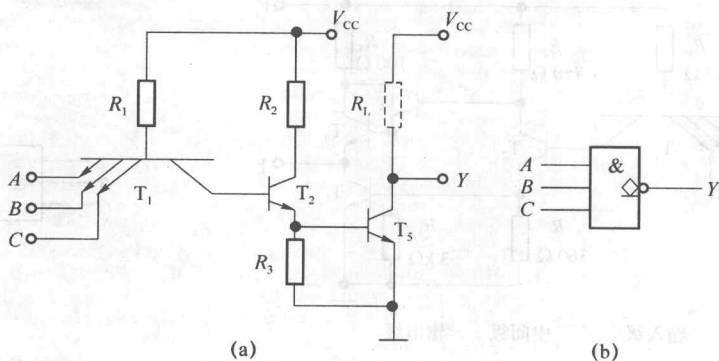


图 1-17 OC 门电路

OC 门主要用于以下 3 个方面:

- 实现“线与”;
- 用于接口电路,实现电平转换;
- 带负载能力强,可用于满足不同输出电压的要求。

1.4 集成逻辑门的选择和使用

1.4.1 集成逻辑门电路系列及型号命名法

前面介绍了集成逻辑门的结构与工作原理,如何使用逻辑门呢? 器件制造商已将部分逻辑门集中制作在单个硅片上形成集成电路。在使用这些集成电路时,需要掌握各种系列逻辑器件的特点和使用要求,并能熟练地将其应用到设计当中。

1. CMOS 逻辑门电路系列

CMOS 逻辑门器件主要有 4000 系列(基本 CMOS)、HC 系列(高速 CMOS)、HCT 系列(与 TTL 兼容的高速 CMOS)。4000 系列有低功耗的优点,但它们的速度低,逐渐被 HC 等系列器件取代。HC 系列前缀有 74 和 54 两种,74 系列在商用产品上使用,54 系列在军用产品上使用。在系列后用数字表示芯片型号,如 74HC00 代表 4-2 输入与非门。

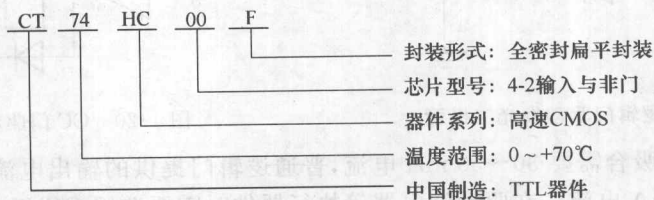
2. TTL 逻辑门电路系列及型号的命名法

TTL 器件型号组成见表 1-7。

表 1-7 TTL 器件型号组成

第 1 部分		第 2 部分		第 3 部分		第 4 部分		第 5 部分	
型号前缀		符号温度范围		器件系列		器件品种		封装形式	
符号	意义	符号	意义	符号	意义	符号	意义	符号	意义
CT	中国制造的 TTL 类器件	54	$-55 \sim +125^{\circ}\text{C}$		标准	阿 拉 伯 数 字	器 件 功 能	W	陶瓷扁平
				H	高速			B	封装扁平
				S	肖特基			F	全密封扁平
SN	美国 TEXAS 公司器件	74	$0 \sim +70^{\circ}\text{C}$	LS	低功耗肖特基			D	陶瓷双列直插
				AS	先进肖特基			P	塑料双列直插
				ALS	先进低功耗肖特基			J	黑陶瓷双列直插
				FAS	快捷肖特基				

举例如下。



3. 引脚的识别方法

集成电路有多种封装形式,常用双列直插式(DIP)封装。如图 1-18 所示为双列直插式芯片 74LS00 的引脚排列。双列直插器件有两列引脚。从正面看,器件一端有一个半圆的缺口,这是正方向的标志。缺口左边的引脚号为 1,其他引脚号按逆时针方向增加。此外,引脚 1 附近有一个小圆形标志。器件右下角的引脚是 GND,左上角的引脚是 V_{CC} 。例如,14 引脚器件的引脚 7 是 GND,引脚 14 是 V_{CC} ;20 引脚器件的引脚 10 是 GND,引脚 20 是 V_{CC} 。双列直插式封装 IC(集成电路)引脚数有 8、14、16、20、24、28 等若干种。

在生产实践过程中,对集成逻辑门电路如何提高工作速度、降低功耗、加强抗干扰能力以及提高集成度等方面提出更新、更高的要求。目前常用的集成电路有 CT54/74(普通)、CT54/74HC(高速 CMOS)、CT54/74S(肖特基)和 CT54/74LS(低功耗)、CT54/74HCT(高速 CMOS、TTL 兼容)等系列。在门电路中,无论是哪一种系列,只要芯片型号相同,那么器件功能就相同,只是性能不同。如 74HC00、74HCT00、74LS00 全是 4-2 输入与非门,其引脚排列一样。本书统一用 X 代替各器件系列,如 74HC00 或 74LS00,不特殊注明时用 74X00 代替。

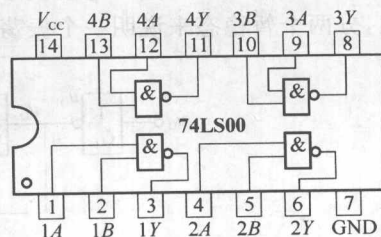


图 1-18 74LS00 引脚图

1.4.2 集成逻辑门的使用

1. 逻辑门驱动发光二极管

普通的发光二极管要求有 10 mA 的电流才能正常发光,发光时的管压降约为 1.6 V。如图 1-19 所示,当非门 A 端输入逻辑值 0 时,输出高电平能驱动发光二极管发光;当非门 A 端输入逻辑值 1 时,非门输出低电平,二极管不发光。

2. OC 门驱动继电器

如图 1-20 所示,OC 门 74LS07 输出接继电器一端,继电器另一端接 +5 V,此两端接一个反向保护二极管。当 A 端输入高电平时,OC 门也输出高电平,继电器不动作;当 A 端输入低电平时,则输出变为低电平,此时继电器线圈有电流流过,继电器吸合,接通电灯回路,灯泡发光。

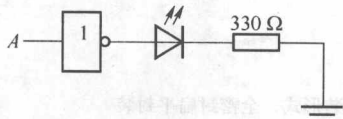


图 1-19 逻辑门驱动发光二极管

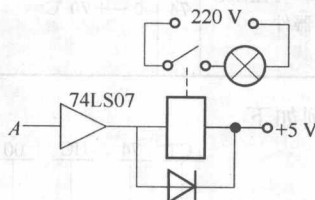


图 1-20 OC 门驱动继电器

继电器线圈吸合需要 30~50 mA 电流,普通逻辑门提供的输出电流小于 20 mA,OC 门可以提供 40 mA 电流。在驱动继电器等执行器件时需要选用 OC 门来完成任务。

3. 多谐振荡器

多谐振荡器是一种自激振荡电路,它无需外接触发信号就能产生一定频率和幅值的矩形脉冲波或方波。由于矩形脉冲包含丰富的谐波分量,所以称为多谐振荡器。多谐振荡器的电路形式很多,常用的有 RC 环形多谐振荡器,其电路如图 1-21 所示。3 个非门首尾相接,构成一个闭合回路以确保电路振荡;接入 RC 电路,既增大了环路的延迟时间,又可通过改变 R、C 的数值,改变振荡频率。图中电阻 R_1 很小, A 点电位近似等于 u_{i3} 。电源接通后,电路中各点的电压波形如图 1-22 所示。现取电路振荡后的某一时刻 t_1 为起点,分两个暂稳态来说明一个振荡周期的工作过程。

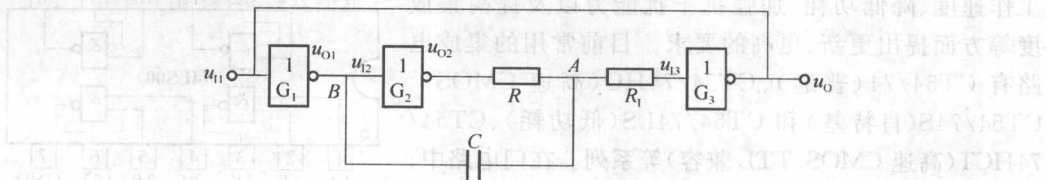


图 1-21 RC 环形多谐振荡器

(1) 初始状态($0 < t < t_1$)。在初始状态, $u_O(u_{i1})$ 为低电平 0, $u_{O1}(u_{i2})$ 为高电平 1, u_{O2} 为低电平 0, 电路尚处于前一个暂稳状态, u_{O1} 经电阻 R 对电容 C 充电, 使 A 点电位按指数

规律下降。

(2) 第一个暂稳态($t_1 \sim t_2$)。在 $t=t_1$ 时刻, A 点电位 $u_A(u_{13})$ 下降到阈值电压 V_{TH} (逻辑门状态翻转时的输入电压), u_O 便由 0 跳变到 1, u_{O1} 由 1 跳变到 0。 u_{O1} 的下跳, 一方面使 u_{O2} 由 0 跳变到 1, 另一方面由于电容两端电压不能突变, A 点电位也相应下跳, 确保在一定的时间内 u_O 为 1。在此期间, u_{O2} 经电阻 R 对电容 C 进行反充电, 使 A 点电位按指数规律上升, 只要 $u_A < V_{TH}$, u_O 便为 1。

(3) 第二个暂稳态($t_2 \sim t_3$)。在 $t=t_2$ 时刻, A 点电位 u_A 上升到阈值电压 V_{TH} , u_O 由 1 跳变到 0, u_{O1} 由 0 跳变到 1, u_{O1} 的高电平一方面使 u_{O2} 由 0 跳变到 1, 另一方面由于电容两端电压不能突变, 使 u_A 也相应上跳, 确保在一定时间内 u_O 为 0。在此期间 u_{O1} 经 R 对电容 C 充电, 使 A 点电位 u_A 按指数规律减小。只要 $u_A > V_{TH}$, u_O 便为 0。当 u_A 减小到 V_{TH} 时的情况与第一个暂稳态期间的过程相同。

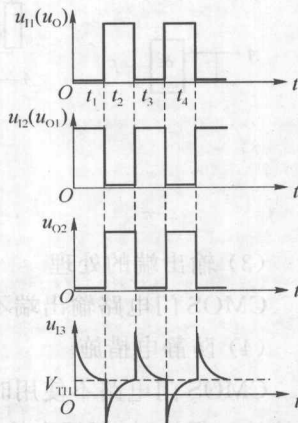


图 1-22 多谐振荡器波形

由于电容 C 的充、放电在自动地进行, 因而在输出端 u_O 可以得到连续的方波脉冲。方波的周期由电容充、放电的时间常数决定。采用 TTL 逻辑门构成的多谐振荡器, 周期近似为 $T \approx 2.2RC$ 。 R 单位为 Ω , C 单位为 F , T 单位为 s 。

RC 环形多谐振荡器振荡频率不仅与电路的充、放电时间常数有关, 而且与门电路的阈值电压 V_{TH} 有关。由于 V_{TH} 容易受温度、电源电压波动等因素影响, 致使振荡频率稳定性较差。

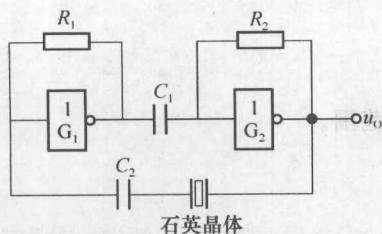


图 1-23 石英晶体振荡器

为了提高频率的稳定性, 目前多采用在多谐振荡器中串联石英晶体, 组成石英晶体振荡器, 如图 1-23 所示。反相器 G_1 、 G_2 首尾相连, G_1 到 G_2 经电容 C_1 耦合, G_2 到 G_1 经 C_2 和石英晶体耦合, 电阻 R_1 、 R_2 使反相器工作在线性放大区。石英晶体的频率稳定性非常高, 误差只有 10^{-11} , 品质因数好, 选频特性好。当信号频率等于石英晶体的固有谐振频率时, 其等效阻抗近似等于零, 而对其他频率的信号均有较大的阻

抗, 被石英晶体衰减。因此, 电路的振荡频率仅取决于石英晶体的固有频率, 而其他元件的参数无关。该电路产生的波形近似为方波。

4. 逻辑门使用注意事项

(1) 电源要求

电源电压范围为 $(1 \pm 10\%) \times 5V$, 有的要求 $(1 \pm 5\%) \times 5V$ 。芯片电源与地间接接 $20 \sim 100 \mu F$ 的电容以滤除纹波电压, 再接 $0.01 \sim 0.1 \mu F$ 的电容以滤除高频干扰。

(2) 多余输入端的处理

逻辑门的多余输入端不允许悬空。对与门、与非门, 应当将多余输入端并接到其他输

入端上或接电源;对或门、或非门,应当将多余输入端并接到其他输入端上或通过电阻接地。连接方法如图 1-24 所示。

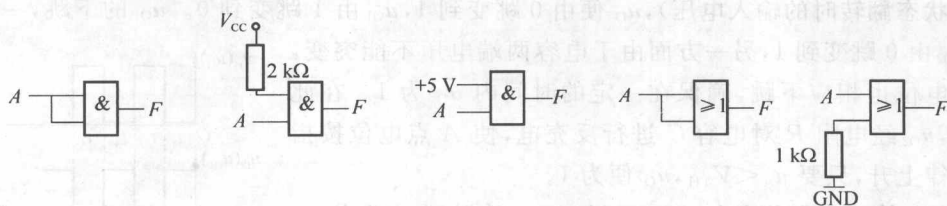


图 1-24 多余输入端的处理

(3) 输出端的处理

CMOS 门电路输出端不能“线与”。TTL 门电路的输出端不允许直接接电源。

(4) 防静电措施

CMOS 门电路不使用时,用导电材料屏蔽保存。工作台应当用金属材料覆盖并应良好接地。焊接时,断开电烙铁电源。不得带电插拔芯片。

1.5 实 验

实验 1 逻辑门基本逻辑功能验证

一、实验目的

- (1) 掌握 CMOS、TTL 逻辑器件高、低电平的电压范围。
- (2) 熟悉 74 系列集成逻辑门的名称和引脚。
- (3) 掌握基本逻辑门与复合逻辑门的逻辑功能。

二、实验预习及要求

- (1) 预习 1.1 节基本逻辑运算和逻辑门。掌握与、或、非逻辑关系和逻辑符号。
- (2) 预习 1.2 节复合逻辑运算和逻辑门。掌握与非、或非、异或、异或非的逻辑关系和逻辑符号,了解基本逻辑与复合逻辑的关系。
- (3) 预习 1.3.1 节 CMOS 逻辑电平、1.3.2 节 TTL 逻辑电平。掌握两种半导体器件输入、输出高低电平的电压范围。
- (4) 预习 1.4.1 节集成逻辑门电路系列及型号命名法,掌握集成芯片的管脚排列、型号、功能。
- (5) 完成预习报告。

三、实验设备与器件

根据表 1-8 准备实验器材。

表 1-8 实验器材表

实验器材	数 量	实验器材	数 量
数字逻辑电路实验仪	1	74LS00	1
数字万用表	1	74HC04	1
74LS04	1	74LS86	1
74LS08	1	74LS32	1

四、实验内容及步骤

1. 验证性实验

(1) 非门实验

① 在实验仪上,插入芯片 74LS04,14 引脚接电源(+5 V),7 引脚接地(GND)。选取一个非门(查附录 E 中常用集成电路引脚排列图),其输入端接逻辑开关,输出端接指示灯。通过拨动开关输入不同的逻辑电平,观察输出指示灯的亮、灭变化。测量并记录输入、输出电压值,填写表格 1-9。

表 1-9 74LS04 输入、输出电压关系表

输入电压/V	输出电压/V	输出灯状态
		亮
		灭

② 将非门输入端改接到可调电位器(可调电位器的一端接+5 V,另一端接地)的中间输出端。旋转电位器,测试输出指示灯由亮到灭的输入电压并记录,填写表格 1-10。将 74LS04(TTL)芯片换成 74HC04(CMOS)芯片,重新测试并填写表格 1-11。

表 1-10 74LS04 输入、输出电压关系表

输入电压/V	输出电压/V	输出灯状态
0~		亮
		亮到灭
~5		灭

表 1-11 74HC04 输入、输出电压关系表

输入电压/V	输出电压/V	输出灯状态
0~		亮
		亮到灭
~5		灭

(2) 与非门实验

在实验仪上,插入芯片 74LS00,14 引脚接电源(+5 V),7 引脚接地(GND)。选取一个与非门,其两个输入端分别接逻辑开关 A 和 B,输出端接指示灯。拨动逻辑开关给出输入的 4 种组合,观察逻辑门输出指示灯亮、灭情况,填写表格 1-12。

表 1-12 与非门的真值表

A	B	输出灯状态
0	0	
0	1	
1	0	
1	1	

(3) 异或门实验

在实验仪上,插入芯片 74LS86,实验步骤参照与非门实验完成,结合图 1-3,观察两地控制一盏灯亮、灭的输入、输出逻辑关系,填写表格 1-13。

表 1-13 异或门的真值表

A(S ₁)	B(S ₂)	输出灯状态
0	0	
0	1	
1	0	
1	1	

2. 设计性实验

用所学的逻辑门设计温度、烟感检测报警电路。要求在黑夜时,环境温度大于 60 ℃ 或者检测到浓烟则报警。设计电路真值表见表 1-14。

表 1-14 设计电路真值表

输出	报警	1	不报警	0
输入	黑夜	1	白天	0
输入	温度大于 60 ℃	1	温度小于 60 ℃	0
输入	浓烟	1	无烟	0

五、实验报告要求

- (1) 整理实验数据,通过表格归纳出逻辑关系表达式,画出其对应的逻辑符号。
- (2) 分析实测的 CMOS、TTL 逻辑电平与理论值的误差范围。
- (3) 写出本次实验解决的问题、收获和体会。

六、思考题

- (1) 写出如图 1-25 所示电路的逻辑表达式,并画出其真值表。分析每个图分别与哪个逻辑门功能一样,并画出其逻辑符号。

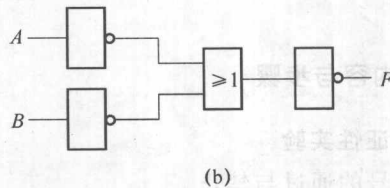
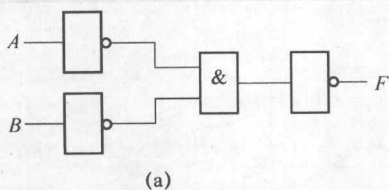


图 1-25 基本逻辑门组合电路

- (2) 分析用与非门作可控反相器的原理。

实验 2 逻辑门应用

一、实验目的

- (1) 掌握各种常用集成逻辑门电路的应用。
- (2) 了解集成逻辑门电路使用中应注意的问题。

二、实验预习要求

- (1) 预习 1.4.2 节集成逻辑门的使用,掌握普通逻辑门、OC 门的驱动能力及使用要求。
- (2) 分析施密特触发器的整形原理,及三态门构成数据总线的方法。
- (3) 分析多谐振荡器的电路组成和工作原理。计算 RC 环形多谐振荡器的振荡周期。
- (4) 了解 TTL、CMOS 集成逻辑门电路使用中的注意事项。
- (5) 完成预习报告。