

集成电路EDA技术

Technology
实用技术

集成电路实现、电路设计与工艺

[美] Louis Scheffer

Luciano Lavagno

Grant Martin

著

陈力颖 邹玉峰

译



科学出版社
www.sciencep.com

集成电路 EDA 技术

集成电路实现、电路设计与工艺

Luciano Lavagno 著
Grant Martin

〔美〕 Louis Scheffer

陈力颖 邹玉峰 译

附刊 同公利東亞圖書公司發行

謝出林題出符錄

科学出版社

000 828 : 曹宇 000 4—1 : 曹明

北京

(《戰田》與滿清貴族林氏，醒回暈與禁的真理)

图字: 01-2007-2255 号

内 容 简 介

本书为“集成电路 EDA 技术”丛书之一,内容涵盖从标准的 RTL 到 GDS II 的全部设计流程,模拟和混合信号设计,物理验证、分析与寄生参数提取,电源噪声分析,工艺仿真,DFM 和工艺 CAD,并详细分析逻辑综合、布局及布线过程,专门探讨功耗分析与优化方法、等价性检验、静态时序分析、结构化数字设计和设计收敛,以及适合 FPGA 设计的特殊方法等。

本书可作为从事电子科学与技术、微电子学与固体电子学以及集成电路工程的技术人员、科研人员和高等院校师生的常备参考书。

EDA for IC Implementation, Circuit Design, and Process Technology 1st Edition/by Louis Scheffer, Luciano Lavagno, Grant Martin/ISBN: 0-8493-7924-5

Copyright © 2006 by CRC Press.

Authorized translation from English language edition published by CRC Press, part of Taylor & Francis Group LLC; All rights reserved.

本书中文简体翻译版授权由科学出版社独家出版并限在中国大陆地区销售。未经出版者书面许可,不得以任何方式复制或发行本书的任何部分。

Copies of this book sold without a Taylor & Francis sticker on the cover are unauthorized and illegal. 本书封面贴有 Taylor & Francis 公司防伪标签,无标签者不得销售。

图书在版编目(CIP)数据

集成电路实现、电路设计与工艺/(美)Louis Scheffer 等著;陈力颖,邹玉峰译. —北京:科学出版社,2008

(集成电路 EDA 技术)

ISBN 978-7-03-021491-1

I. 集… II. ①L…②陈…③邹… III. 集成电路-电路设计:计算机辅助设计 IV. TN402

中国版本图书馆CIP 数据核字(2008)第 040725 号

责任编辑:刘红梅 刘晓融 / 责任制作:魏 谨

责任印制:赵德静 / 封面设计:琰 佳

北京东方科龙图文有限公司 制作

<http://www.okbook.com.cn>

科学出版社出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

源海印刷有限责任公司 印刷

科学出版社发行 各地新华书店经销

*

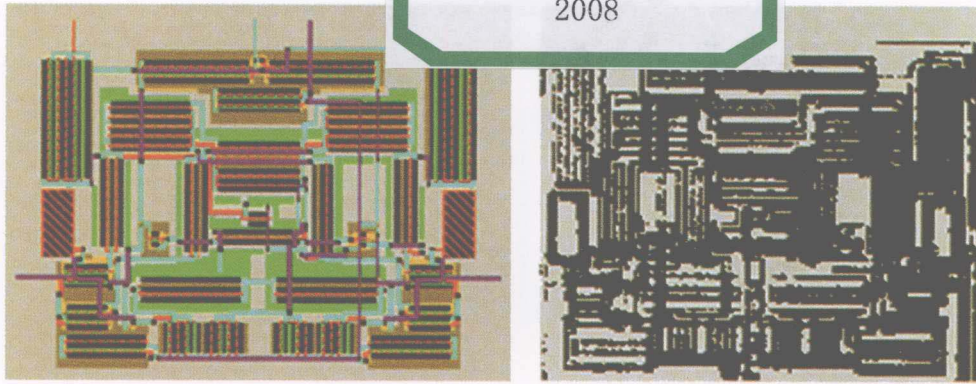
2008 年 6 月第 一 版 开本:787×1092 1/16

2008 年 6 月第一次印刷 印张:34 1/4 彩插 4

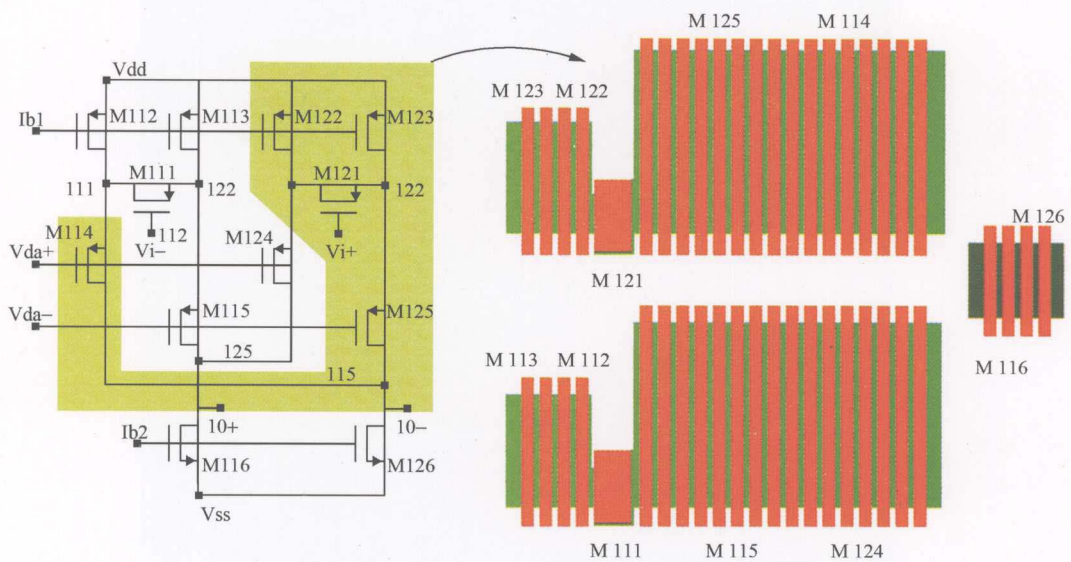
印数:1—4 000 字数:868 000

定 价:69.00 元

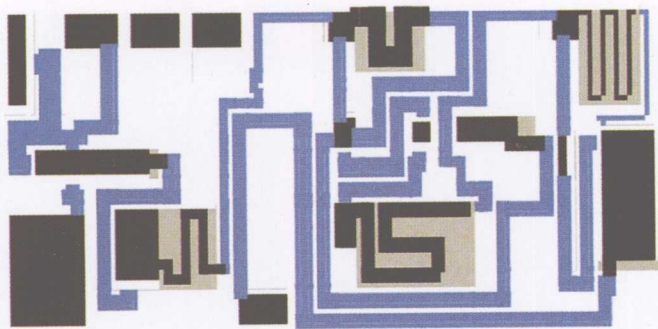
(如有印装质量问题,我社负责调换(明辉))



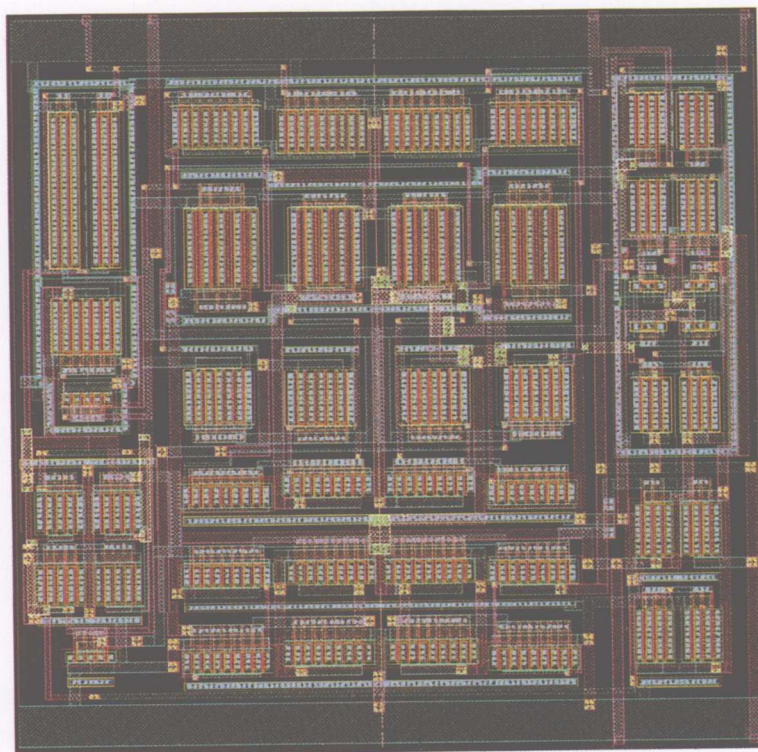
彩图1 一个CMOS放大器模拟版图的自动生成,通过KOAN/ANAGRAM工具生成的版图(左)和芯片照片(右)(摘自Cohn等人,IEEEJSSC, 26, 330~342, March 1991.已授权)



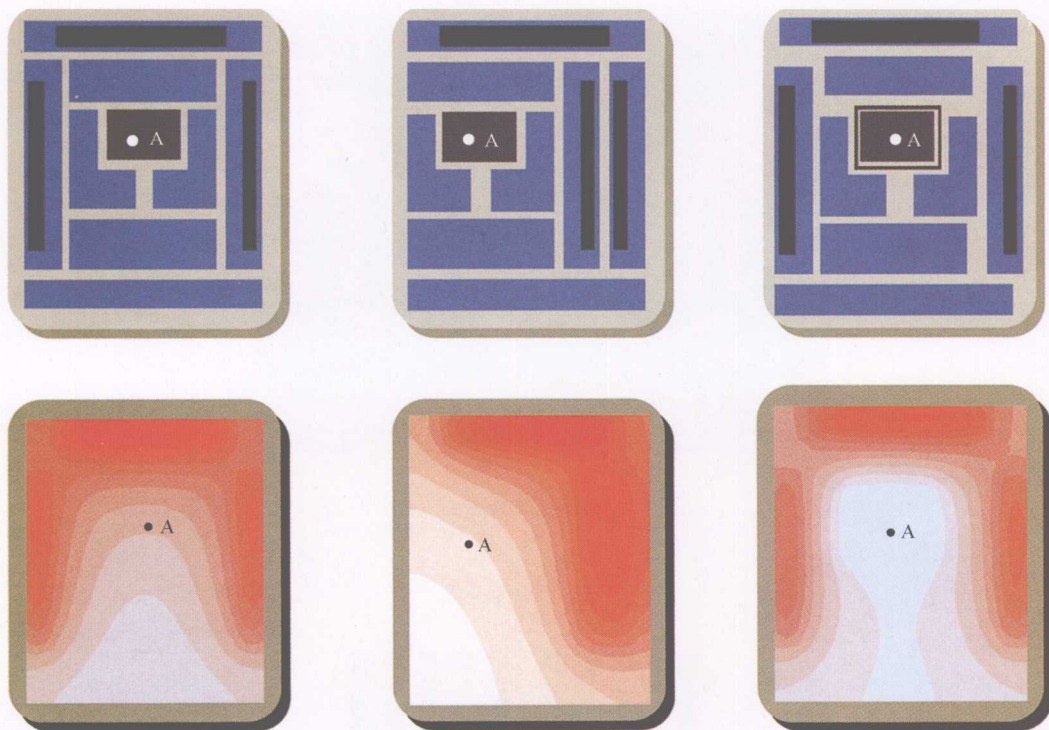
彩图2 一个CMOS放大器电路中提取自动对称堆叠的例子,采用Basaran的算法(摘自Basaran和Rutenbar, Proceedings of ACM/IEEE DAC, Las Vegas, NV, 1996, pp. 221~226已授权)



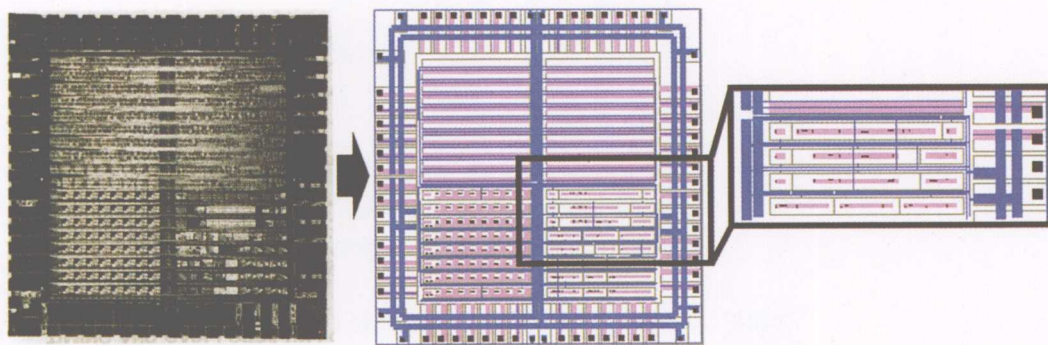
彩图3 微波频率($\sim 60\text{GHz}$)器件级布局, 将器件、平面走线显示在同一层中, 同时还有一些在这个小设计中用来匹配电线长度和电性能的实例(摘自Aktuna等人, IEEE Trans. CAD, 18, 375~388, 1999.已授权)



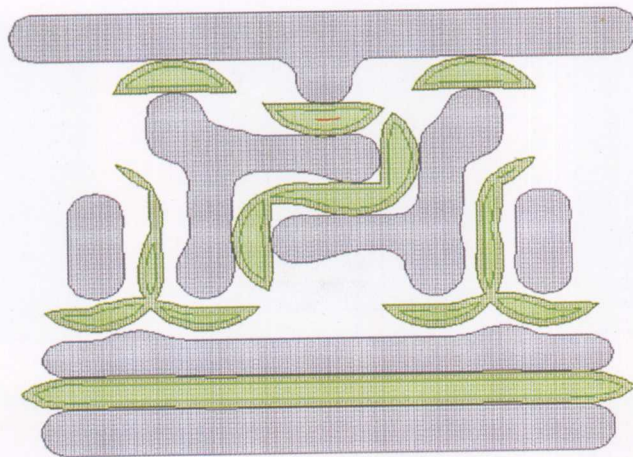
彩图4 商用放大器电路, 具有定制器件生成器, 定制的单元、对称的布局 and 布线以及全自动综合(Cadence Design Systems提供)



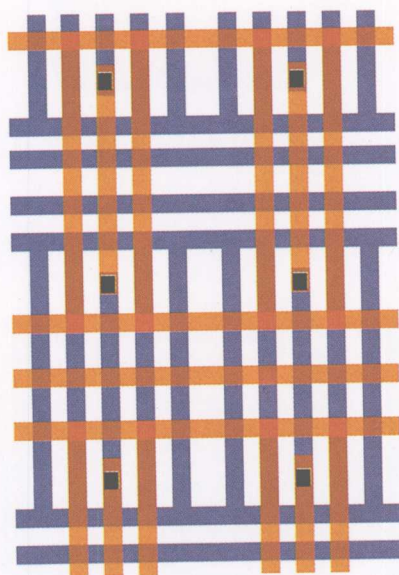
彩图5 一个小的、利用WRIGHT^[95, 96]在衬底噪声限制条件下优化的合成平面图。黑色条表示噪声源；模块标志“A”对总的噪声水平敏感。从左至右，我们可以通过“A”点看到在越来越严格的噪声限制条件下产生的平面图。下图为衬底中的ISO-电压等高线。在最右边的图中，我们可以看到“A”具有一个保护环用来满足严格的噪声限制条件



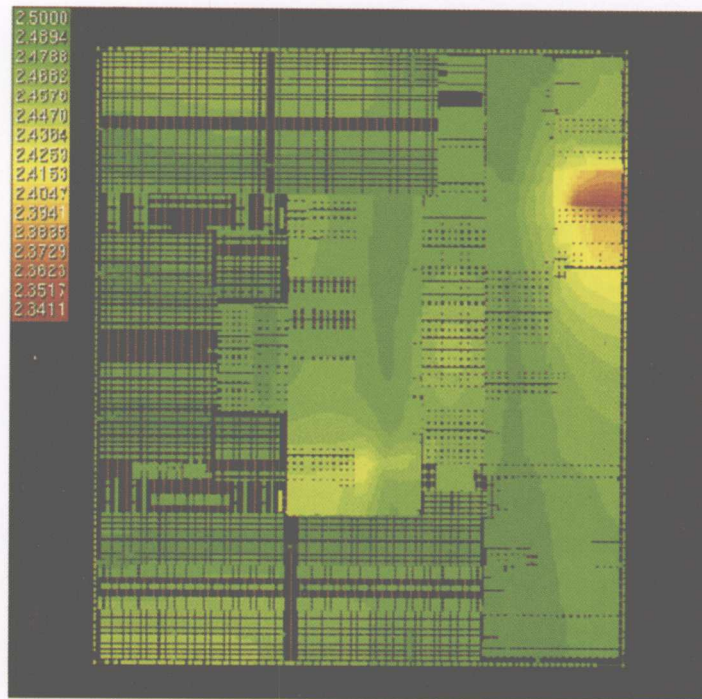
彩图6 一个商用IBM专用集成电路上的混合信号功率网格，它利用RAIL工具^[97, 101]自动重新设计来满足严格的AC、DC以及瞬态特性要求



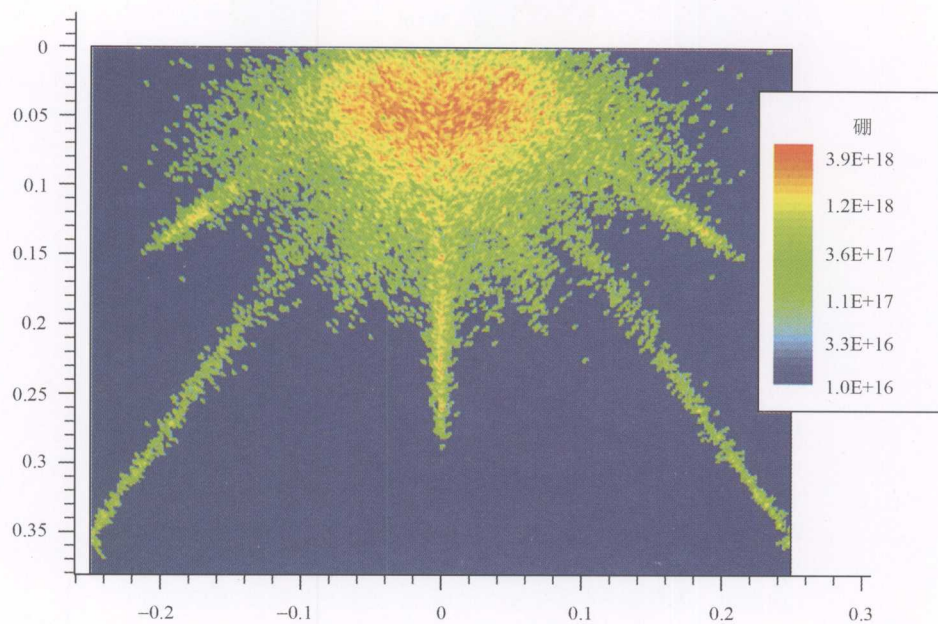
彩图7 关键区域的图形表示



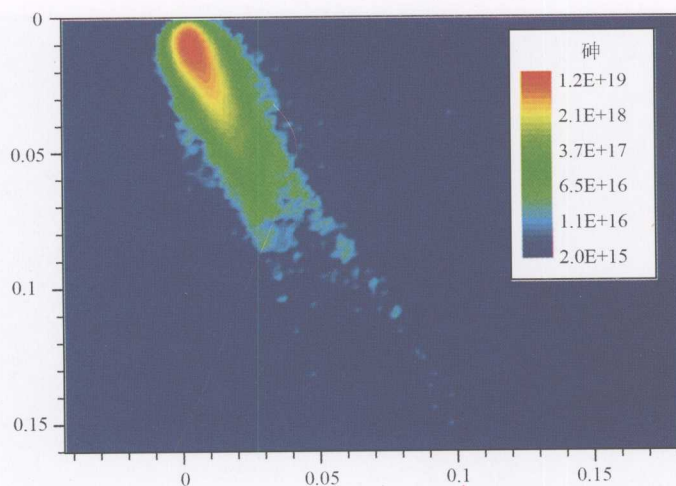
彩图8 为了表征失效率对环境依赖关系的通孔链结构



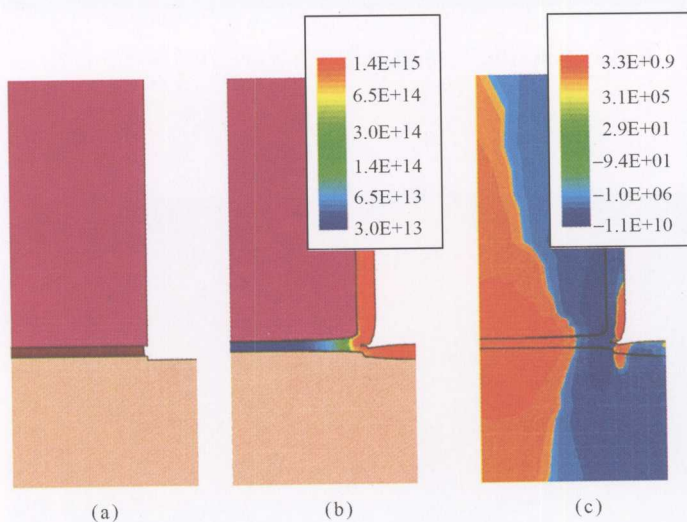
彩图 9 PowerPC™ 750微处理器的版图后IR电压降分布图



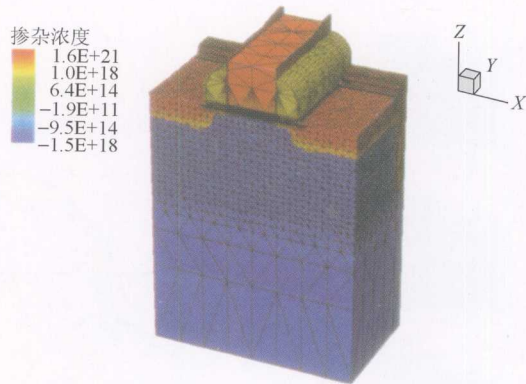
彩图 10 利用蒙特卡罗注入角度从 0° ~ 75° 变化探测硅中的沟道行为所生成的图形清楚地说明了硅中的沟道轨迹



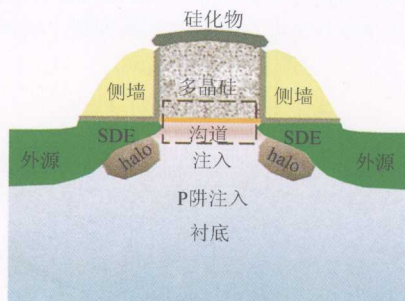
彩图 11 一个 10^{14}cm^{-2} 、15keV、注入角度为 25° 时的蒙特卡罗注入仿真点响应



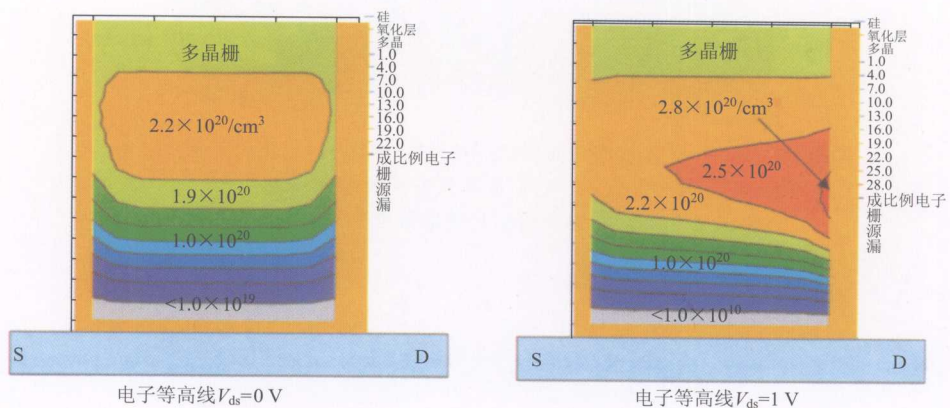
彩图 12 一个显示氧化剂分布的氧化作用仿真图，消耗硅，得到二氧化硅。(a) 亮粉色为硅，棕色为氧化物，洋红色为多晶硅；(b) 与(a)中相同的仿真，但显示了氧化物中氧化剂的浓度；因为氧化剂并没有到达栅极的最底部，氧化大多数发生在多晶栅极的边缘；(c)与(a)、(b)中相同的仿真，但阴影部分显示了垂直方向上的应力，应力集中在氧化发生的地方，是氧化将硅变为低密度的二氧化硅的一个副产品



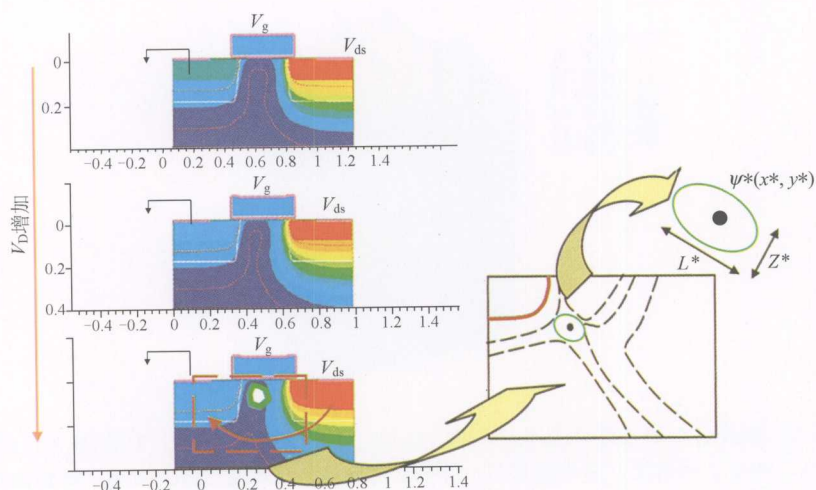
彩图 13 器件仿真的最终3D结构图。图中示出了一半的结构并加上了接触(在顶部用紫色表示)。画出了网格线, 掺杂浓度以一个彩虹条来表示, 暗红色表示n区, 而蓝色代表p区



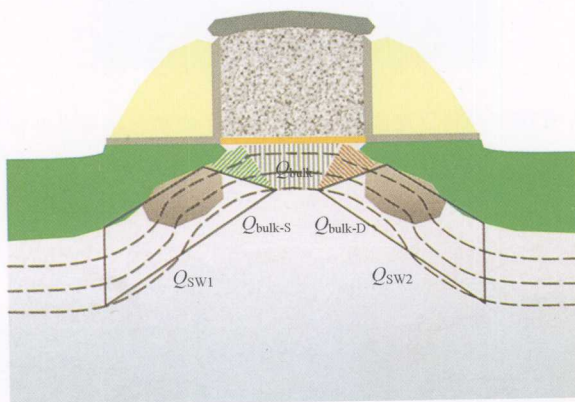
彩图 14 n沟道MOS晶体管剖面图, 具体示出了栅极、阱壁以及衬底掺杂浓度 (SDE、沟道/阱注入及环形掺杂等)



彩图 15 两种漏偏置条件下QM多晶硅耗尽效应仿真(器件以及I-V关系均与图25.12(a)相同)。结果显示了显著的栅耗尽(左)和导致漏极势垒变低的侧边效应(右)



彩图 16 在三种不同的漏偏置电压条件下得到的MOS器件中的静电势二维图。结果显示了典型操作以及在充分高的漏偏置下的漏场感应势垒降低(DIBL)效应



彩图 17 NMOS晶体管的截面图(与图25.3(b)相同), 它表明了静电等势线(虚线)、梯形和三角形电荷区, 它们分别代表了栅电势、源电势和漏电势以及由于掺杂所引起侧墙效应的影响

前言

电子设计自动化(EDA)在工程技术领域是一项非凡的成就。经过四分之一个世纪的不断努力,改良的工具已经把设计者的生产能力提高了数千倍。如果没有 EDA,摩尔定律将一无所用。没有精密而复杂的工具,就不可能设计或调试出单片集成十亿个晶体管的芯片。因此,没有 EDA,我们就不可能拥有笔记本电脑、无线电话、视频游戏或其他任何我们认为理所当然应该拥有的电子设备。

EDA 开发者保持着比较高的开发速度,与之相对应的是制造大型芯片能力的不断提高。事实上,随着 EDA 工具的进步,这些大型芯片仍然能够被设计、调试和测试,不同的是它们从研发到推向市场的时间大大地缩短了。

EDA 的历史发展比集成电路(IC)制造技术的进步复杂得多,后者主要是基于简单的物理上的临界尺寸按比例缩小,而 EDA 发展要依靠一系列范例的转换。本书的每一章的内容在过去的几十年里也仅仅是一些专家眼里的灵光一现罢了。然后这个范例就变成了研究的课题,接着就以它为依据做出了用于学术研究的工具,这以后它就成为一个研究领域启动的焦点,这样的焦点不断地涌现,在几年之内,它就获得大型商用 EDA 提供商的支持,最终成为我们现在所认为的传统智慧的一部分。虽然使用者总是抱怨如今的工具并不是非常适合今天的设计,但是,EDA 工具的使用在生产力的整体改进无疑是非常显著的。最终,就像 1999 年 *the International Technology Roadmap for Semiconductors* 中指出的那样:“世上恐怕没有哪一个领域像 EDA 领域一样,有着每年 21% 生产力的综合年增长率,且持续不断地增长了 30 多年后,业内人士仍然叫苦不迭!”

EDA 工具的未来是什么?当我们审视 2005—2006 年度的电子学和集成电路设计领域时,可以看出我们可能在不久以后进入规则改变的时期。在集成电路方面,经典的按比例缩小方法使器件的尺寸跨越式地减小很多个数量级,完全超过了过去 40 年的总和。似乎这种方法仅仅可以维持几代或几个很短的时间段(虽然这种观点在过去被争论了很多次,但它总是被证明是一种悲观的预测)。常规的晶体管和配线可能会很好地被新的纳米技术和我们现在正在进行试验的生物技术所代替。这种深刻的变革确实将对用于集成电路设计的工具和方法学产生相当大的影响。我们是应该花费精力关注这些未来的计算机辅助设计(CAD)技术,还是应该继续改进我们现在正在使用的工具呢?

经过深入的思考,问题变得很明确了:许多现在正使用的 EDA 方法具有很强的生命力。现行设计方法的演变发展至少要持续十年,且几十或几百万的设计要求必须使用新的 IC 工艺或者使用现行 EDA 工具的可编程版本。这个过程时间太短,以至于不能忘记或忽略现行的 EDA 方法。即使工艺彻底地改变成新的形式和新的结构,现行 EDA 的很多概念也将被重新使用或者发展进化到使设计深入到工艺中,并很完美地超越现行的设计视野和思想。

用于 IC 设计的 EDA 领域,已经发展到任何人都不能精通它的全部内容,以至于不能完全

把握其发展前景的程度。所以迫切地需要对这个极度广泛和多样化的学科进行一个快速而简要的概括。学生需要一种方法,这种方法能够帮助他们学习和掌握现在普遍使用的设计工具的规则和课题。当设计变成多规则性时,电子设计者和 EDA 工具的开发需要放宽他们的视野,拓宽他们的思路。使用在一个子课题上的一些方法,也许对于由它们引起的新课题来说也有很好的适用性。所有的电子设计都可以充分地利用和参考这个领域所涉及的全部工作。

因为存在这种想法,所以我们拜访了很多专家——他们对整个 EDA 领域的规则都很了解——为了让他们给本书的各个章节投稿,从而把他们各自从事的特殊的课题和领域全面地总结概括出来,介绍给读者。在 2004—2005 年完成的这样的一些章节同样值得欣赏,它们对整个 EDA 技术领域作了简要的概括。因为是纵览和概述,所以这些章节对于未来几十年中在该领域内进行学习的学生和从业者来说,将具有持久的教育性和参考价值。

因为涵盖了大量的主题,所以我们决定将之分成两册。本书的姊妹篇《集成电路系统设计、验证与测试》一书的内容包括系统级设计、微结构设计、验证和测试。而本书的内容包括经典的从 RTL 到 GDS II 设计流程、系统综合、布局和布线以及一些与之相关的主题,模拟和混合信号设计、物理验证、分析和参数提取以及 CAD 技术主题。这些与经典的对 IC 设计的划分方式——“前端和后端”——相呼应。在这里,前端的(或逻辑设计)主要是确定设计的内容是正确的;假设这个设计可以实现,那么后端(或物理设计)主要致力于按需求进行详细的加工,同时实现前端赋予的逻辑功能。尽管这种划分方式具有局限性,但是它多年来一直被业界使用——因为这样划分后,整个设计就拥有了一个完整而正确的逻辑设计部分、一个独立的物理实现部分,并且在 IC 设计流程的两个主要部分之间维持了一个极好的衔接点。既然 IC 设计者和 EDA 开发者常常只关注逻辑设计或物理实现这两方面中的一个方面,那么倒不如就按照这种方式来划分本书的章节。

本书以一篇总论开篇,介绍的是经典的从 RTL 到 GDS II 的设计流程。然后,进入综合、布局和布线的逻辑综合部分。功率分析和优化方法在这个设计流程的几个阶段重复出现。最近等价的验证增加了标准 IC 设计流程的可靠性和自动化的可行性。因而,我们在本书的一些章节中看见了布局和布线以及静态时序分析和结构化数字设计等相关的辅助性课题。标准的后端流程依赖于标准的数字工艺库和设计数据库,它可以制造出这样的 IC——适合封装,可以制作在 PCB 板上,且可以用于混合信号,并能够成为与设计收敛相关的新重点,且与设计流程的许多方面都有紧密的联系,读者甚至可以在读完第 1 章设计流程后,直接去读第 10 章设计收敛。这是一种很好的选择。

在进入模拟设计领域和混合信号设计领域之前,本书先介绍了适用于 FPGA 设计的特殊方法。FPGA 设计对于使用下面所述以固定方式进行的快速 IC 设计来说,既是一个逐渐成长的领域,也是一个可重复编程的逻辑平台。然后,我们致力于模拟设计的介绍,包括仿真方法、高级建模方法和版图工具。物理验证、分析和参数提取包括以下几个内容:设计规则检查、以可制造性为目的的设计转化、电源噪声和其他噪声问题的分析及版图参数的提取等。最后,本书介绍了工艺仿真、器件建模和高级寄生参数的提取,如用于 IC 的 CAD 技术。

本丛书对于每一个业内人士或有兴趣学习电子设计以及相关工具和方法的人来说,具有重要的学习和参考价值。我们希望所有的读者都能从书中发现感兴趣的东西,并能把本丛书作为学习相关知识的优秀参考书籍。

感谢所有为本书提供支持和帮助的专家、学者、工程师、学生和读者,以及所有为本书提供技术支持和出版服务的机构和人员。

致 谢

编者向那些在 EDA 领域中工作的无名英雄们表示衷心的感谢,是他们在日常工作之余,推动了 EDA 技术的进步!这些先生和女士们工作在不同的行业——他们有的经营管理小型会议;有的编辑校订技术杂志;有的服务于标准委员会——这其中仅有少数几个人的名字为我们熟知。尽管他们向该领域投入了大量时间和精力,但是他们进行的大量工作都是无偿的,并不能使他们中任何一个富有或出名。可正是因为有了他们这种无私的奉献,才使得 EDA 技术取得了显著而持久的进步。

Louis Scheffer 由衷地感谢妻子 Lynde、女儿 Lucynda 和儿子 Loukos 给予他的关爱、支持、鼓励和帮助。没有他们,这项工作将不可能完成。

Luciano Lavagno 由衷地感谢妻子 Paola 和女儿 Alessandra Chiara,是她们使他的生活变得如此的美妙!

Grant Martin 由衷地感谢妻子 Margaret Steele 和两个女儿 Jennifer 以及 Fiona 给予他的一如既往的关爱和支持。

主 编

Louis Scheffer

1974 年和 1975 年在加利福尼亚理工学院分别获得理科学士和硕士学位。1984 年在斯坦福大学获得博士学位。1975—1981 年就职于 Hewlett Packard, 从事芯片设计和 CAD 工具的开发。1981 年, 加入 Valid Logic Systems, 从事硬件设计, 并开发了一个电路编辑器和一个 IC 版图、布线和验证系统。1991 年, 加入 Cadence 公司, 开始从事和研究布局布线、系统的平面布局和信号完整性问题的研究。

他的主要兴趣在于研究系统布局和一些深亚微米效应。写了很多技术性的文章、指南和各种会议演讲稿。作为委员会的成员, 曾服务于 DAC、ICCAD、ISPD、SLIP 和 TAU 等会议。现在是 TUA 和 ISPD 的主席, 同时还担任 SLIP 指导委员会的主席。在 EDA 领域有五项专利, 在伯克利和斯坦福两所大学里教授电子学的 CAD 课程。对 SETI (search for extraterrestrial intelligence, 对外星智能的探索) 也同样感兴趣, 服务于 SETI 协会所属的针对 Allen 天文望远镜阵列的技术咨询版, 并且是 SETI-2020 这本书的作者之一。另外, 在该领域还发表过多篇技术文章。

Luciano Lavagno

分别于 1992 年在美国加州大学伯克利分校和 1993 年在意大利的 Politecnico di Torino 大学获得 EECS 博士学位, 作为联合作者, 参与了关于异步电路设计和嵌入式系统的硬件和软件协同设计这两个主题的两本书的编写, 并发表了 160 多篇科技论文。

1993—2000 年, Luciano Lavagno 成为 POLIS 计划的设计师, 与美国加州大学的伯克利分校、Cadence 设计系统、Magnet Marelli 和 Politecnico di Torino 间的合作开发了一个用于受控嵌入式系统的完整的硬件和软件协同设计环境。

现任意大利 Politecnico di Torino 大学的副教授, 并且是 Cadence 伯克利实验室的研究员。在几个本领域的国际会议的技术委员会里都担任职务, 如 DAC、DATE、ICCAD 和 ICCD 等。同时还在多家工厂和座谈会任职, 是 DAC 和 TPC 的技术纲要与指南的主席以及 CODES 的主席。已经成为 *IEEE Transactions on CAD*, *IEEE Transactions on VLSI* 和 *ACM Transactions on Embedded Computing Systems* 等会刊的副编辑和客座编辑。

他的研究兴趣主要包括异步低功耗电路的综合、软硬件混合嵌入式系统的同步设计和动态结构可重新配置处理器的编译工具与结构设计。

Grant Martin

Grant Martin 是位于美国加利福尼亚州 Santa Clara 的 Tensilica 公司的首席科学家。此前他曾在苏格兰 Burroughs 公司工作了 6 年; 在加拿大 Nortel/BNR 工作了 10 年; 为 Cadence 设计系统工作 9 年并最终成为其实验室的 Cadence 院士 (Fellow)。于 1977 年和 1978 年在加拿大的 Waterloo 大学分别获得了理学学士和数学 (组合数学和优化) 硕士学位。

他是 1999 年出版的 *Surviving the SOC Revolution: A Guide to platform-Based Design* 一书和 2002 年出版的 *System Design with SystemC* 一书的合著作者之一。还是 2003 年出版的 *Winning the SoC Revolution: Experiences in Real Design* 和 *UML for Real: Design of Embedded Real-Time Systems* 两本书的编辑之一。

上述的这些书籍都是由 Springer 出版的(原先是 Kluwer 出版的)。2004 年, Grant Martin 和 Vladimir Nemudrov 合著了第一本 SoC 设计方面的书, 该书由俄罗斯莫斯科的 Technosphera 出版发行。最近参与编辑了两本书, 分别是 *Taxonomies for the Development and Verification of Digital systems* 和 *UML for SoC Design*, 由 Springer 在 2005 年出版发行。

他发表过许多篇论文、演讲和指南,参加过一些专家小组会议和许多的技术会议,是 2001 年夏季 VLSI 联盟嵌入式系统研究组的联合主席,也是当前 2005—2006 年度 DAC 算法技术程序委员会的联合主席。

他特别感兴趣的领域为系统级设计、以 IP 为基础的 SoC 设计、基于平台的设计和嵌入式软件,是电力电子工程师协会(IEEE)的资深成员。

Grand Martin

参编人员

Mark Bales

Reshape, Inc.
San Jose, California

Mark Basel

Mentor Graphics, Inc.
Wilsonville, Oregon

Scott T. Becker

Tela Technologies, Inc.
Houston, Texas

Vaughn Betz

Altera Corp.
Toronto, Ontario, Canada

David Blaauw

University of Michigan
Ann Arbor, Michigan

Robert K. Brayton

University of California
Berkeley, California

Rajat Chaudhry

Freescale Semiconductor Inc
Austin, Texas

David Chinnery

University of California
Berkeley, California

Chang-Hoon Choi

Stanford University
Palo Alto, California

John M. Cohn

IBM Systems and Technology Group
Essex Junction, Vermont

Nicola Dragone

PDF Solutions, Inc.
Brescia, Italy

Robert W. Dutton

Stanford University
Palo Alto, California

Katherine Fetty

Mentor Graphics, Inc.
Wilsonville, Oregon

Paul D. Franzon

North Carolina State University
Raleigh, North Carolina

Georges G. E. Gielen

Katholieke Universiteit Leuven
Leuven, Belgium

Laurence Grodd

Mentor Graphics, Inc.
Wilsonville, Oregon

Carlo Guardiani

PDF Solutions, Inc.
Brescia, Italy

David Hathaway

IBM Microelectronics
Essex Junction, Vermont

James Hogan

Telos Venture Partners, Inc.
Palo Alto, California

Mike Hutton

Altera Corp.
San Jose, California

Ralph Iverson

Magma Design Automation
Arlington, Massachusetts

Mark D. Johnson

Synopsys, Inc.
Mountain View, California

Andrew B. Kahng

University of California
San Diego, California

Mattan Kamon

Coventor, Inc.
Cambridge, Massachusetts

Edwin C. Kan

Stanford University
Palo Alto, California

William Kao

Cadence Design Systems, Inc.
San Jose, California

Vinod Kariat

Cadence Berkeley Laboratories
Berkeley, California

Kurt Keutzer

University of California
Berkeley, California