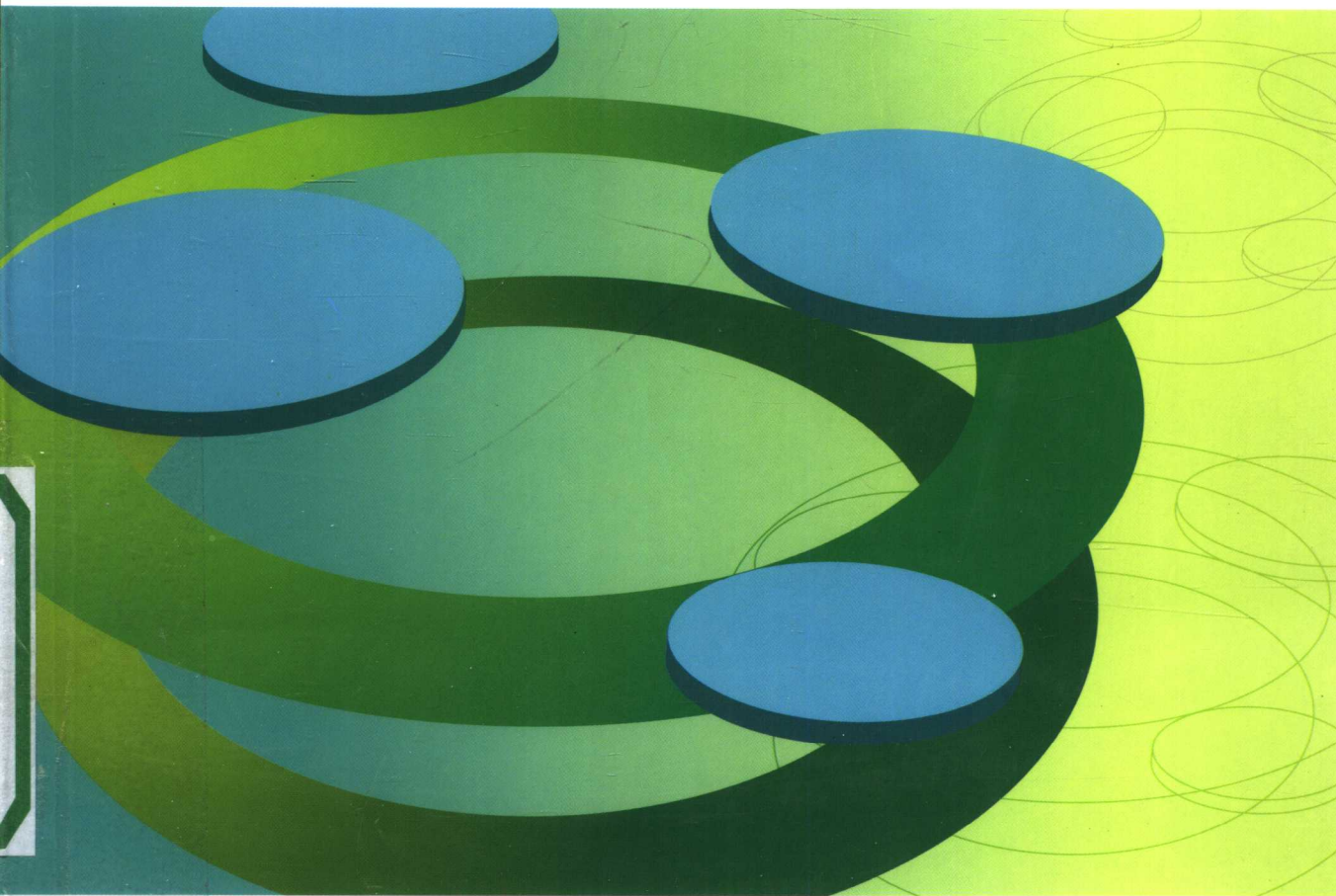




# 单片机原理 及 串行外设接口技术

李朝青 等编著



TP368.1/413

2008

# 单片机原理 及串行外设接口技术

李朝青 等编著

北京航空航天大学出版社

## 内 容 简 介

本书以 51 系列单片机中的 89C51 单片机为典型机,深入浅出地讲述单片机原理、串行外设接口及应用技术。主要内容包括:单片机硬件结构和原理,指令系统及汇编语言程序设计,中断、定时器及串行口通信,单片机串行外设接口技术,应用系统人-机串行外设接口技术,串行 A/D 及 D/A 接口技术以及系统应用程序实例。

本书内容新颖、实用,具有较多串行外设芯片接口技术的内容,如 SPI、I<sup>2</sup>C 和 1-Wire 单总线串行扩展技术、串行 A/D 及 D/A、键盘输入和显示器等实例。本书可供从事单片机应用开发的工程技术人员参考,也可用作高等院校相关专业的微机原理、单片机原理与接口技术的教学参考用书。

### 图书在版编目(CIP)数据

单片机原理及串行外设接口技术/李朝青编著. —北京:  
北京航空航天大学出版社,2008. 1

ISBN 978-7-81124-236-2

I. 单… II. 李… III. ① 单片微型计算机—基础理论  
② 单片微型计算机—接口 IV. TP368.1

中国版本图书馆 CIP 数据核字(2008)第 006055 号

©2008,北京航空航天大学出版社,版权所有。

未经本书出版者书面许可,任何单位和个人不得以任何形式或手段复制或传播本书内容。  
侵权必究。

## 单片机原理及串行外设接口技术

李朝青 等编著

责任编辑 潘晓丽 张雯佳

\*

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100083)、发行部电话:010-82317024 传真:010-82328026

http://www.buaapress.com.cn E-mail:bhpress@263.net

北京时代华都印刷有限公司印装 各地书店经销

\*

开本:787 mm×1092 mm 1/16 印张:17 字数:435 千字

2008 年 1 月第 1 版 2008 年 1 月第 1 次印刷 印数:5000 册

ISBN 978-7-81124-236-2 定价:28.00 元

# 前 言

单片机应用系统现在越来越多地采用串行外设接口技术。串行外设接线灵活,占用单片机资源少,系统结构简化,极易形成用户的模块化结构。串行外设芯片还具有速度快、精度高、功能强、工作电压宽、抗干扰能力强、功耗低等特点。

各大半导体公司生产的 4 线(SPI)、3 线(Microwire)、2 线(I<sup>2</sup>C)、1 线(1-wire)等串行外设接口芯片铺天盖地地充满了电子市场。很多业界人士早已抛弃了并行外设接口芯片,而采用串行外设接口芯片设计单片机与嵌入式应用系统。很多串行芯片不仅占用 I/O 口线少,在速度和精度上也超过了同类的并行芯片。因此,串行外设接口技术在 IC 卡、智能化仪器仪表以及分布式测控系统等领域获得了广泛应用。

本书以 51 系列单片机中的 89C51 为典型机,全书共分 7 章,即单片机的硬件结构和原理;单片机指令系统及汇编语言程序设计;单片机中断、定时器及串行口通信;单片机串行外设接口技术;应用系统人-机串行外设接口技术;系统前向通道配置及串行 A/D 接口技术;系统后向通道配置及串行 D/A 接口技术。

参加本书编写的还有崔肖娜、刘艳玲、王志勇、袁其平、沈怡麟、曹文嫣、李凯、张秋燕、朱红霞、宋扬等。

由于作者水平所限,难免出现错误和不妥之处,敬请同行及读者提出宝贵意见。

李朝青

天津理工大学电子信息与通信工程学院

2007 年 9 月

# 目 录

## 第 1 章 单片机的硬件结构和原理

1.1 单片机的内部结构及特点 .....	1
1.1.1 单片机的基本组成 .....	1
1.1.2 单片机的内部结构 .....	2
1.2 单片机的引脚及其功能 .....	5
1.3 单片机的存储器配置 .....	8
1.3.1 程序存储器地址空间 .....	9
1.3.2 数据存储器地址空间 .....	10
1.4 时钟电路 .....	16
1.5 复位操作 .....	18
1.5.1 复位操作的主要功能 .....	18
1.5.2 复位电路 .....	19

## 第 2 章 单片机指令系统及汇编语言程序设计

2.1 汇编语言 .....	20
2.1.1 指令和程序设计语言 .....	20
2.1.2 指令格式 .....	20
2.2 寻址方式 .....	21
2.2.1 7 种寻址方式 .....	21
2.2.2 寻址空间及符号注释 .....	25
2.3 单片机的指令系统 .....	26
2.3.1 数据传送指令 .....	26
2.3.2 算术运算指令 .....	30
2.3.3 逻辑操作指令 .....	33
2.3.4 控制程序转移指令 .....	35
2.3.5 位操作(布尔处理)指令 .....	41
2.4 编程的步骤、方法和技巧 .....	44
2.4.1 编程步骤 .....	44
2.4.2 编程方法和技巧 .....	46

2.4.3	汇编语言程序的基本结构	47
2.5	汇编语言源程序的编辑与汇编	52
2.5.1	源程序的编辑	52
2.5.2	源程序的汇编	52
2.5.3	伪指令	53
2.6	主程序和子程序的概念	56
2.6.1	主程序	56
2.6.2	子程序及参数传递	57
2.6.3	中断服务子程序	58
2.7	数据处理程序	59
2.7.1	排序程序及数字滤波程序	59
2.7.2	标度变换(工程量变换)	59
2.8	软件抗干扰技术	61
2.8.1	软件陷阱技术	61
2.8.2	软件看门狗	63
2.9	最短程序	65
<b>第3章 单片机的中断、定时器及串行口通信</b>		
3.1	中断系统	66
3.1.1	中断的概念	66
3.1.2	中断系统结构及中断控制	67
3.1.3	中断响应及中断处理过程	71
3.1.4	中断程序举例	72
3.2	定时器及应用	73
3.2.1	定时器及其控制	73
3.2.2	定时器的4种模式及应用	75
3.3	串行口及串行通信技术	78
3.3.1	串行口及应用	79
3.3.2	单片机与单片机间的点对点异步通信	91
3.3.3	单片机与PC机间的通信	97
<b>第4章 单片机串行外设接口技术</b>		
4.1	SPI和Microwire串行外设接口技术	100
4.1.1	SPI串行外设接口	100
4.1.2	Microwire串行外设接口	106
4.1.3	E <sup>2</sup> PROM芯片93C46的应用	108
4.1.4	数字温度传感器DS1620与单片机的接口及编程	115
4.1.5	多功能串行芯片X5045/43与单片机的接口及程序设计	121
4.1.6	串行时钟芯片DS1302与单片机的接口及编程	132

4.2 I <sup>2</sup> C 总线接口技术 .....	137
4.2.1 I <sup>2</sup> C 总线的概念 .....	137
4.2.2 I <sup>2</sup> C 总线的应用 .....	138
4.2.3 I <sup>2</sup> C 总线基本知识 .....	139
4.2.4 I <sup>2</sup> C 总线的数据传送 .....	140
4.2.5 I <sup>2</sup> C 总线的数据传送协议 .....	141
4.2.6 单片机与 I <sup>2</sup> C 总线的接口 .....	145
4.2.7 主方式模拟 I <sup>2</sup> C 总线通用软件包 .....	145
4.3 1-Wire 单总线接口技术 .....	150
4.3.1 单总线芯片硬件结构及主/从机连接 .....	150
4.3.2 单总线芯片序列号 .....	151
4.3.3 1-Wire 单总线芯片的供电 .....	151
4.3.4 1-Wire 单总线系统的特点及应用 .....	152
4.3.5 1-Wire 单总线数据传送时序(协议) .....	152
4.3.6 数字温度传感器 DS18B20 单总线多路测温系统 .....	155
<b>第 5 章 应用系统人-机串行外设接口技术</b>	
5.1 键盘接口及处理程序 .....	163
5.1.1 行列式键盘结构及接口技术 .....	164
5.1.2 键中断扫描方式 .....	168
5.1.3 键操作及功能处理程序 .....	169
5.2 LED 显示器接口及显示程序 .....	170
5.2.1 LED 显示器结构原理 .....	170
5.2.2 LED 显示器接口及显示方式 .....	171
5.2.3 LED 显示器与单片机接口及显示子程序 .....	172
5.3 串行口控制的键盘/LED 显示器接口电路及编程 .....	174
5.3.1 硬件电路 .....	174
5.3.2 程序清单 .....	174
5.4 MAX7219 串行 8 位 LED 显示驱动器芯片及其应用 .....	177
5.4.1 MAX7219 的引脚功能 .....	177
5.4.2 MAX7219 的内部结构 .....	178
5.4.3 MAX7219 的控制寄存器 .....	179
5.4.4 MAX7219 的工作时序 .....	181
5.4.5 应用实例 .....	181
5.4.6 利用 MAX7219 设计 LED 大屏幕 .....	183
5.5 I <sup>2</sup> C 总线 LED 驱动器 SAA1064 接口及编程 .....	186
5.5.1 内部结构及引脚功能 .....	186
5.5.2 数据操作格式 .....	188
5.5.3 控制命令 COM 格式 .....	189

5.5.4	寻址字节 SLAR/ $\overline{W}$ .....	189
5.5.5	LED 显示程序设计 .....	190
5.6	4 位串行段式 LCD 显示器 EDM1190A 的接口及编程 .....	191
5.6.1	EDM1190A 的性能简介 .....	192
5.6.2	EDM1190A 的数据显示原理 .....	192
5.6.3	EDM1190A 与单片机的接口及编程 .....	193
5.7	基于 E <sup>2</sup> PROM 的 IC 卡读/写器的应用 .....	195
5.7.1	IC 简介 .....	195
5.7.2	AT24C 系列 I <sup>2</sup> C 总线接口 E <sup>2</sup> PROM .....	197
5.7.3	IC 卡读/写器接口电路及编程 .....	202

## 第 6 章 系统前向通道配置及串行 A/D 接口技术

6.1	8 位、10 位串行输出 A/D 芯片及接口技术 .....	205
6.1.1	单通道串行输出 8 位 A/D 芯片 TLC1549 及接口 .....	205
6.1.2	8 位串行 A/D 芯片 TLC548/TLC549 与单片机的接口及编程 .....	207
6.1.3	8 位串行 A/D 芯片 TLC0831 与单片机的接口及编程 .....	210
6.1.4	8 位 2 通道串行 A/D 芯片 ADC0832 与单片机的接口及编程 .....	211
6.1.5	10 位串行 A/D TLC1543 与单片机的接口及编程 .....	214
6.2	12 位串行输出 A/D 芯片及接口技术 .....	221
6.2.1	12 位串行 A/D 芯片 AD7893 与单片机接口技术 .....	221
6.2.2	串行 12 位 A/D 芯片 MAX187 与单片机接口技术 .....	223
6.2.3	双通道 12 位串行 A/D 芯片 MAX144 与单片机接口技术 .....	226
6.3	16 位串行输出 A/D 芯片及接口技术 .....	229
6.3.1	16 位低速串行 A/D 芯片 AD7705 接口及编程 .....	229
6.3.2	高速串行 16 位 A/D 芯片 AD7683 与单片机接口技术 .....	233
6.3.3	多通道串行输出 16 位 A/D 芯片 TLC2543 及接口 .....	237

## 第 7 章 系统后向通道配置及串行 D/A 接口技术

7.1	后向通道中的功率开关器件及接口技术 .....	245
7.1.1	继电器及接口 .....	245
7.1.2	光电耦合器(隔离器)件及驱动接口 .....	246
7.1.3	光电耦合驱动晶闸管(可控硅)功率开关及接口 .....	247
7.2	后向通道中的串行 D/A 转换及接口技术 .....	248
7.2.1	串行输入、电压输出的 10 位 D/A 芯片 TLC5615 接口技术 .....	248
7.2.2	串行输入、电压输出的 12 位 D/A 芯片 TLC5616 的应用 .....	252
7.2.3	串行输入 12 位 D/A 芯片 DAC8512 接口设计 .....	255

附录 A	89C51 指令表 .....	258
附录 B	89C51 指令矩阵(汇编/反汇编表) .....	263
参考文献	.....	264



# 第 1 章

## 单片机的硬件结构和原理

### 1.1 单片机的内部结构及特点

ATMEL、PHILIPS 和 SST 等公司生产的低功耗、高性能的 8 位 89C51 单片机具有比 80C31 更丰富的硬件资源,特别是其内部增加的闪速可电改写的存储器 Flash ROM 给单片机的开发及应用带来了很大的方便。因为  $89C51 = 80C31 + 373 + 2732$ ,且芯片的价格非常便宜,所以,近年来得到了极其广泛的应用。

本章将以 89C51(AT89C51、P89C51 或 STC89C51)单片机为典型机,详细介绍芯片内部的硬件资源、各个功能部件的结构及原理。

#### 1.1.1 单片机的基本组成

图 1.1 所示为 89C51 带闪存(Flash ROM)单片机的基本结构框图。

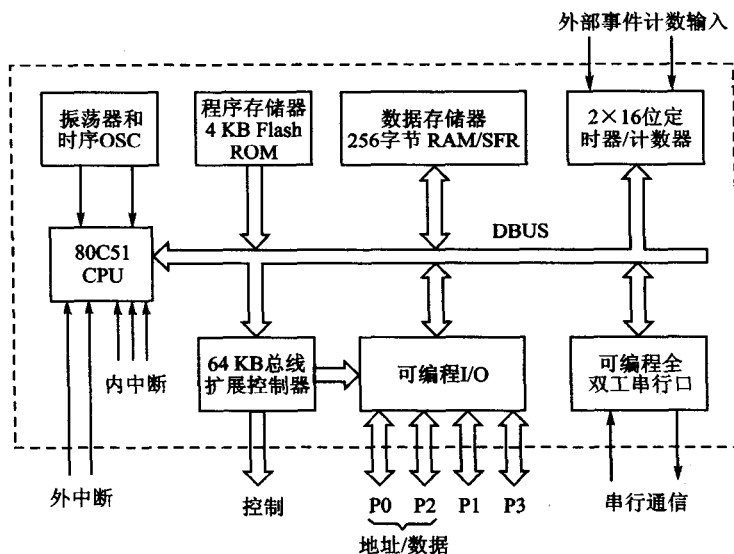


图 1.1 89C51 单片机结构框图

89C51 单片机芯片内包括:

- 一个 8 位 80C51 微处理器(CPU)。
- 片内 256 字节数据存储器 RAM/SFR,用以存放可读/写的的数据,如运算的中间结果、最

终结果以及欲显示的数据等。

- 片内 4 KB 程序存储器 Flash ROM, 用以存放程序、一些原始数据和表格。
- 4 个 8 位并行 I/O 端口 P0~P3, 每个端口既可作为输入, 也可作为输出。
- 两个 16 位定时器/计数器, 每个定时器/计数器都可以设置成计数方式, 用以对外部事件进行计数, 也可以设置成定时方式, 并可以根据计数或定时的结果实现计算机控制。
- 具有 5 个中断源、2 个中断优先级的中断控制系统。
- 一个全双工 UART(通用异步接收发送器)的串行 I/O 口, 用于实现单片机之间或单片机与 PC 机之间的串行通信。
- 片内振荡器和时钟产生电路, 但石英晶体和微调电容需要外接, 最高允许振荡频率为 24 MHz。
- 89C51 单片机与 8051 相比, 具有节电工作方式, 即休眠方式及掉电方式。

以上各个部分通过片内 8 位数据总线(DBUS)相连接。

另外 89C51 是用静态逻辑来设计的, 其工作频率可下降到 0 Hz, 并提供两种可用软件来选择省电方式——空闲方式(Idle Mode)和掉电方式(Power Down Mode)。在空闲方式中, CPU 停止工作, 而 RAM、定时器/计数器、串行口和中断系统都继续工作。此时的电流可降到大约为正常工作方式的 15%。在掉电方式中, 片内振荡器停止工作, 由于时钟被“冻结”, 使一切功能都暂停, 故只保存片内 RAM 中的内容, 直到下一次硬件复位为止。这种方式下的电流可降到 15  $\mu$ A 以下, 最小可降到 0.6  $\mu$ A。

89C51 单片机还有一种低电压的型号, 即 89LV51, 除了电压范围有区别之外, 其余特性与 89C51 完全一致。

89C51/LV51 是一种低功耗、低电压、高性能的 8 位单片机。它采用了 CMOS 工艺和高密度非易失性存储器(NURAM)技术, 而且其输出引脚和指令系统都与 MCS-51 兼容; 片内的 Flash ROM 允许在系统内改编程序或用常规的非易失性存储器编程器来编程。因此, 89C51/LV51 是一种功能强、灵活性高且价格合理的单片机, 可方便地应用在各种控制领域。

### 1.1.2 单片机的内部结构

89C51 单片机与早期 Intel 公司的 8051/8751/8031 芯片的外部引脚和指令系统完全兼容, 只不过用 Flash ROM 替代了 ROM/EPROM 而已。

89C51 单片机内部结构如图 1.2 所示。

一个完整的单片机应该由运算器、控制器、存储器(ROM 及 RAM)和 I/O 接口组成。各部分功能简述如下。

#### 1. 中央处理单元(89C51 CPU)

CPU 是单片机的核心, 是单片机的控制和指挥中心, 由运算器和控制器等部件组成。

##### 1) 运算器

运算器包括一个可进行 8 位算术运算和逻辑运算的单元 ALU, 8 位暂存器 1(TMP1)、暂存器 2(TMP2), 8 位累加器 ACC, 寄存器 B 和程序状态寄存器 PSW 等。

① ALU: 逻辑运算单元。可对 4 位(半字节)、8 位(一字节)和 16 位(双字节)数据进行操作, 能做加、减、乘、除、加 1、减 1、BCD 数十进制调整及比较等算术运算和“与”、“或”、“异或”、

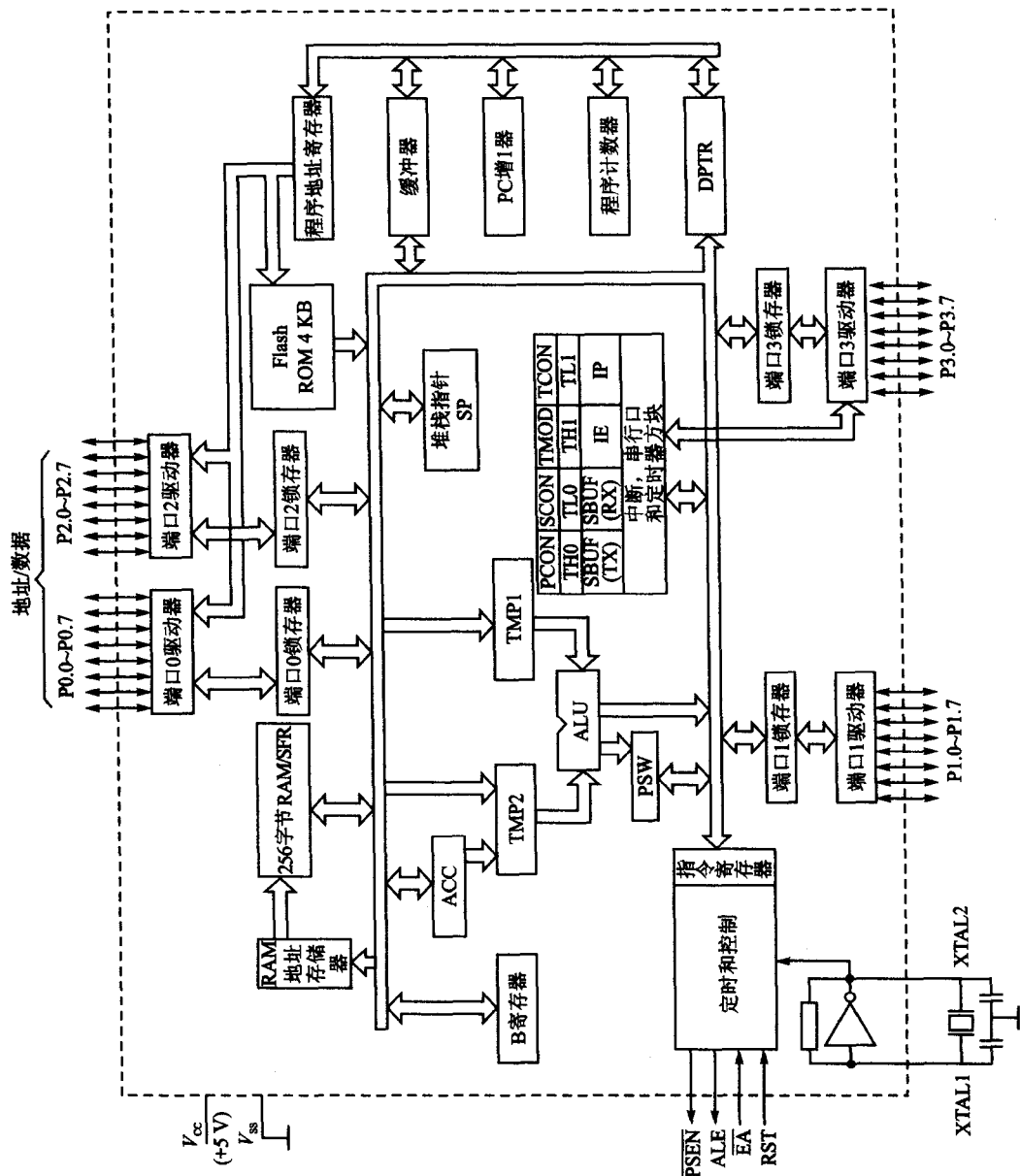


图 1.2 89C51 单片机的内部结构图

“求补”及“循环移位”等逻辑操作。

② ACC: 累加器。经常作为一个运算数经暂存器 2 进入 ALU 的输入端,与另一个来自暂存器 1 的运算数进行运算,运算结果又送回 ACC。除此之外,ACC 在 89C51 内部经常作为数据传送的中转站。同一般微处理器一样,它是最忙碌的一个寄存器。在指令中用助记符 A 来表示。

③ PSW: 程序状态字寄存器,8 位,用于指示指令执行后的状态信息,相当于一微处理

器的标志寄存器。PSW 中各位状态供程序查询和判别用。详见 1.3.2 节特殊功能寄存器 (SFR) 中介绍。

④ B: 8 位寄存器。在乘、除运算时, B 寄存器用来存放一个操作数, 也用来存放运算后的一部分结果; 若不做乘、除运算, 则可作为通用寄存器使用。

另外, 89C51 片内还有一个布尔处理器, 它以 PSW 中的进位标志位 CY 为其累加器(在布尔处理器及其指令中以 C 代替 CY), 专门用于处理位操作。例如, 可执行置位、位清 0、位取反、位等于 1 转移、位等于 0 转移、位等于 1 转移并清 0 以及位累加器 C 与其他可位寻址的空间之间进行信息传送等位操作, 也能使 C 与其他可寻址位之间进行逻辑“与”和“或”操作, 结果存放在进位标志位(位累加器)C 中。

### 2) 控制器

控制器包括程序计数器 PC、指令寄存器 IR、指令译码器 ID、振荡器及定时电路等。

① 程序计数器 PC: 由两个 8 位计数器 PCH 及 PCL 组成, 共 16 位。PC 实际上是程序的字节地址计数器, PC 中的内容是将要执行的下一条指令的地址。改变 PC 的内容就可改变程序执行的方向。

② 指令寄存器 IR 及指令译码器 ID: 由 PC 中的内容指定 Flash ROM 地址, 取出来的指令经指令寄存器 IR 送至指令译码器 ID, 由 ID 对指令译码并送 PLA 产生一定序列的控制信号, 以执行指令所规定的操作。例如, 控制 ALU 的操作, 在 89C51 片内工作寄存器间传送数据, 以及发出 ACC 与 I/O 口(P0~P3)或存储器之间通信的控制信号等。

③ 振荡器及定时电路: 89C51 单片机片内有振荡电路, 只需外接石英晶体和频率微调电容(2 个 30 pF 左右), 其频率为 0~24 MHz。该脉冲信号即作为 89C51 工作的基本节拍, 即时间的最小单位。89C51 同其他单片机一样, 在基本节拍的 control 下协调地工作, 就像一个乐队按着指挥的节拍演奏一样。

## 2. 存储器

89C51 片内有 Flash ROM(程序存储器, 只能读)和 RAM(数据存储器, 可读可写)两类, 它们有各自独立的存储地址空间。

① 程序存储器(Flash ROM)。89C51 片内程序存储器容量为 4 KB, 地址从 0000H 开始, 用于存放程序和表格常数。

② 数据存储器(RAM)。89C51 片内数据存储器为 128 字节, 地址为 00H~7FH, 用于存放运算的中间结果、数据暂存以及数据缓冲等。

在这 128 字节的 RAM 中, 有 32 字节单元可指定为工作寄存器。这同一般微处理器不同, 89C51 的片内 RAM 和工作寄存器排在一个队列里统一编址。

由图 1.2 可见, 89C51 单片机内部还有 SP、DPTR、PCON、IE 和 IP 等多个特殊功能寄存器, 它们也同 128 字节 RAM 在一个队列中编址, 地址为 80H~FFH。在这 128 字节 RAM 单元中, 有 21 个特殊功能寄存器(SFR), 这些特殊功能寄存器还包括 P0~P3 口锁存器。

如何使用 RAM 中的 32 个工作寄存器和特殊功能寄存器, 1.3.2 节将详细介绍。

## 3. I/O 接口

89C51 有 4 个与外部交换信息的 8 位并行接口, 即 P0~P3。它们都是准双向端口, 每个端口各有 8 条 I/O 线, 均可输入/输出。P0~P3 口 4 个锁存器同 RAM 统一编址, 可以把 I/O

口当作一般特殊功能寄存器(SFR)来寻址。

除4个8位并行口外,89C51还有一个可编程的全双工串行口(UART),利用P3.0(RXD)和P3.1(TXD),可实现与外界的串行通信。

## 1.2 单片机的引脚及其功能

图1.3是89C51/LV51单片机的引脚结构图,有双列直插封装(DIP)方式和方形封装方式。下面分别叙述这些引脚的功能。

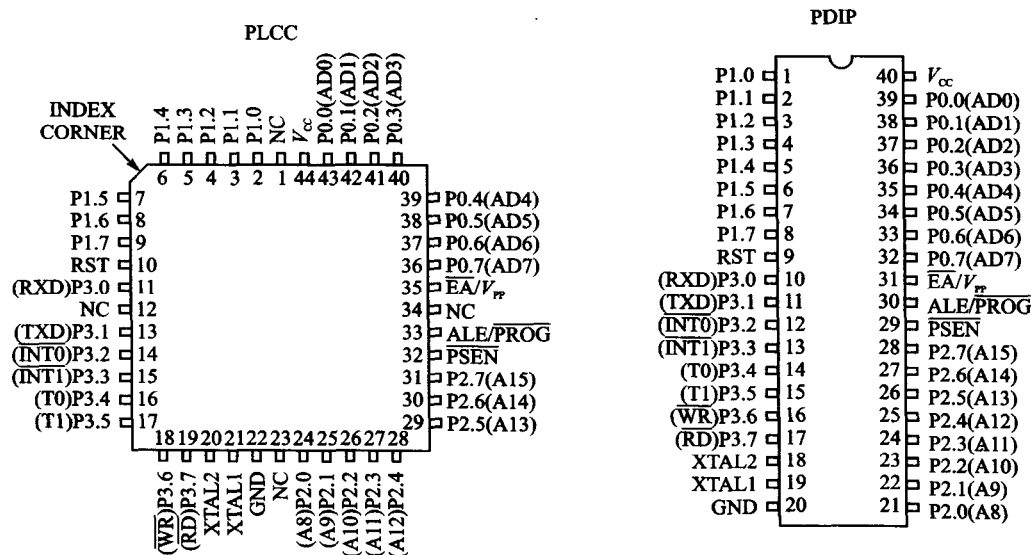


图 1.3 89C51/LV51 单片机的引脚结构

### 1. 电源引脚 $V_{CC}$ 和 $V_{SS}$

$V_{CC}$  (引脚 40): 电源端,为 +5 V。

$V_{SS}$  (引脚 20): 接地端。

### 2. 外接晶体引脚 XTAL1 和 XTAL2

XTAL2 (引脚 18): 接外部晶体和微调电容的一端。在 89C51 片内,它是振荡电路反相放大器的输出端,振荡电路的频率就是晶体的固有频率。若须采用外部时钟电路,则该引脚悬空。

要检查 89C51 的振荡电路是否正常工作,可用示波器查看 XTAL2 端是否有脉冲信号输出。

XTAL1 (引脚 19): 接外部晶体和微调电容的另一端。在片内,它是振荡电路反相放大器的输入端。在采用外部时钟时,该引脚输入外部时钟脉冲。

### 3. 控制信号引脚 RST、ALE、PSEN 和 EA

RST (引脚 9): 复位信号输入端,高电平有效。当此输入端保持两个机器周期(24 个时钟振荡周期)的高电平时,即可完成复位操作。

**PSEN (Program Store Enable, 引脚 29)**: 程序存储允许输出信号端。当 89C51/LV51 由片外程序存储器取指令(或常数)时,每个机器周期两次  $\overline{\text{PSEN}}$  有效(即输出 2 个脉冲)。但在此期间内,每当访问外部数据存储器时,这两次有效的  $\overline{\text{PSEN}}$  信号将不出现。

$\overline{\text{PSEN}}$  端可驱动 8 个 LS 型 TTL 负载。

要检查一个 89C51 小系统上电后 CPU 能否正常工作,也可用示波器看  $\overline{\text{PSEN}}$  端有无脉冲输出。若有,则说明基本上工作正常。

**ALE/PROG (Address Latch Enable/Programming, 引脚 30)**: 地址锁存允许信号端。当 89C51 上电正常工作后,ALE 引脚不断向外输出正脉冲信号,此信号频率为振荡器频率  $f_{\text{osc}}$  的 1/6。当 CPU 访问片外存储器时,ALE 输出信号作为锁存低 8 位地址的控制信号。

平时不访问片外存储器时,ALE 端也以振荡频率的 1/6 固定输出正脉冲,因而 ALE 信号可用作对外输出时钟或定时信号。如果想确认 89C51 芯片的好坏,可用示波器查看 ALE 端是否有脉冲信号输出。若有脉冲信号输出,则 89C51 基本上是好的。

ALE 端的负载驱动能力为 8 个 LS 型 TTL(低功耗甚高速 TTL)负载。

此引脚的第 2 功能  $\overline{\text{PROG}}$  在对片内带有 4 KB Flash ROM 的 89C51 编程写入(固化程序)时,作为编程脉冲输入端。

**$\overline{\text{EA}}/V_{\text{pp}}$  (Enable Address/Voltage Pulse of Programming, 引脚 31)**: 外部程序存储器地址允许输入端/固化编程电压输入端。

当  $\overline{\text{EA}}$  引脚接高电平时,CPU 只访问片内 Flash ROM,并执行内部程序存储器中的指令;但当 PC(程序计数器)的值超过 0FFFH(对 89C51 为 4 KB)时,将自动转去执行片外程序存储器内的程序。

当输入信号  $\overline{\text{EA}}$  引脚接低电平(接地)时,CPU 只访问片外 ROM,并执行片外程序存储器中的指令,而不管是否有片内程序存储器。然而需要注意的是,如果保密位 LB1 被编程,则复位时在内部会锁存  $\overline{\text{EA}}$  端的状态。

当  $\overline{\text{EA}}$  端保持高电平(接  $V_{\text{CC}}$  端)时,CPU 则执行内部程序存储器中的程序。

在 Flash ROM 编程期间,该引脚也用于施加 12 V 的编程允许电源  $V_{\text{pp}}$ (如果选用 12 V 编程)。

#### 4. 输入/输出端口 P0、P1、P2 和 P3

**P0 端口(P0.0~P0.7, 引脚 39~32)**: P0 是一个漏极开路的 8 位准双向 I/O 端口。它作为漏极开路的输出端口,每位能驱动 8 个 LS 型 TTL 负载。当 P0 口作为输入口使用时,应先向口锁存器(地址 80H)写入全 1,此时 P0 口的全部引脚浮空,可作为高阻抗输入。作输入口使用时要先写 1,这就是准双向的含义。

在 CPU 访问片外存储器(89C51 片外 EPROM 或 RAM)时,P0 口分时提供低 8 位地址和 8 位数据的复用总线。在此期间,P0 口内部上拉电阻有效。

在 Flash ROM 编程时,P0 端口接收指令字节;而在校验程序时,则输出指令字节。验证时,要求外接上拉电阻。

**P1 端口(P1.0~P1.7)**: P1 是一个带有内部上拉电阻的 8 位双向 I/O 端口。其输出缓冲器可驱动(吸收或输出电流方式)4 个 TTL 输入。对该端口写 1 时,通过内部上拉电阻把该端口拉到高电位,这时它可用作输入口。P1 作为输入口使用时,因为有内部上拉电阻,那些被外

部信号拉低的引脚会输出一个电流( $I_{IL}$ )。

在对 Flash ROM 编程和程序校验时, P1 接收低 8 位地址。

**P2 端口(P2.0~P2.7):** P2 是一个带有内部上拉电阻的 8 位双向 I/O 端口。其输出缓冲器可驱动(吸收或输出电流方式)4 个 TTL 输入。对该端口写 1 时, 通过内部上拉电阻把该端口拉到高电位, 这时它可用作输入口。P2 作为输入口使用时, 因为有内部上拉电阻, 那些被外部信号拉低的引脚会输出一个电流( $I_{IL}$ )。

在访问外部程序存储器和 16 位地址的外部数据存储器(如执行“MOVX @DPTR”指令)时, P2 送出高 8 位地址。在访问 8 位地址的外部数据存储器(如执行“MOVX @R1”指令)时, P2 引脚上的内容(就是专用寄存器(SFR)区中 P2 寄存器的内容), 在整个访问期间不会改变。

在对 Flash ROM 编程和程序校验期间, P2 也接收高位地址和一些控制信号。

**P3 端口(P3.0~P3.7):** P3 是一个带内部上拉电阻的 8 位双向 I/O 端口。其输出缓冲器可驱动(吸收或输出电流方式)4 个 TTL 输入。对该端口写 1 时, 通过内部上拉电阻把该端口拉到高电位, 这时它可用作输入口。P3 作输入口使用时, 因为有内部上拉电阻, 那些被外部信号拉低的引脚会输出一个电流( $I_{IL}$ )。

在 89C51 中, P3 端口还用于一些复用功能。其复用功能如表 1.1 所列。

在对 Flash ROM 编程或程序校验时, P3 还接收一些控制信号。

图 1.4、图 1.5、图 1.6 和图 1.7 分别给出了 P0、P1、P2 和 P3 端口的 1 位结构。每个端口都是 8 位准双向口, 共占 32 只引脚。每一条 I/O 线都能独立地用作输入或输出。每个端口都包括一个锁存器(即特殊功能寄存器 P0~P3)、一个输出驱动器和输入缓冲器。这些端口作输出时, 数据可以锁存; 作输入时, 数据可以缓冲。但这 4 个通道的功能不完全相同, 其内部结构也略有不同。

当 89C51 执行输出操作时, CPU 通过内部总线把数据写入锁存器。而 89C51 执行输入(读端口)操作却有两种方式: 当执行的是读锁存器指令时, CPU 发出读锁存器信号, 此时锁存器状态由触发器的 Q 端经锁存器上面的三态输入缓冲器 1 送入内部总线; 当执行的是读端口引脚的指令时, CPU 发出读引脚控制信号, 直接读取端口引脚上的外部输入信息, 此时引脚状态经锁存器下面的三态输入缓冲器 2 送入内部总线。

在 89C51 无片外扩展存储器的系统中, 这 4 个端口都可以作为准双向通用 I/O 口使用。在具有片外扩展存储器的系统中, P2 口送出高 8 位地址; P0 口为双向总线, 分时送出低 8 位地址和数据的输入/输出。

89C51 单片机 4 个 I/O 端口的电路设计非常巧妙。熟悉 I/O 端口逻辑电路, 不但有利于正确、合理地使用端口, 而且对设计单片机外围逻辑电路也会有所启发。

表 1.1 P3 端口引脚与复用功能表

端口引脚	复用功能
P3.0	RXD(串行输入口)
P3.1	TXD(串行输出口)
P3.2	$\overline{INT0}$ (外部中断 0)
P3.3	$\overline{INT1}$ (外部中断 1)
P3.4	T0(定时器 0 的外部输入)
P3.5	T1(定时器 1 的外部输入)
P3.6	$\overline{WR}$ (外部数据存储器写选通)
P3.7	$\overline{RD}$ (外部数据存储器读选通)

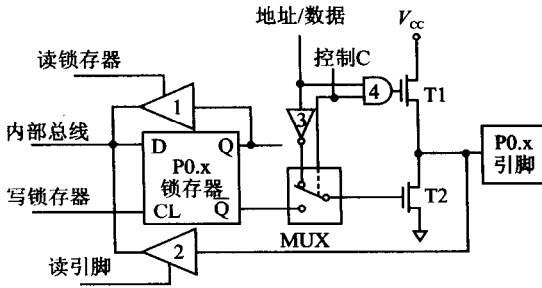


图 1.4 P0 口某位结构

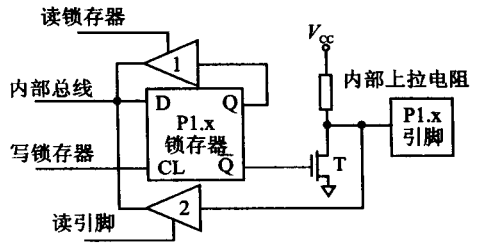


图 1.5 P1 口某位结构

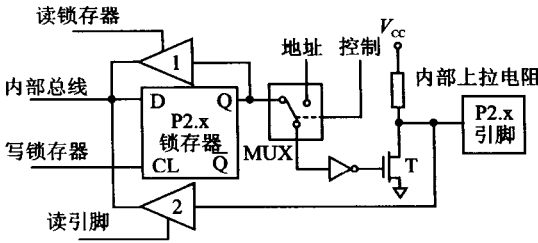


图 1.6 P2 口某位结构

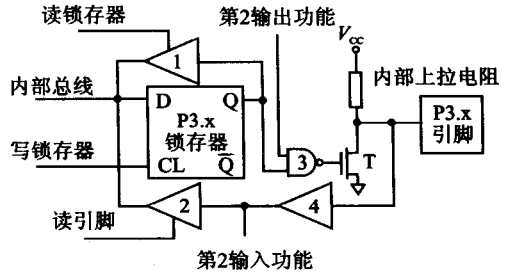


图 1.7 P3 口某位结构

### 1.3 单片机的存储器配置

89 系列单片机与 MCS-51 系列单片机一样，它与一般微机的存储器配置方式很不相同。一般微机通常只有一个地址空间，而 ROM 和 RAM 可以随意安排在一个地址范围内不同的空间，即 ROM 和 RAM 的地址同在一个队列中分配不同的地址空间。CPU 访问存储器时，一个地址对应唯一的存储器单元，可以是 ROM，也可以是 RAM，并用同类访问指令。此种存储器结构称为普林斯顿结构。

89C51 的存储器在物理结构上分为程序存储器空间和数据存储器空间，共有 4 个存储空间：片内程序存储器和片外程序存储器空间，以及片内数据存储器 and 片外数据存储器空间。这种程序存储器和数据存储器分开的结构形式，称为哈佛结构。但从用户使用的角度看，89C51 存储器地址空间分为以下 3 类：

- 片内、片外统一编址 0000H~FFFFH 的 64 KB 程序存储器地址空间(采用 16 位地址)。
- 64 KB 片外数据存储器地址空间，地址也在 0000H~FFFFH(采用 16 位地址)范围内编址。
- 256 字节数据存储器地址空间(采用 8 位地址)。

89C51 存储器空间配置如图 1.8 所示。

上述 3 个存储空间地址是重叠的，如何区别这 3 个不同的逻辑空间呢？89C51 的指令系统设计了不同的数据传送指令符号：CPU 访问片内、片外 ROM 用指令 MOV<sub>C</sub>，访问片外



RAM 或片外 I/O 接口用指令 MOVX, 访问片内 RAM 用指令 MOV。

对于图 1.8 中的引脚信号  $\overline{\text{PSEN}}$ , 若  $\overline{\text{PSEN}}$  有效, 即能读出片外 ROM 中的指令。引脚信号  $\overline{\text{RD}}$  和  $\overline{\text{WR}}$  有效时可读/写片外 RAM 或片外 I/O 接口。

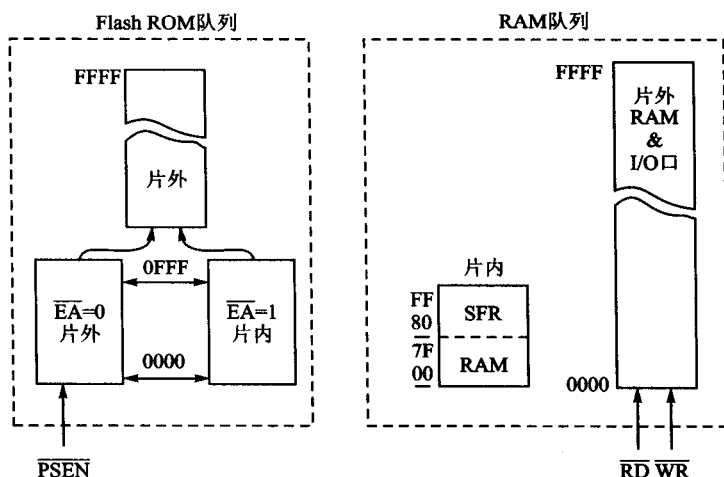


图 1.8 89C51/LV51 的存储器配置

### 1.3.1 程序存储器地址空间

89C51 存储器地址空间分为程序存储器(64 KB ROM)和数据存储器(64 KB RAM)。程序存储器用于存放编好的程序和表格常数。它通过 16 位程序计数器寻址,寻址能力为 64 KB。这使得指令能在 64 KB 地址空间内任意跳转,但不能使程序从程序存储器空间转移到数据存储器空间。

89C51 片内 Flash ROM 的容量为 4 KB,地址为 0000H~0FFFH;片外最多可扩至 64 KB ROM,地址为 1000H~FFFFH,片内外统一编址。

当引脚  $\overline{\text{EA}}$  接高电平时,89C51 的程序计数器 PC 在 0000H~0FFFH 范围内(即前 4 KB 地址)执行片内 Flash ROM 中的程序;当指令地址超过 0FFFH 后,就自动转向片外 ROM 中去取指令。

程序存储器低地址的 40 多个单元是留给系统使用的,见表 1.2。

存储单元 0000H~0002H 用作 89C51 上电复位后引导程序的存放单元。因为 89C51 上电复位后程序计数器的内容为 0000H,所以 CPU 总是从 0000H 开始执行程序。如果在这 3 个单元中存有转移指令,那么程序就被引导到转移指令指定的 ROM 空间去执行。0003H~002AH 单元均匀地分为 5 段,每段 8 字节,用作 5 个中断服务程序的入口。

例如,当外部中断引脚  $\overline{\text{INT0}}$ (P3.2)有效时,即引起中断申请,CPU 响应中断后自动将地址 0003H 装入 PC,程序就自动转向 0003H 单元开始执行。如果事先在 0003H~000AH 存有引导(转移)指令,程序就被引导(转移)到指定的中断服务程序空间去执行。这里,0003H 称为中断矢量地址。中断矢量地址如表 1.3 所列。