

超大规模 集成电路测试

雷绍充 邵志标 梁 峰 © 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

内 容 简 介

VLSI 测试与可测性设计方法学已臻成熟, 诸多理论和方法也为设计和制造界广泛接受, 亦成为 EDA 工具的基本特征。本书系统化编撰迄今为止主流的方法学与结构, 为读者进行更深层次的电路设计、模拟、测试和分析打下良好的基础, 也为电路(包括电路级、芯片级和系统级)的设计、制造、测试和应用之间建立一个相互交流的平台。

本书主要内容包括电路测试基础, 验证、模拟和仿真, 自动测试生成, 专用可测性设计, 扫描设计, 边界扫描法; 随机测试和伪随机测试, 内建自测试, 电流测试, 存储器测试, SoC 测试。

本书既可作为高等院校高年级学生和研究生专业课教材, 也可作为从事集成电路设计、制造、测试、应用 EDA 和 ATE 专业人员的参考用书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目(CIP)数据

超大规模集成电路测试 / 雷绍充, 邵志标, 梁峰编著. 北京: 电子工业出版社, 2008.5
ISBN 978-7-121-06307-7

I. 超… II. ①雷…②邵…③梁… III. 超大规模集成电路—测试技术 IV. TN470.7

中国版本图书馆 CIP 数据核字(2008)第 042766 号

策划编辑: 高买花

责任编辑: 毕军志

印 刷: 北京市海淀区四季青印刷厂

装 订: 涿州市桃园装订有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1 092 1/16 印张: 20.75 字数: 479 千字

印 次: 2008 年 5 月第 1 次印刷

印 数: 4 000 册 定价: 45.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前 言

与其他工程技术一样，集成电路产品也有相应而生的测试技术，以保证足够高的成品率。有别于一般工程技术，集成电路还有独特的可测性设计技术，原因在于 VLSI（超大规模集成电路）集成度、复杂程度和速度不断提高，使得测试复杂程度和测试成本剧增，甚至难以进行。这时，必须在设计阶段就要考虑和解决复杂的测试问题。特别是在半导体工业进入 90nm 和更小尺寸技术以来，特征尺寸不断减小，能否成功开发具有竞争力的 VLSI 产品，有效的测试和可测性设计技术成为关键。

历经四十余载的发展，测试和可测性设计方法学已臻成熟，诸多理论和方法也为设计和制造界广泛接受，诸多方法，如扫描路径设计，亦成为 EDA 工具的基本特征。因此，业界和国外教育界认为有必要给从事电子类的学生和实践者提供这类教程，使得他们掌握全新而基本的 VLSI 测试原理和可测性设计结构，设计出高质量产品，进而适应大规模可靠的制造。

近几年来，我国在集成电路设计和制造方面发展比较快，逐渐向中高端发展，其规模和水平的提高，也促进了相应的测试和可测性设计技术的发展。时至今日，给高年级本科生和研究生开设此类课程的必要性已趋于认同，但国内关于这方面系统化的教材十分缺乏，从事相关领域的专业人员也只能通过边实践边摸索来逐步掌握这方面的知识，本书即是鉴于这方面需要而编写的，将系统介绍 VLSI 测试与可测性设计方法学，为读者进行更深层次的电路设计、模拟、测试和分析打下良好的基础，也为从事电路（包括电路级、芯片级和系统级）的设计、制造、测试和应用的专业人员建立一个相互交流的平台。

本书体现了著者为系统、规范地诠释 VLSI 测试与可测性设计方法学所进行的努力和尝试。对于不同方式的测试，诸如验证、模拟、仿真；对于测试的不同过程，诸如建模、测试生成、测试施加和测试分析，都纳入测试范畴，用规范化术语系统论述，这样就从理论上明确了诸如验证、模拟、仿真之间的关系，也使术语的使用规范化，同时也为可测性分析、测试经济学等明确了研究范围，为电路的设计、制造、测试、EDA 和 ATE 业界专业人员就测试方面建立通用的交流平台，做到理论和术语的“无缝连接”。

为了分析和测试电路设计、制造的正确性，需要相应的规范化术语和检查、分析方法，也需建立描述电路的不正常现象的模型，因此分析和检测故障的方法应运而生，其主要内容为构造准确的失效模型，对原形设计的模型生成高效率的测试代码，进行测试结果分析，这些都是本书的第一部分内容。

第二部分对电路的模拟方法、组合电路和时序电路的确定性生成方法进行了详细的论述。

第三部分介绍可测性分析。所谓的可测性，指电路容易测试，电路功能正确，且易于在电路的输入端施加信号，在电路的输出端容易观察电路的响应，电路设计和修改中就用可测性分析的方法和工具改善电路的结构。

第四部分介绍可测性设计。随着电路的集成度和工艺的快速发展，测试设备的速度和

处理能力难以适应，设计中采用内建自测试（BIST）结构，BIST嵌入在电路内部使之成为电路设计的一部分，这样的电路是根据测试分析理论总结出来的结构，这类设计就是可测性设计。

电路设计、测试、分析内容和方法的发展，促进了EDA工具的发展，使设计的每一个测试过程包括高层次综合都可以做到不同程度的自动化，EDA工具也包含着测试结构插入和综合等测试功能。掌握这方面的专业术语、基础理论和实际操作方法，也是本书的一个基点。

随着测试设计和分析理论的发展，以及工业界的应用拓展，一些普遍性的问题需要研究和规范化，不同芯核的设计之间有规范的标准，以实现芯核间良好的接口。为此，有关国际技术组织已商定一些标准，具有代表性的是IEEE 1149.1（JTAG）和IEEE 1149.4，另外还有关于SoC设计和测试的推荐标准IEEE 1149.4和IEEE P1500，本书也对这些标准进行了介绍。

为了巩固和考查学习效果，每章都精编思考练习题。全书配套有ISCAS Benchmarks和典型实验脚本文件，请有此需要的教师登录华信教育资源网（www.huaxin.edu.cn或www.hxedu.com.cn）免费注册后再进行下载，有问题时请在网站留言板留言或与电子工业出版社联系（E-mail:hxedu@phei.com.cn）。

由于编者学识有限，而VLSI测试与可测性设计内容庞杂，势必牵一漏万，不当之处请读者斧正。

编著者

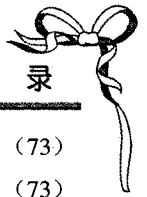
2008年2月

目 录

第 1 章 概述	(1)
1.1 研究意义	(1)
1.2 章节安排	(4)
1.3 基本概念	(5)
本章小结	(17)
习题	(18)
参考文献	(18)
第 2 章 电路测试基础	(21)
2.1 验证、模拟和测试	(21)
2.1.1 验证	(21)
2.1.2 生产测试	(21)
2.1.3 可测性设计	(23)
2.1.4 仿真	(23)
2.1.5 验证与生产测试之比较	(25)
2.2 故障及故障检测	(25)
2.2.1 故障检测的基本原理	(25)
2.2.2 测试图形生成	(26)
2.3 缺陷、失效和故障	(27)
2.3.1 物理缺陷	(29)
2.3.2 失效方式	(30)
2.3.3 故障	(31)
2.3.4 故障、失效和缺陷的关系	(31)
2.4 经典故障模型	(32)
2.4.1 SSA 故障	(32)
2.4.2 MSA 故障	(33)
2.5 故障的等效、支配和故障冗余	(34)
2.5.1 故障表	(34)
2.5.2 故障等效	(35)
2.5.3 故障支配	(36)
2.5.4 故障表简化	(37)
2.5.5 检查点	(38)
2.5.6 故障冗余	(38)
2.6 晶体管级故障模型	(39)
2.6.1 桥接故障	(40)



2.6.2	NMOS 电路的短路与开路故障	(42)
2.6.3	CMOS 电路开路故障	(42)
2.6.4	CMOS 电路的恒定通与短路故障	(42)
2.7	其他类型故障模型	(43)
2.7.1	延迟故障	(43)
2.7.2	暂时失效	(45)
	本章小结	(45)
	习题	(46)
	参考文献	(47)
第 3 章	验证、模拟和仿真	(50)
3.1	验证与模拟	(50)
3.1.1	模拟的概念	(50)
3.1.2	验证与模拟的方法	(51)
3.1.3	验证方法	(54)
3.2	基于 Testbench 的验证	(54)
3.2.1	Testbench 格式	(54)
3.2.2	Testbench 开发语言和工具	(55)
3.2.3	Testbench 举例	(55)
3.3	逻辑模拟	(58)
3.3.1	编译模拟	(58)
3.3.2	事件驱动模拟	(59)
3.3.3	延迟模型	(59)
3.4	故障模拟	(60)
3.4.1	并行故障模拟	(62)
3.4.2	演绎故障模拟	(63)
3.4.3	并发性故障模拟	(64)
3.4.4	故障模型结果分析	(65)
3.5	仿真	(66)
3.5.1	基于阵列处理器的仿真	(66)
3.5.2	基于 FPGA 的仿真	(66)
3.6	基于 ATPG 工具的故障模拟	(68)
3.6.1	实验工具和目的	(68)
3.6.2	Tetramax 的故障模拟流程	(68)
3.6.3	脚本文件举例	(69)
3.6.4	练习 1——故障模拟	(70)
3.6.5	练习 2——ATPG 工具参数设置	(70)
	本章小结	(71)
	习题	(71)
	参考文献	(72)



第 4 章 自动测试生成	(73)
4.1 简介	(73)
4.2 代数法	(74)
4.2.1 异或法	(74)
4.2.2 布尔差分法	(76)
4.3 路径敏化法	(78)
4.3.1 确定性算法的基本过程	(79)
4.3.2 路径敏化法举例	(80)
4.4 D 算法	(82)
4.4.1 D 算法关键术语	(82)
4.4.2 D 算法举例	(85)
4.5 PODEM 算法	(87)
4.5.1 PODEM 算法思路	(87)
4.5.2 PODEM 算法流程	(88)
4.6 自动识别法	(89)
4.6.1 时序电路的检查序列	(90)
4.6.2 自动识别法的步骤和举例	(93)
4.7 时序电路的确定性测试生成	(94)
4.7.1 功能模型	(95)
4.7.2 测试生成模型	(96)
4.7.3 扩展的向后追踪算法	(97)
4.7.4 扩展的向后追踪算法举例	(99)
4.8 其他 ATPG 方法	(101)
4.8.1 FAN 算法	(101)
4.8.2 SoCRATES 算法	(102)
4.8.3 FASTEST 算法	(102)
4.8.4 CONTEST 算法	(103)
本章小结	(103)
习题	(103)
参考文献	(105)
第 5 章 专用可测性设计	(107)
5.1 可测性分析	(107)
5.1.1 可控性值	(108)
5.1.2 可观性值	(111)
5.1.3 SCOAP 算法描述	(113)
5.1.4 可测性度量的应用	(114)
5.2 可测性的改善方法	(116)
5.2.1 插入测试点	(116)



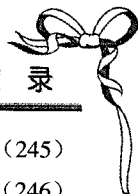
5.2.2	电路分块	(118)
5.2.3	电路分块方法举例	(119)
5.3	测试图形简化	(121)
5.3.1	测试图形简化规律	(121)
5.3.2	测试图形简化规律应用	(122)
5.4	容易测试的电路	(124)
5.4.1	部分积乘法器的 C 可测性	(124)
5.4.2	变长测试	(128)
5.5	组合电路的可测性设计	(129)
5.5.1	用 Reed-Muller 模式设计组合电路	(129)
5.5.2	异或门插入法	(131)
5.5.3	组合电路的其他可测性设计方法	(132)
5.6	时序电路可测性设计中的问题	(133)
5.6.1	时序电路的初始化设计问题	(133)
5.6.2	时间延迟效应的最小化	(134)
5.6.3	逻辑冗余问题	(136)
5.6.4	避免设计中非法状态	(136)
5.6.5	增加逻辑以控制振荡	(136)
	本章小结	(137)
	习题	(137)
	参考文献	(138)
第 6 章	扫描设计	(141)
6.1	扫描路径设计	(142)
6.1.1	基本的扫描路径设计	(142)
6.1.2	部分扫描设计	(143)
6.1.3	隔离的串行扫描设计	(144)
6.1.4	非串行的扫描设计	(145)
6.2	扫描路径的测试方法	(145)
6.2.1	组合电路部分的测试生成	(146)
6.2.2	扫描触发器的测试图形	(146)
6.2.3	测试施加	(147)
6.2.4	扫描路径测试举例	(148)
6.3	扫描单元的设计	(148)
6.3.1	D 锁存器	(148)
6.3.2	双端口扫描单元	(149)
6.3.3	电平敏感锁存器	(149)
6.3.4	电平敏感扫描设计	(150)
6.3.5	随机编址的扫描单元	(152)



6.4	基于 EDA 工具的扫描综合 ^[4-6]	(153)
6.4.1	扫描综合流程	(153)
6.4.2	扫描综合主要步骤	(153)
6.4.3	扫描综合脚本文件举例	(154)
6.5	测试综合后的自动测试生成	(156)
6.5.1	DFT 工具与 ATPG 工具的接口	(156)
6.5.2	ATPG 脚本文件	(156)
6.5.3	STIL 格式测试图形文件	(157)
6.6	扫描路径设计成本分析	(157)
6.6.1	I/O 和性能开销	(157)
6.6.2	门和面积开销	(157)
6.6.3	测试时间	(159)
6.6.4	延迟和功耗	(159)
	本章小结	(161)
	习题	(161)
	参考文献	(161)
第 7 章	边界扫描法	(162)
7.1	边界扫描法的基本结构	(162)
7.2	测试存取通道及控制	(165)
7.2.1	测试存取通道的信号	(165)
7.2.2	TAP 控制器	(166)
7.2.3	TAP 控制器的操作	(169)
7.3	寄存器及指令	(171)
7.3.1	指令寄存器	(171)
7.3.2	测试数据寄存器	(172)
7.3.3	指令	(176)
7.4	操作方式	(180)
7.4.1	正常操作	(180)
7.4.2	测试方式操作	(180)
7.4.3	测试边界扫描寄存器	(183)
7.5	边界扫描描述语言	(183)
7.5.1	主体	(183)
7.5.2	BSDL 描述器件举例	(194)
	本章小结	(196)
	习题	(196)
	参考文献	(197)
第 8 章	随机测试和伪随机测试	(198)
8.1	随机测试	(198)



8.1.1	随机测试的概念	(198)
8.1.2	故障检测率的估算	(200)
8.1.3	测试图形长度的计算	(201)
8.1.4	输入变量的优化	(202)
8.2	伪随机序列	(205)
8.2.1	同余伪随机序列	(205)
8.2.2	反馈移位寄存器和异或门构成的伪随机序列生成电路	(205)
8.3	LFSR 的数学基础	(208)
8.3.1	根据本原多项式优化伪随机序列发生电路	(208)
8.3.2	LFSR 的运算	(211)
8.3.3	M 序列的特性	(212)
8.4	基本的伪随机测试序列生成电路	(213)
8.4.1	外接型 PRSG	(214)
8.4.2	内接型 PRSG	(214)
8.4.3	混合连接型 PRSG	(215)
8.5	其他类型伪随机序列生成方法	(218)
8.5.1	与 M 序列相关的序列的生成方法	(218)
8.5.2	加权伪随机序列	(221)
8.5.3	细胞自动机	(222)
8.6	低功耗测试序列	(223)
	本章小结	(227)
	习题	(227)
	参考文献	(228)
第 9 章	内建自测试	(231)
9.1	内建自测试的概念	(231)
9.1.1	内建自测试简介	(231)
9.1.2	内建自测试的结构	(232)
9.1.3	内建自测试的测试生成	(233)
9.2	响应数据压缩	(234)
9.2.1	奇偶测试	(235)
9.2.2	“1”计数	(235)
9.2.3	跳变次数压缩	(236)
9.3	特征分析法	(237)
9.3.1	特征分析原理	(237)
9.3.2	串行输入特征寄存器	(241)
9.3.3	多输入的特征分析	(241)
9.4	内建自测试的结构	(245)
9.4.1	内建自测试	(245)



9.4.2	自动测试	(245)
9.4.3	循环内建自测试	(246)
9.4.4	内建逻辑块观测器	(246)
9.4.5	随机测试组合块	(249)
9.4.6	STUMPS	(250)
	本章小结	(250)
	习题	(251)
	参考文献	(253)
第 10 章	电流测试	(254)
10.1	I_{DDQ} 测试机理	(255)
10.1.1	基本概念	(255)
10.1.2	无故障电路的电流分析	(257)
10.1.3	转换延迟	(258)
10.2	I_{DDQ} 检测的缺陷及故障模型	(259)
10.2.1	桥接	(259)
10.2.2	栅氧	(260)
10.2.3	开路故障	(261)
10.2.4	泄漏故障	(263)
10.2.5	延迟故障	(263)
10.3	测试图形生成	(264)
10.3.1	基于电路级模型的测试图形生成	(265)
10.3.2	基于泄漏故障模型的测试图形生成	(266)
10.4	I_{DDQ} 测试方法	(267)
10.4.1	片外测试	(267)
10.4.2	片内测试	(268)
10.5	I_{DDQ} 测试的改进	(270)
10.5.1	控制截止电流的措施	(270)
10.5.2	ΔI_{DDQ}	(271)
	本章小结	(272)
	习题	(273)
	参考文献	(274)
第 11 章	存储器测试	(277)
11.1	测试类型和模型	(278)
11.1.1	性能测试和参数测试	(278)
11.1.2	特征测试	(278)
11.1.3	功能测试	(278)
11.1.4	电流测试	(279)
11.1.5	功能模型	(279)



超大规模集成电路测试

11.1.6	存储单元的表达方法	(279)
11.2	缺陷和故障模型	(280)
11.2.1	缺陷	(280)
11.2.2	阵列故障模型	(280)
11.2.3	周边逻辑	(284)
11.3	存储器测试算法	(285)
11.3.1	MSCAN 算法	(285)
11.3.2	GALPAT 算法	(285)
11.3.3	算法型测试序列	(286)
11.3.4	Checkerboard 测试	(287)
11.3.5	Marching 图形序列	(287)
11.3.6	March 测试的表达方法	(288)
11.3.7	各种存储器测试算法的分析	(288)
11.4	存储器测试方法	(291)
11.4.1	存储器直接存取测试	(291)
11.4.2	存储器内建自测试	(291)
11.4.3	宏测试	(293)
11.4.4	各种存储器测试方法比较	(294)
11.5	存储器的冗余和修复	(294)
	本章小结	(295)
	习题	(295)
	参考文献	(297)
第 12 章	SoC 测试	(299)
12.1	SoC 测试的基本问题	(300)
12.1.1	SoC 核的分类	(300)
12.1.2	SoC 测试问题	(301)
12.1.3	存取、控制和隔离	(303)
12.2	概念性的 SoC 测试结构	(304)
12.2.1	测试源和测试收集	(304)
12.2.2	测试存取机构	(305)
12.2.3	测试壳	(305)
12.3	测试策略	(307)
12.3.1	核的非边界扫描测试	(307)
12.3.2	核的边界扫描测试策略	(310)
12.4	IEEE P1500 标准	(312)
12.5	SoC 测试再探索	(316)
	参考文献	(318)

第 1 章 概 述

1.1 研究意义

随着集成电路复杂程度的不断提高和尺寸的日益缩小,测试已成为迫切需要解决的问题,特别是进入深亚微米以及超高集成度发展阶段以来,通过集成各种 IP 核,系统级芯片 SoC (System-on-Chip) 的功能更加强大,但也带来了一系列设计和测试的问题^[1]。例如,来自计算机、RF 器件、消费电子产品和因特网基础设施市场的需求,迫使集成电路厂家必须提供完整的方案,同时解决测试系统在性能和测试效率方面的问题。

VLSI 测试的定义为“A manufacturing step that ensures that the physical device, manufactured from the synthesized design, has no manufacturing defect”。要保证产品无缺陷,不仅涉及到测试技术、测试装置,还涉及到电路和系统的设计、模拟和验证、制造等多个过程,其复杂性和难点可归结为以下几点:

(1) 速度、功能和性能更高的电路与系统要求与之匹配的自动测试设备 ATE (Automatic Test Equipment), 导致测试设备投资成本提高,测试成本随之提高。测试成为 VLSI 设计、测试和制造环节中费用和难度最大的一个环节。按照 ITRS(International Technology Roadmap for Semiconductors) 的研究^[2],到 2014 年晶体管的测试成本要大于其制造成本。测试成本增加的因素主要归于两个:测试设备投资的提高和器件平均测试时间的增大。

(2) 电路与系统的速度、性能和复杂程度的日益提高,导致测试数据量随之剧增,测试时间越来越长^[1],因而测试成本随之剧增。为了适应测试技术发展的需求,生产 ATE 的各公司不断推出性能更高的测试设备,例如,惠瑞捷 (Verigy) 公司推出 Agilent 93000 系列测试仪^[4],泰瑞达 (Teradyne) 推出 Tiger 系列测试仪^[5],二者的每个测试引脚均配置处理器,可按需要灵活设置测试激励信号,以适应 SoC 测试的需要,但芯片的 I/O 数目有限,自动测试设备的通道量、吞吐能力和速度也有限,使得测试难度和复杂程度大大加剧^{[6][7]}。测试时间成为 SoC 设计要考虑的重要因素^[24]。

(3) 电路与系统的 I/O、速度和测试时间的增加,测试功耗、ATE 带宽等也成为重要影响因素,对器件的可靠性和测试质量提出更高的要求。VLSI 测试功耗主要由两部分组成,一部分是内部功耗,一部分是 I/O 功耗。据研究,电路测试时内部功耗是正常功耗的 2~4 倍,分析和降低这部分测试功耗成为测试的一个研究热点^{[9][10]}。即使对于低功耗设计的 IC,典型的 I/O 功耗也占到总功耗的 50% 左右^[11],因此降低 ATE 测试数据线的转换次数也成为要解决的问题^[11~14]。

(4) 新产品竞争激烈程度的加剧及其存活周期的缩短,产品的上市时间 (Time-to-Market) 对测试开发时间的要求更为苛刻。随着技术的快速发展和市场竞争的加剧,产品市场寿命相对于开发周期变得越来越短,测试对产品的上市时间、开发周期的影响将会越来越大,



测试开发时间已成为测试经济学研究的重要内容^[15]。

(5) 测试已成为制约 VLSI，特别是 SoC 设计和应用的一个关键因素。SoC 可以采用 IP 模块设计，核心问题是核复用带来的核测试复用问题^[16]。对于多方提供的嵌入式核的可测性设计，目前缺乏统一标准，核集成时就难以自动检测每一个核的可测性，所以必须对复用核进行测试设计，其费用大约要占 SoC 总设计成本的三分之一以上^[15]。SoC 测试另外的难题是测试对象更为庞杂，涉及工艺不同和功能不同的多个模块或核，例如，逻辑核、存储器核、模拟模块、RF 模块等，而且系统的单元数目庞大，如表 1.1 所示，列出了典型的 SoC 的晶体管数目^[2]。因此 SoC 的测试不但要考虑系统的测试方法，还必须结合单核的测试方法、核测试存取、核隔离和核测试控制等，也要考虑测试图形的质量和数量。

表 1.1 典型 SoC 的晶体管数目

器件类型		晶体管数目 (百万)		
		130nm	90nm	65nm
高频 逻辑部分	逻辑	4.7	7.1	10.9
	存储器	8.6	19.5	42.3
低频 逻辑部分	逻辑	6.8	10.3	15.7
	存储器	19.6	42.5	89.9
总计		39.7	79.4	158.9

半导体业界也对测试和测试设备提出更高的要求，IRTS 2006 版的 Test and Test equipment 一章的开篇就列出 VLSI 测试的难点（挑战）和机遇，如表 1.2 所示。与 2003 年版本相比较，最大的也是最关键的变化是把难点与挑战一节单独列为核心动力、难点（挑战）和机遇三个部分，更准确地反映器件测试的技术难点和商业挑战，也预测测试和测试设备发展的国际主流方向。该章的“核心动力”一节的“器件接口带宽”中说，“高速串行和差分 I/O 协议会适应高速器件，也会持续要求可测性设计 DFT（Design for Test）和大批量制造 HVM（High Volume Manufacturing）测试的创新，以平衡成本的增加”。“集成和整合非数字 CMOS 工艺”部分中说，“（此类器件）也给 DFT 创新提出挑战和机遇，因为 DFT 在此领域不像在数逻和存储器领域那样成为普遍实践”。在“功能分散的测试设备日趋增多，测试维护成本提高”中说，“测试项目、生产测试仪器和测试设备的分散有赖于 DFT 技术的广泛应用，普遍的工业测试过程需要系统规划，以优化生产测试投资、测试运行成本和保证产品质量。”在“逻辑测试数据的管理”一节中说，“数逻芯片复杂程度和集成度无限制的增加，导致测试数据的增加，随之而来的是测试投资和测试运行成本的增加，因为 ATE 每个数字通道的存储深度也要增加，每个 DUT（Device Under Test）的测试时间随之增加。当前一些逻辑测试向量压缩技术正在开发和应用，一些基于测试数据本身（如扫描测试），一些是基于产品的 DFT 硬件压缩。随着 SoC 和系统封装 SIP（System-in-Package）产品的复杂程度的提高和集成度的提高，压缩技术会广泛应用，也许会导致压缩率的增加。”

表 1.2 IRTS 2006:VLSI 测试的难点、挑战和机遇^[2]

核心动力 (无优先顺序)	器件发展趋势	器件接口带宽的日益增加 (包括信号量和信号数据速率) 信号集成度的日益增加 (SoC, SIP (System-in-package), MCP (Multi-chip packaging), 3D 封装) 集成和整合非数字 CMOS 工艺 (RF、模拟、光、MEMs (micro-electromechanical systems)) 封装形式和机电特性 确定激励/响应模型之外的器件特性
	日益增加的测试过程复杂性	根据器件来制定测试过程的要求日益增多, 测试项目日益复杂 功能分散的测试设备日趋增多, 测试维护成本提高 用反馈的测试数据指导生产 越来越多的多维测试条件 (如多功率、多电压以及单值电压下的多频率等)
	日益增加的测试经济因素	测试并行化的物理局限性 逻辑测试数据的管理 HVM ATE 与 DUT 之间速度的差异 测试成本与质量成本之间的均衡
难点挑战 (按优先顺序排列)	良率研究	毫米波以下的工艺及器件研究
	可靠性湮没	老化、静态电流 I_{DDQ} (Quiescent current from V_{DD}) 等的效率 器件无规律、不确定、间歇性的行为
	系统级缺陷增加	局部性软硬件缺陷 线宽度变化、精细的掺杂、系统加工缺陷的症候和效应的检测
机遇 (无优先顺序)	测试程序自动化	对整个 ATE 自动产生测试程序
	模拟与建模	测试接口、仪器到器件设计过程的集成化无缝模拟与建模
	测试收敛与系统可靠性解决方案	DFT、器件和系统之间可复用的、影响最小的方案

综上所述, 技术和经济的因素导致传统的模拟、验证和测试方法难以全面验证设计与产品制造的正确性, 因此在设计和测试方面就应该有新的思想方法, 设计出容易测试的电路。新的设计思想是在设计一开始就考虑测试问题, 在设计前端就解决棘手的测试问题, 即可测性设计 DFT。可测性设计可以有效地解决或减轻复杂的测试问题, 典型的 DFT 包括扫描/边界扫描设计和内建自测试。采用扫描/边界扫描结构, 可通过少量的 I/O 进行测试施加和测试响应分析, 突出问题是扫描电路的附加面积、扫描深度、测试时间和测试功耗, 而且因抗随机图形故障导致测试图形相当长^[17]。另外, 伪随机测试中常用的是固定故障模型, 对于 CMOS 深亚微米技术中的缺陷, 还需要延迟、桥接、恒定开路等故障模型。基于



扫描路径的测试和内建自测试面临的问题还有：测试时不断变化的位码使得测试功耗大大增加，既影响测试质量，又对电路的寿命有影响^[18]。

总而言之，VLSI 测试研究的目的是力图在预期的测试质量前提下，以尽可能低的成本对产品进行测试。从技术的角度讲，预期的测试质量就是理想的故障覆盖率、测试对器件的性能影响小；尽可能低的成本就是测试数据量尽可能少、测试时间尽可能短、BIST 电路硬件面积尽可能小。因此，理想的测试方法不仅是内建自测试设计硬件面积小、故障覆盖率高、对原形设计的性能没影响或影响最小，而且还应同时采取措施减小测试数据量、测试时间和测试功耗^[19]，这也是当前 VLSI 测试和可测性设计要解决的关键技术问题。

1.2 章节安排

本书旨在让读者掌握电路测试和分析的基本概念和理论、测试生成方法、模拟理论、可测性设计的理论和方法、扫描和边界扫描的设计方法、 I_{DDQ} 测试原理、自测试生成的原理和设计方法，了解专用电路 Memory 和 SoC 等的可测性设计方法。本书将测试活动中的不同过程，诸如验证、模拟、仿真和测试施加，都纳入测试的范畴。

全书共分为 12 章，内容如下：

第 1 章介绍研究 VLSI 测试和可测性的意义和基本术语。

第 2 章介绍电路测试和可测性设计的意义和常用术语，包括可测性设计流程及其与设计验证的关系，模拟与测试的内容，失效、故障的概念和故障模型，故障检测的概念及目的，故障模型和表达方法等。

第 3 章介绍模拟在电路测试和分析中的作用，电路的功能模拟方法和故障模拟方法，EDA 中生成测试图形的方法。

第 4 章介绍测试生成概念和方法，这是确定性生成方法的基础。首先介绍测试生成常用术语和方法，再对具体的算法（如 D 算法、PODEM 算法）进行了详细的分析，再介绍时序电路的测试模型和方法，包括时序电路初始化问题，功能测试和确定性生成方法。

第 5 章研究可测性设计的专用设计技术，包括可测性度量概念和计算方法，可测性度量在设计修改中的应用，组合电路和时序电路的专用可测性设计方法。

以后各章是系统化可测性设计相关理论和方法。

第 6 章介绍扫描路径法、电平敏化法，这是一种减少时序电路设计复杂性的方法。扫描是 VLSI 设计的一个标准特征。

第 7 章介绍边界扫描法，它广泛应用在集成电路设计中，也可用于诊断和调试。特别在 SoC 设计中，这是一个成熟的、易于理解的接口设计方法。边界扫描法已有国际标准，本书基于 IEEE 1149.1—2001a 版全面论述边界扫描的基本架构、测试单元、测试方式和控制、BSDL 描述和设计。

第 8 章介绍随机/伪随机测试电路的理论和结构，这是内建自测试生成的基础，是 VLSI 可测性设计发展的主流方向。对随机、伪随机测试的理论和各种结构进行了全面、透彻的分析，对于软件生成理论和低功耗测试理论进行探讨，反映出技术发展的方向。

第 9 章介绍内建自测试。系统而深入地介绍了内建自测试的概念和原理、数据压缩原

理和结构、各种内建自测试结构、内建自测试和其他技术，如扫描路径和边界扫描的结合也是 EDA 的方向。

第 10 章介绍电流测试法。电压测试和分析方法对于深亚微米技术变得困难，电流测试方法和结构因具有测试图形少、故障覆盖率高的优点而可行。本章介绍 MOS 电路的失效机理、故障模型、测试结构和方法。诸多方法都是近几年研究和应用成果的总结。

第 11 章介绍存储器的故障模型和测试方法，概述了各种存储器故障模型和测试方法，规范化描述测试算法，图形化解释算法，介绍了存储器内建自测试、冗余和修复技术。存储器测试在以后的集成电路测试中占相当大的比重，也成为 EDA 可测试性设计的一大特征。

第 12 章介绍 SoC 测试的基本问题和常用术语，SoC 测试结构设计的实例分析，以及 SoC 测试的标准和描述，展望 SoC 测试的发展方向。

1.3 基本概念

1. 测试

测试的目的是检查电路设计和制造的正确与否。为此，需建立一套规范的术语和检查分析方法，这也是电路测试研究的内容之一。

测试电路的一般过程是，先建立描述电路“好”或“坏”的模型，然后设计出能检验电路“好”或“坏”的测试数据，再把设计好的数据加在被检验的电路；观察被检验电路的输出结果；最后分析与理想的结果是否一致。

被测的电路称为被测电路 CUT (Circuit Under Test)；对被测电路产生测试数据的方法和过程叫做测试生成 (Test Generation)；产生的测试数据则叫做测试图形 (Test Pattern, TP)；把测试图形施加到 CUT 的过程叫做测试施加 (Test Application)；测试图形施加后被测电路的输出成为测试响应 (Test Response)；检查电路实际的测试响应与理想的测试响应是否一致的过程叫做测试分析 (Test Response Analysis)。那么，电路的测试过程用专业术语表达就是：先电路建模，然后测试图形生成，再测试施加；接着测试响应分析；最后得出 CUT 测试通过与否。如图 1.1 所示表达了电路测试分析的整个过程。

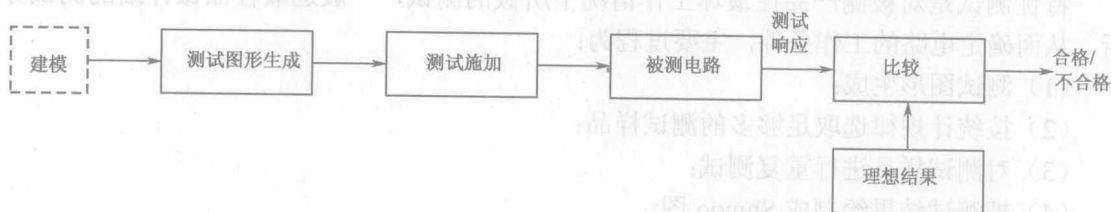


图 1.1 电路测试分析过程

如果上述过程是对电路设计原形进行的，就是设计验证，采用的一般是功能模型，常用的有功能模拟 (Simulation) 和时间模拟，整个过程在 EDA 环境下完成，而硬件仿真 (Emulation) 则在实际的系统上完成。