



高等职业教育“十一五”规划教材

高职高专电子信息类系列教材

# EDA技术及其应用

潘松 赵敏笑 编著



科学出版社  
[www.sciencep.com](http://www.sciencep.com)

内容简介

高等职业教育“十一五”规划教材

高职高专电子信息类系列教材

# EDA 技术及其应用

潘松 赵敏笑 编著

图书在版编目(CIP)数据

EDA 技术及其应用 / 潘松, 赵敏笑编著. — 北京: 科学出版社, 2007.  
(高等职业教育“十一五”规划教材·高职高专电子信息类系列教材)

ISBN 978-7-03-020711-2

I. E… II. ①潘…②赵… III. 电子电路—电路设计—计算机辅助设计  
IV. TN702  
I. 高等学校—技术学校—教材 IV. TN702

中国版本图书馆CIP数据核字(2007)第200463号

责任编辑: 赵敏笑、赵敏笑、赵敏笑  
责任印制: 吕春英、封面设计: 李立平、李立平

科学出版社出版

北京东黄城根北街16号

邮政编码: 100717

http://www.sciencep.com

印刷: 北京科印印刷有限公司

科学出版社发行 各地新华书店经销

2007年12月第1版 787×1092 1/16

2007年12月第一次印刷 印张: 16 1/4

印数: 1—8 000 字数: 347 000

## 科学出版社

北京

邮购部电话: 010-6513147 编辑部电话: 010-6138017 (V101)

## 内 容 简 介

本书采用教、学、做相结合的教学模式,以提高实际工程应用能力为目的,通过实例引入,深入浅出地介绍 EDA 技术、VHDL 硬件描述语言、FPGA 开发应用及相关知识,并给出了丰富的 EDA 设计实例,使读者通过本书的学习并完成推荐的实验后,能初步了解和掌握 EDA 的基本内容及实用技术。

全书内容分四部分,第一部分简要介绍了 EDA 的基本知识、常用的 EDA 基本工具使用方法和目标器件的结构原理;第二部分通过实例,以向导的形式介绍了三种不同的设计输入方法;第三部分对 VHDL 的设计做了介绍;第四部分详细讲述了基于 EDA 技术的典型的设计项目。各章都安排了相应的习题和有较强针对性的实验、设计实践要求。书中给出的绝大部分 VHDL 设计实例和实验示例都在 EDA 实验系统上通过了硬件测试。

为了方便本课程的授课和实践指导,本书配有与各章节内容完全对应的 CAI 教学课件。

本书实用性强,可作为高职高专院校电子工程、通信、工业自动化、计算机应用技术、仪器仪表等专业的教材,也可作为相关专业技术人员的自学参考书。

### 图书在版编目(CIP)数据

EDA 技术及其应用/潘松,赵敏笑编著. —北京:科学出版社,2007  
(高等职业教育“十一五”规划教材·高职高专电子信息类系列教材)  
ISBN 978-7-03-020771-5

I. E… II. ①潘…②赵… III. 电子电路-电路设计:计算机辅助设计-高等学校:技术学校-教材 IV. TN702

中国版本图书馆 CIP 数据核字(2007)第 200463 号

责任编辑:赵卫江/责任校对:赵燕

责任印制:吕春珉/封面设计:东方人华平面设计部

科学出版社出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

铭浩彩色印装有限公司印刷

科学出版社发行 各地新华书店经销

\*

2007 年 12 月第 一 版 开本:787×1092 1/16

2007 年 12 月第一次印刷 印张:15 1/4

印数:1—3 000 字数:347 000

定价:24.00 元

(如有印装质量问题,我社负责调换〈环伟〉)

销售部电话 010-62134988 编辑部电话 010-61238017 (VI01)

## 前 言

随着电子技术的不断发展与进步,电子系统的设计方法发生了很大的变化,基于 EDA 技术的设计方法正在成为电子系统设计的主流,EDA 技术已成为许多高职高专院校电类专业学生必须掌握的一门重要技术。

本书本着“理论够用、突出应用”的宗旨,是专为高职高专学校培养“技术能手”型学生编写的。本书在编写过程中,总结了几年来不同院校、不同专业 EDA 技术课程的教学经验,力求在内容、结构、理论教学与实践教学等方面充分体现高职教育的特点。与同类书相比,本书具有以下特点:

(1) 教、学、做相结合,将理论与实践融于一体。

EDA 技术及其应用是一门应用性很强的课程,我们在多年的教学过程中,一直采用教、学、做相结合的教学模式,效果良好。这种经验充分体现在本书内容的编排上,在章节的安排上,将理论与实验融于一体。书中每个章节从最基本的应用实例出发,由实际问题入手引出相关知识和理论。此外,本书还在各个章节安排了针对性较强的实验与实践项目,保证理论与实践教学同步进行。

(2) 理论够用为度,着眼于应用。

考虑到高等职业教育的特点,本书在编写时按照贴近目标,保证基础,面向更新,联系实际,突出应用,以“必需、够用”为度的原则,突出重点,注重培养学生的操作技能和分析问题、解决问题的能力。书中对 EDA 技术的基本理论、EDA 工具 Quartus II 的使用方法、VHDL 知识、FPGA 开发技术等内容进行了必要的阐述,没有安排一些烦琐的器件工作原理分析等内容。同时,本书十分注重 EDA 技术在实际中的应用,列举了大量应用实例,介绍利用 CPLD/FPGA 器件设计制作数字系统的步骤和方法,使学生能借助基本内容,举一反三,灵活应用。

例如,本书对 DDS(直接数字综合器)原理的介绍以及与之相关的数字信号发生器 EDA 设计技术的介绍和实验安排的内容,恰好与今年全国高职高专电子设计竞赛第 H 题(信号发生器)的设计要求相吻合!同时也说明了 EDA 技术在高职高专教学中的重要性。

(3) 内容安排合理,注重速成。

一般来说,EDA 技术的学习难点在于 VHDL 语言,对此,本书基于高职教育的特点,在内容安排上放弃流行的计算机语言的教学模式,而以电子线路设计为基点,从实例的介绍中引出 VHDL 语句语法内容,通过一些简单、直观、典型的实例,将 VHDL 中最核心、最基本的内容解释清楚,使学生能在很短的时间内有效地把握 VHDL 的主干内容,而不必花大量的时间去“系统地”学习语法。

本书可以作为高职高专与成人教育电类相关专业 EDA 技术课程教材。全书共 6 章。第 1 章简要介绍 EDA 技术和硬件描述语言的基本知识、EDA 技术和 VHDL 的设计流程以及 CPLD/FPGA 的结构和工作原理。第 2 章通过一个简单电路器件的功能实

现和功能测试,详细介绍 Quartus II 的完整设计流程,在此基础上通过数字频率计的设计,进一步介绍面向复杂数字系统设计的 EDA 技术。第 3 章通过一些设计示例重点介绍 LPM 宏功能模块的使用方法。第 4 章通过数个典型的简单电路设计实例及对应的 VHDL 描述,并对由此而引出的 VHDL 语言现象和语句规则加以针对性的说明,使读者能在较少课时的条件下迅速地从整体上把握 VHDL 程序的基本结构和设计方法。第 5 章沿用第 4 章的方法,进一步深入揭示 VHDL 语言在语句应用和电路功能描述上的特点及其特殊用法。第 6 章重点介绍用 VHDL 设计不同类型有限状态机的方法和实用技术。

本教材十分适合边教、边学、边做的教学方法。书中各章都安排了许多习题,绝大部分章节都安排了针对性较强的实验与实践内容,使学生对每一章的课程教学效果能及时通过实验得到强化。各章设置的大部分实验,除给出详细的实验目的、实验原理、实验思考题和实验报告要求外,还包含多个实验项目(层次),即:第一实验层次是与该内容相关的验证性实验,课本提供了详细的并被验证的设计程序和实验方法,学生只需将书中提供的设计程序输入计算机,并按要求进行编译仿真,在实验系统上实现即可;第二实验层次是在上一实验基础上做进一步的发挥;此后的实验层次属于自主设计或创新性的实验。授课教师可以根据本课程的实验学时数和教学实验的要求以及学生的学习兴趣布置不同层次的实验项目。

现代电子设计技术是发展的,相应的教学内容和教学方法也应不断改进,其中一定有许多问题值得深入探讨。我们真诚地欢迎读者对书中的错误与有失偏颇之处给予批评指正。

本书的撰写得到了 Altera 公司大学计划部 Bob Xu 先生的大力支持,在此表示衷心的感谢!

作者 E-mail: eda82@hzcnc.com; 本书配套 PPT 课件浏览索取网址: www.kx-soc.com。

## 目 录

第 1 章 概述	1
1.1 EDA 技术	1
1.2 EDA 技术应用对象	2
1.3 VHDL	4
1.4 EDA 的优势	5
1.5 面向 FPGA 的 EDA 开发流程	6
1.5.1 设计输入	6
1.5.2 综合	7
1.5.3 适配(布线布局)	8
1.5.4 仿真	8
1.6 PLD	9
1.6.1 PLD 的分类	9
1.6.2 PROM 可编程原理	10
1.6.3 GAL	11
1.7 CPLD 的结构与可编程原理	12
1.8 FPGA 的结构与工作原理	14
1.8.1 查找表逻辑结构	14
1.8.2 FPGA 的结构与原理	15
1.9 硬件测试技术	18
1.9.1 内部逻辑测试	18
1.9.2 JTAG 边界扫描测试	19
1.10 FPGA/CPLD 产品概述	19
1.10.1 Altera 公司 FPGA 和 CPLD 器件系列	19
1.10.2 Lattice 公司 CPLD 器件系列	21
1.10.3 Xilinx 公司 FPGA 和 CPLD 器件系列	21
1.11 编程与配置	22
1.12 FPGA 配置器件	23
1.13 Quartus II	23
1.14 IP 核	25
1.15 EDA 的发展趋势	25
第 2 章 Quartus II 设计向导	27
2.1 原理图输入设计方法的特点	27
2.2 原理图输入方式设计初步	28
2.2.1 建立工作库文件夹和编辑设计文件	28
2.2.2 创建工程	30

2.2.3	功能分析	32
2.2.4	编译前设置	33
2.2.5	全程编译	35
2.2.6	功能测试	36
2.3	引脚设置和下载	39
2.3.1	引脚锁定	40
2.3.2	配置文件下载	42
2.3.3	AS 模式直接编程配置器件	43
2.3.4	JTAG 间接模式编程配置器件	43
2.3.5	USB-Blaster 编程配置器件使用方法	44
2.4	层次化设计	46
2.4.1	8 位十进制计数器的设计	46
2.4.2	硬件测试与实验	49
2.5	8 位十进制频率计设计	51
2.5.1	时序控制器设计	51
2.5.2	顶层电路设计与测试	52
	习题	53
	实验与实践	55
2-1	8 位十进制频率计设计	55
2-2	用原理图输入法设计 8 位全加器	55
2-3	计时系统设计	56
2-4	数字系统设计	56
<b>第 3 章</b>	<b>宏功能模块应用</b>	<b>57</b>
3.1	流水线乘法累加器设计	57
3.1.1	电路结构与工作原理	57
3.1.2	电路结构与工作原理	58
3.1.3	电路时序仿真与测试	62
3.2	逻辑数据采样电路设计	64
3.3	在系统存储器数据读写编辑器应用	70
3.4	简易正弦信号发生器设计	73
3.4.1	工作原理	74
3.4.2	定制初始化数据文件	74
3.4.3	定制 LPM 元件	76
3.4.4	完成顶层设计	78
3.5	嵌入式逻辑分析仪使用方法	80
3.5.1	SignalTap II 一般使用方法和实例	80
3.5.2	编辑 SignalTap II 的触发信号	86
3.6	FIFO 模块定制	88
3.7	嵌入式锁相环 ALTPLL 调用	89
3.7.1	建立嵌入式锁相环元件	89
3.7.2	测试锁相环	89

3.8	优化设计	92
3.8.1	流水线设计	92
3.8.2	寄存器平衡技术	93
3.9	时序设置与分析	94
3.9.1	时序约束设置	94
3.9.2	查看时序分析结果	97
	习题	97
	实验与实践	98
3-1	流水线乘法累加器设计	98
3-2	简易逻辑分析仪设计	98
3-3	简易正弦信号发生器设计	99
3-4	8位十六进制频率计设计	100
3-5	利用 LPM-ROM 设计乘法器	100
3-6	简易存储示波器设计	101
3-7	LPM-FIFO 实验	102
<b>第4章</b>	<b>应用 VHDL 设计数字系统</b>	<b>104</b>
4.1	多路选择器的 VHDL 描述	104
4.1.1	多路选择器的 VHDL 描述	104
4.1.2	语句结构和语法说明	107
4.2	寄存器描述的 VHDL 程序	111
4.2.1	D 触发器的描述	111
4.2.2	VHDL 描述的语言现象说明	112
4.2.3	实现时序电路的不同表述	116
4.2.4	异步时序电路设计	119
4.3	1 位全加器的 VHDL 描述	120
4.3.1	半加器描述	120
4.3.2	CASE 语句	122
4.3.3	全加器描述和例化语句	124
4.4	计数器设计	125
4.4.1	4 位二进制加法计数器设计	126
4.4.2	整数类型	127
4.4.3	计数器设计的其他表述方法	127
4.5	一般加法计数器设计	130
4.5.1	相关语法说明	131
4.5.2	程序分析	131
4.5.3	含并行置位的移位寄存器设计	133
4.6	基于 Quartus II 的 VHDL 文本输入设计	134
4.6.1	建立工作库文件夹和编辑设计文件	135
4.6.2	创建工程	136
4.6.3	全程编译	136
4.6.4	时序仿真	137
4.6.5	应用 RTL 电路图观察器	137



4.6.6	硬件测试	138
	习题	139
	实验与实践	140
4-1	基于 VHDL 的组合电路的设计	140
4-2	时序电路的设计	141
4-3	含异步清零和同步时钟使能的加法计数器的设计	141
4-4	数控分频器的设计	142
4-5	乐曲硬件演奏电路设计	143
4-6	混合输入设计实验	148
<b>第 5 章</b>	<b>VHDL 设计技术深入</b>	<b>150</b>
5.1	深入讨论数据对象	150
5.1.1	常量	150
5.1.2	变量	151
5.1.3	信号	151
5.1.4	进程中的信号与变量赋值	153
5.2	双向和三态电路信号赋值	161
5.2.1	三态门设计	161
5.2.2	双向端口设计	162
5.2.3	三态总线电路设计	164
5.3	IF 语句概述	166
5.4	深入了解进程语句	169
5.4.1	进程语句格式	169
5.4.2	进程结构组成	170
5.4.3	进程要点	170
5.5	并行语句特点	173
5.6	仿真延时	174
5.6.1	固有延时	174
5.6.2	传输延时	175
5.6.3	仿真 $\delta$	176
5.7	实体与相关语句语法	176
5.7.1	实体语句结构	176
5.7.2	参数传递说明语句	177
5.7.3	参数传递映射语句	178
5.8	直接数字综合器 (DDS) 设计	179
	习题	184
	实验与实践	187
5-1	7 段数码显示译码器设计	187
5-2	8 位数码扫描显示电路设计	189
5-3	32 位并进/并出移位寄存器设计	191
5-4	直接数字频率合成器 (DDS) 设计	191
5-5	数字移相信号发生器设计	191

<b>第 6 章 实用状态机设计技术</b> .....	194
6.1 有限状态机设计初步 .....	194
6.1.1 为什么要使用状态机 .....	194
6.1.2 数据类型定义语句 .....	195
6.1.3 一般有限状态机的结构 .....	196
6.2 Moore 型有限状态机设计 .....	200
6.2.1 多进程有限状态机 .....	200
6.2.2 单进程 Moore 型有限状态机 .....	204
6.3 Mealy 型有限状态机设计 .....	206
6.4 状态编码 .....	209
6.4.1 状态位直接输出型编码 .....	209
6.4.2 顺序编码 .....	211
6.4.3 一位热码编码 .....	212
6.5 非法状态处理 .....	212
习题 .....	214
实验与实践 .....	216
6-1 序列检测器设计 .....	216
6-2 ADC0809 采样控制电路实现 .....	217
6-3 基于 0809 的数据采集电路和简易存储示波器设计 .....	217
6-4 基于 5510/5651 的数字存储示波器设计 .....	220
6-5 VGA 彩条信号显示控制器设计 .....	221
<b>附录 EDA 实验系统简介</b> .....	226
一、实验电路结构图 .....	227
二、GW48 EDA 系统实验信号名与芯片引脚对照表 .....	231
<b>参考文献</b> .....	233

# 第 1 章

## 概 述

本章首先介绍 EDA 技术与硬件描述语言及其发展过程，然后介绍基于 EDA 技术和 VHDL 的设计流程，以及 CPLD/FPGA 的结构、工作原理和设计工具 Quartus II。

### 1.1 EDA 技术

微电子技术的进步主要表现在大规模集成电路加工技术即半导体工艺技术的发展上，目前表征半导体工艺水平的线宽已经达到了 45nm，而且还在不断地缩小；而在硅片单位面积上，集成进了更多的晶体管。集成电路设计正在不断地向超大规模、极低功耗和超高速的方向发展；专用集成电路 ASIC (Application Specific Integrated Circuit) 的设计成本不断降低。在功能上，现代的集成电路已能够实现单片电子系统 SOC (System On a Chip)。

现代电子设计技术的核心已日趋转向基于计算机的电子设计自动化技术，即 EDA (Electronic Design Automation) 技术。EDA 技术就是依赖功能强大的计算机，在 EDA 工具软件平台上，对以硬件描述语言 HDL (Hardware Description Language) 为系统逻辑描述手段完成的设计文件，自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试，直至实现既定的电子线路系统功能。EDA 技术使得设计者的工作仅限于利用软件的方式，即利用硬件描述语言和 EDA 软件来完成对系统硬件功能的实现，这是电子设计技术的一个巨大进步。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计、ASIC 测试和封装、FPGA (Field Programmable Gate Array) /CPLD (Complex Programmable Logic Device) 编程下载和自动测试等技术；在计算机辅助工程方面融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术以及多种计算机语言的设计概念；而在现代电子学方面则容纳了更多的内容，如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术等。因此 EDA 技术为现代电子理论和设计的表达与实现提供了可能性。正因为 EDA 技术丰富的内容以及与电子技术各学科领域的相关性，其发展的历程同大规模集成电路设计技术、计算机辅助工程、可编程逻辑器件，以及电子设计技术和工艺的发展是同步的。

就过去近 30 年电子技术的发展历程，可大致将 EDA 技术的发展分为三个阶段。

20 世纪 70 年代, 在集成电路制作方面, MOS 工艺已得到广泛的应用。可编程逻辑技术及其器件已经问世, 计算机作为一种运算工具已在科研领域得到广泛应用。而在后期, CAD 的概念已见雏形, 这一阶段人们开始利用计算机取代手工劳动, 辅助进行集成电路版图编辑、PCB 布局布线等工作。

20 世纪 80 年代, 集成电路设计进入了 CMOS (互补场效应管) 时代。复杂可编程逻辑器件已进入商业应用, 相应的辅助设计软件也已投入使用。在 80 年代末, 出现了 FPGA, CAE 和 CAD 技术的应用更为广泛, 它们在 PCB 设计方面的原理图输入、自动布局布线及 PCB 分析, 以及逻辑设计、逻辑仿真、布尔方程综合和化简等方面担任了重要的角色。特别是各种硬件描述语言的出现、应用和在标准化方面的重大进步, 为电子设计自动化必须解决的电子线路建模、标准文档及仿真测试奠定了基础。

进入 20 世纪 90 年代, 随着硬件描述语言的标准化得到进一步的确立, 计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加广泛的应用。与此同时, 电子技术在通信、计算机及家电产品生产中的市场需求和技术需求, 极大地推动了全新的电子设计自动化技术的应用和发展。特别是集成电路设计工艺步入了超深亚微米阶段, 百万门以上的大规模可编程逻辑器件的陆续面世, 以及基于计算机技术的面向用户的低成本大规模 ASIC 设计技术的应用, 促进了 EDA 技术的形成。更为重要的是各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件, 都有效地将 EDA 技术推向成熟和实用。

EDA 技术在进入 21 世纪后, 得到了更大的发展, 突出表现在以下几个方面:

- 在 FPGA 上实现 DSP (数字信号处理) 应用成为可能, 用纯数字逻辑进行 DSP 模块的设计, 使得高速 DSP 的实现成为现实, 并有力地推动了软件无线电技术的实用化和发展。基于 FPGA 的 DSP 技术, 为高速数字信号处理算法提供了实现途径。
- 嵌入式处理器软核的成熟, 使得 SOPC (System On a Programmable Chip) 步入大规模应用阶段, 在一片 FPGA 中实现一个完备的嵌入式系统成为可能。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- EDA 使得电子领域各学科的界限更加模糊, 更加互为包容: 模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA、行为与结构等。
- 基于 EDA 的用于 ASIC 设计的标准单元已涵盖大规模电子系统及复杂 IP (Intellectual Property) 核模块。
- 软硬 IP 核在电子行业的产业领域广泛应用。
- SOC 高效低成本设计技术的成熟。
- 系统级、行为验证级硬件描述语言的出现 (如 System C), 使复杂电子系统的设计和验证趋于简单。

## 1.2 EDA 技术应用对象

一般地说, 利用 EDA 技术进行电子系统设计, 最后的实现目标是以下两种:

- 全定制或半定制 ASIC。
- FPGA/CPLD (或称可编程 ASIC) 开发应用。

实现目标可以归结为专用集成电路 ASIC 的设计和实现。ASIC 是最终的物理平台,集中容纳了用户通过 EDA 技术将电子应用系统的既定功能和技术指标具体实现的硬件实体。

一般而言,专用集成电路就是具有专门用途和特定功能的独立集成电路器件。根据这个定义,作为 EDA 技术最终实现目标的 ASIC,可以通过三种途径来完成。

### 1. 大规模可编程逻辑器件

FPGA 和 CPLD 是实现这一途径的主流器件。它们的特点是直接面向用户,具有极大的灵活性和通用性,使用方便,硬件测试和实现快捷,开发效率高,成本低,上市时间短,技术维护简单,工作可靠性好等。FPGA 和 CPLD 的应用是 EDA 技术有机融合软硬件电子设计技术以及对自动化设计与自动化实现最典型的诠释。由于 FPGA 和 CPLD 的开发工具、开发流程和使用方法与 ASIC 有相通之处,因此这类器件通常也被称为可编程专用 IC,或可编程 ASIC。

### 2. 半定制或全定制 ASIC

根据实现的工艺,基于 EDA 设计技术的半定制或全定制 ASIC 可统称为掩模 (MASK) ASIC,或直接称 ASIC。ASIC 大致分为门阵列 ASIC、标准单元 ASIC 和全定制 ASIC。

① 门阵列 ASIC。门阵列芯片包括预定制相连的 PMOS 和 NMOS 晶体管行。设计中,用户可以借助 EDA 工具将原理图或硬件描述语言模型映射为相应门阵列晶体管配置,创建一个指定金属互连路径文件,从而完成门阵列 ASIC 开发。由于有掩模的创建过程,门阵列有时也称掩模可编程门阵列 (MPGA)。但是 MPGA 与 FPGA 完全不同,它不是用户可编程的,也不属于可编程逻辑范畴,而是实际的 ASIC。MPGA 出现在 FPGA 之前,FPGA 技术则源自 MPGA。现在,Altera 的 HardCopy、HardCopyII 技术,可以提供一种把 FPGA 的设计转化为结构化 ASIC 的途径。

② 标准单元 ASIC。目前大部分 ASIC 是使用库中的不同大小的标准单元设计的,这类芯片一般称作基于单元的集成电路 (Cell-Based Integrated Circuits, CBIC)。在设计者一级,库包括不同复杂性的逻辑元件:SSI 逻辑块、MSI 逻辑块、数据通道模块、存储器、IP,乃至系统级模块。库包含每个逻辑单元在硅片级的完整布局,使用者只需利用 EDA 软件工具与逻辑块描述打交道即可,完全不必关心电路布局的细节。标准单元布局中,所有扩散、接触点、过孔、多晶通道及金属通道都已完全确定。当该单元用于设计时,通过 EDA 软件产生的网表文件将单元布局块“粘贴”到芯片布局之上的单元行上。标准单元 ASIC 设计与 FPGA 设计开发的流程相近。

③ 全定制芯片。全定制芯片中,在针对特定工艺建立的设计规则下,设计者对于电路的设计有完全的控制权,如线的间隔和晶体管大小的确定。该领域的一个例外是混合信号设计,使用通信电路的 ASIC 可以定制设计其模拟部分。

### 3. 混合 ASIC

混合 ASIC (不是指数模混合 ASIC) 主要指既具有面向用户的 FPGA 可编程功能和逻辑资源, 同时也含有可方便调用和配置的硬件标准单元模块, 如 CPU、RAM、ROM、硬件加法器、乘法器、锁相环等。Xilinx、Atmel 和 Altera 等公司已经推出了这方面的器件, 如 Virtex-4 系列、Excalibur (含 ARM 核) 和 Stratix II 系列等。混合 ASIC 为 SoC 和 SOPC 的设计实现提供了便捷的途径。

## 1.3 VHDL

硬件描述语言 HDL 是 EDA 技术的重要组成部分, 常见的 HDL 主要有 VHDL、Verilog HDL、ABEL、AHDL、SystemVerilog 和 SystemC 等。其中 VHDL、Verilog HDL 在现在 EDA 设计中使用最多, 也拥有几乎所有的主流 EDA 工具的支持。而 SystemVerilog 和 SystemC 这两种 HDL 语言还处于完善过程中。VHDL 是电子设计主流硬件的描述语言之一, 本书将重点介绍它的编程方法和使用技术。

VHDL 的英文全名是 VHSIC (Very High Speed Integrated Circuit) Hardware Description Language, 于 1983 年由美国国防部 (DOD) 发起创建, 由 IEEE (The Institute of Electrical and Electronics Engineers) 进一步发展, 并在 1987 年作为 IEEE 标准 1076 发布。从此, VHDL 成为硬件描述语言的业界标准之一。自 IEEE 公布了 VHDL 的标准版本 (IEEE Std 1076) 之后, 各 EDA 公司相继推出了自己的 VHDL 设计环境, 或宣布自己的设计工具支持 VHDL。此后 VHDL 在电子设计领域得到了广泛应用, 并逐步取代了原有的非标准硬件描述语言。

VHDL 作为一个规范语言和建模语言, 随着 VHDL 的标准化, 出现了一些支持该语言的行为仿真器。由于创建 VHDL 的最初目标是用于标准文档的建立和电路功能模拟, 其基本想法是在高层次上描述系统和元件的行为。但到了 20 世纪 90 年代初, 人们发现, VHDL 不仅可以作为系统模拟的建模工具, 而且可以作为电路系统的设计工具; 可以利用软件工具将 VHDL 源码自动地转化为文本方式表达的基本逻辑元件连接图, 即网表文件。这种方法显然对于电路自动设计是一个极大的推进。很快, 电子设计领域出现了第一个软件设计工具, 即 VHDL 逻辑综合器, 它可以将标准 VHDL 的部分语句描述转化为具体电路实现的网表文件。

1993 年, IEEE 对 VHDL 进行了修订, 从更高的抽象层次和系统描述能力上扩展了 VHDL 的内容, 公布了新版本 VHDL, 即 IEEE 标准的 1076-1993 版本。现在, VHDL 和 Verilog 作为 IEEE 的工业标准硬件描述语言, 得到众多 EDA 公司的支持, 在电子工程领域, 已成为事实上的通用硬件描述语言。现在公布的最新 VHDL 标准版本是 IEEE 1076-2002。

VHDL 语言具有很强的电路描述和建模能力, 能从多个层次对数字系统进行建模和描述, 从而大大简化了硬件设计任务, 提高了设计效率和可靠性。

VHDL 具有与具体硬件电路无关和与设计平台无关的特性, 并且具有良好的电路

行为描述和系统描述的能力,并在语言易读性和层次化结构化设计方面,表现了强大的生命力和应用潜力。因此,VHDL在支持各种模式的设计方法、自顶向下与自底向上或混合方法方面,在面对当今许多电子产品生命周期的缩短,需要多次重新设计以融入最新技术、改变工艺等方面都表现了良好的适应性。用VHDL进行电子系统设计的一个很大的优点是设计者可以专心致力于其功能的实现,而不需要对不影响功能的与工艺有关的因素花费过多的时间和精力。

#### 1.4 EDA 的优势

传统的数字电子系统或IC设计中,手工设计占了较大的比例。手工设计一般先按电子系统的具体功能要求进行功能划分,然后对每个子模块画出真值表,用卡诺图进行手工逻辑简化,写出布尔表达式,画出相应的逻辑线路图,再据此选择元器件,设计电路板,最后进行实测与调试。手工设计方法的缺点是:

- 复杂电路的设计、调试十分困难。
- 由于无法进行硬件系统仿真,如果某一过程存在错误,查找和修改十分不便。
- 设计过程中产生大量文档,不易管理。
- 对于IC设计而言,设计实现过程与具体生产工艺直接相关,因此可移植性差。
- 只有在设计出样机或生产出芯片后才能进行实测。

相比之下,EDA技术有很大不同:

(1) 用HDL对数字系统进行抽象的行为与功能描述以及具体的内部线路结构描述,从而可以在电子设计的各个阶段、各个层次进行计算机模拟验证,保证设计过程的正确性,可以大大降低设计成本,缩短设计周期。

(2) EDA工具之所以能够完成各种自动设计过程,关键是有各类库的支持。如逻辑仿真时的模拟库、逻辑综合时的综合库、版图综合时的版图库、测试综合时的测试库等。这些库都是EDA公司与半导体生产厂商紧密合作、共同开发的。

(3) 某些HDL本身也是文档型的语言(如VHDL),极大地简化了设计文档的管理。

(4) EDA技术中最为瞩目的功能,即最具现代电子设计技术特征的功能是日益强大的逻辑设计仿真测试技术。EDA仿真测试技术只需通过计算机就能对所设计的电子系统从各种不同层次的系统性能特点完成一系列准确的测试与仿真操作。在完成实际系统的安装后,还能对系统上的目标器件进行所谓边界扫描测试,嵌入式逻辑分析仪的应用。这一切都极大地提高了大规模系统电子设计的自动化程度。

(5) 无论传统的应用电子系统设计得如何完美,使用了多么先进的功能器件,都掩盖不了一个无情的事实,即该系统对于设计者来说,没有任何自主知识产权可言。因为系统中的关键性的器件往往并非出自设计者之手,这将导致该系统在许多情况下的应用直接受到限制。基于EDA技术的设计则不同,由于用HDL表达的成功的功能设计在实现目标方面有很大的可选性,它既可以用不同来源的通用FPGA/CPLD实现,也可以直接以ASIC来实现,设计者拥有完全的自主权,再无受制于人之虞。

(6) 传统的电子设计方法自今没有任何标准规范加以约束,因此,设计效率低,系统性能差,开发成本高,市场竞争能力小。

EDA 技术的设计语言是标准化的,不会由于设计对象的不同而改变;它的开发工具是规范化的,EDA 软件平台支持任何标准化的设计语言;它的设计成果是通用性的,IP 核具有规范的接口协议。良好的可移植与可测试性,为系统开发提供了可靠的保证。

(7) 从电子设计方法学来看,EDA 技术最大的优势就是能将所有设计环节纳入统一的自顶向下的设计方案中。

(8) EDA 不但在整个设计流程上充分利用计算机的自动设计能力,而且在各个设计层次上利用计算机完成不同内容的仿真模拟,而且在系统板设计结束后仍可利用计算机对硬件系统进行完整的测试。

## 1.5 面向 FPGA 的 EDA 开发流程

完整地理解利用 EDA 技术进行设计开发的流程对于正确地选择和使用 EDA 软件,优化设计项目,提高设计效率十分有益。一个完整的、典型的 EDA 设计流程既是自顶向下设计方法的具体实施途径,也是 EDA 工具软件本身的组成结构。

### 1.5.1 设计输入

图 1-1 是基于 EDA 软件的 FPGA 开发流程框图。以下将分别介绍各设计模块的功能特点。对于目前流行的用于 FPGA 开发的 EDA 软件,图 1-1 的设计流程具有一般性。

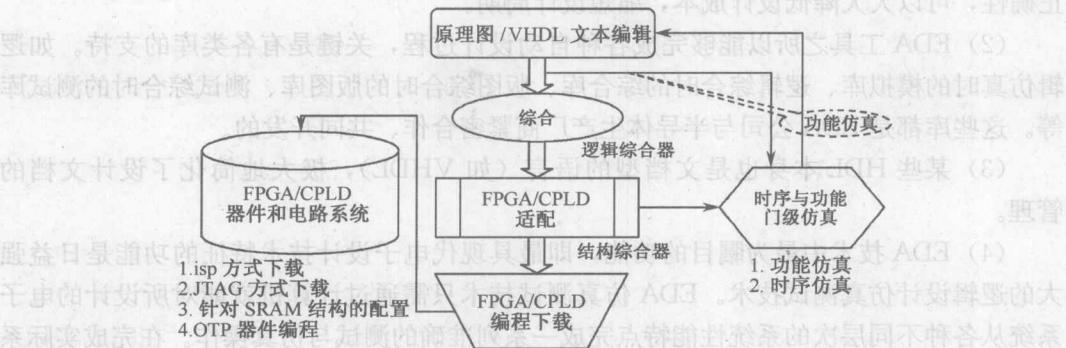


图 1-1 FPGA 的 EDA 开发流程

将电路系统以一定的表达方式输入计算机,是在 EDA 软件平台上对 FPGA/CPLD 开发的最初步骤。通常,使用 EDA 工具的设计输入可分为两种类型。

#### 1. 图形输入

图形输入通常包括原理图输入、状态图输入和波形图输入等方法。

状态图输入方法就是根据电路的控制条件和不同的转换方式,用绘图的方法,在



EDA 工具的状态图编辑器上绘出状态图, 然后由 EDA 编译器和综合器将此状态变化流程图图形编译综合成电路网表。

波形图输入方法则是将待设计的电路看成是一个黑盒子, 只需告诉 EDA 工具该黑盒子电路的输入和输出时序波形图, EDA 工具即能据此完成黑盒子电路的设计。

原理图输入方法是一种类似于传统电子设计方法的原理图编辑输入方式, 即在 EDA 软件的图形编辑界面上绘制能完成特定功能的电路原理图。原理图由逻辑器件(符号)和连接线构成, 图中的逻辑器件可以是 EDA 软件库中预制的功能模块, 如与门、非门、或门、触发器以及各种含 74 系列器件功能的宏功能块, 甚至还有一些类似于 IP 的功能块。

## 2. 硬件描述语言文本输入

这种方式与传统的计算机软件语言编辑输入基本一致。就是将使用了某种硬件描述语言(HDL)的电路设计文本, 如 VHDL 或 Verilog 的源程序, 进行编辑输入。

### 1.5.2 综合

综合(Synthesis), 就其字面含义应该为: 把抽象的实体结合成单个或统一的实体。因此, 综合就是把某些东西结合到一起, 把设计抽象层次中的一种表述转化成另一种表述的过程。

对于电子设计领域的综合概念可以表示为: 将用行为和功能层次表达的电子系统转换为低层次的便于具体实现的模块组合装配而成的过程。

事实上, 设计过程中的每一步都可称为一个综合环节。设计过程通常从高层次的行为描述开始, 以最低层的结构描述结束, 每个综合步骤都是上一层次的转换:

- 从自然语言表述转换到 VHDL 语言算法表述, 是自然语言综合。
- 从算法表述转换到寄存器传输级(Register Transport Level, RTL)表述, 即从行为域到结构域的综合, 是行为综合。
- 从 RTL 级表述转换到逻辑门(包括触发器)的表述, 即逻辑综合。
- 从逻辑门表述转换到版图表述(ASIC 设计), 或转换到 FPGA 的配置网表文件, 可称为版图综合或结构综合。

一般地, 综合是仅对应于 HDL 而言的。利用 HDL 综合器对设计进行综合是十分重要的一步。因为综合过程将把软件设计的 HDL 描述与硬件结构挂钩, 是将软件转化为硬件电路的关键步骤, 是文字描述与硬件实现的一座桥梁。综合就是将电路的高级语言(如行为描述)转换成低级的, 可与 FPGA/CPLD 的基本结构相映射的网表文件或程序。

当输入的 HDL 文件在 EDA 工具中检测无误后, 首先面临的是逻辑综合, 因此要求 HDL 源文件中的语句都是可综合的。

在综合之后, HDL 综合器一般都可以生成一种或多种文件格式网表文件, 如 EDIF、VHDL、VerilogHDL 等标准格式, 在这种网表文件中用各自的格式描述电路的结构。如在 VHDL 网表文件采用 VHDL 的语法, 用结构描述的风格重新诠释综合后的