



普通高等教育“十一五”国家级规划教材

电子信息科学与电气信息类基础课程

数字电子技术

(第二版)

高吉祥 主编

丁文霞 副主编

唐朝京 主审



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

<http://www.phei.com.cn>

TN79/32=2

2008



普通高等教育“·十一·五”国家级规划教材

电子信息科学与电气信息类基础课程

数字电子技术

(第二版)

高吉祥 主编 丁文霞 副主编
唐朝京 主审

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 提 要

本书是依据原国家教委颁布的《电子技术基础课程教学基本要求》编写的。主要内容有:数字逻辑基础,逻辑门电路,组合逻辑电路,触发器,时序逻辑电路,脉冲信号的产生与整形,半导体存储器,可编程逻辑器件,数/模转换与模/数转换。

本书编写简明扼要,内容深入浅出,便于自学,同时注意实际应用能力的培养。可作为高等学校电气类、电子类、自动化类和其他相近专业的专业基础教材,也可供从事电子技术工作的工程技术人员学习参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

数字电子技术/高吉祥主编.—2版.—北京:电子工业出版社,2008.5

普通高等教育“十一五”国家级规划教材.电子信息科学与电气信息类基础课程

ISBN 978-7-121-06365-7

I. 数… II. 高… III. 数字电路—电子技术—高等学校—教材 IV. TN79

中国版本图书馆 CIP 数据核字(2008)第 049099 号

责任编辑:陈晓莉 特约编辑:李双庆

印 刷:北京市天竺颖华印刷厂

装 订:三河市金马印装有限公司

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本:787×980 1/16 印张:27.25 字数:610 千字

版 次:2008 年 5 月第 1 次印刷

印 数:4000 册 定价:38.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。联系及邮购电话:(010)88254888。

质量投诉请发邮件至 zltz@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010)88258888。

第二版说明

本书正式列入“普通高等教育‘十一五’”国家级规划教材。自《数字电子技术》(第一版)出版至今,已经过去四年了。根据广大读者提出的宝贵意见,本版作如下修订:

1. 删除了 1.3.5 节关于逻辑函数的列表化简法内容;
2. 删除了第 10 章数字系统的 EDA 设计内容;
3. 对于全书习题做了部分删除。

经过近 10 年的努力,由高吉祥主编、唐朝京主审的电子技术基础系列教材(共计 9 本)已全部完成,现将它们全部列出来,供读者参考。

《电路分析基础》

《模拟电子技术》(第二版)

《数字电子技术》(第二版)(普通高等教育“十一五”国家级规划教材)

《高频电子线路》(第二版)(普通高等教育“十一五”国家级规划教材)

《电子技术基础实验与课程设计》(第二版)(普通高等教育“十一五”国家级规划教材)

《电路分析基础学习辅导及习题详解》

《模拟电子技术学习辅导及习题详解》

《数字电子技术学习辅导及习题详解》

《高频电子线路学习辅导及习题详解》

关于电路分析基础、模拟电子技术、数字电子技术、高频电子线路四门主教材的习题解答过程及答案也即将问世。

本书第二版的修订工作由高吉祥、丁文霞完成。修订期间得到唐朝京院长的指导和校对。

新版教材中一定还有不少缺点和不足之处,恳请各界读者给予批评指正。

编者

2008 年 1 月于长沙

第一版前言

本书是为高等学校电气类、电子类、自动化类和其他相近专业而编著的教材。全书分为 10 章。第 1 章 数字逻辑基础, 主要介绍数制和编码、逻辑代数(布尔代数)、逻辑函数及化简; 第 2 章 逻辑门电路, 主要介绍分立元件门电路、TTL 集成门电路、ECL 电路和 CMOS 门电路; 第 3 章 组合逻辑电路, 主要介绍组合逻辑电路的分析方法和设计方法、若干常用的组合逻辑电路、组合逻辑电路中的竞争-冒险现象; 第 4 章 触发器, 主要介绍触发器的电路结构与动作特点、触发器的逻辑功能及其描述方法和触发器的动态参数; 第 5 章 时序逻辑电路, 主要介绍同步、异步时序逻辑电路分析方法和设计方法, 分析了几种常用的时序逻辑电路和时序逻辑电路中的竞争-冒险现象; 第 6 章 脉冲信号的产生与整形, 主要介绍了施密特触发器、单稳态触发器和多谐振荡器的基本原理, 以及用模拟运放、逻辑门电路、石英晶体、专用 555 定时器构成各种触发器和多谐振荡器; 第 7 章 半导体存储器, 主要介绍只读存储器(ROM)和随机存储器(RAM)的原理和构成, 以及存储器扩展方式; 第 8 章 可编程序逻辑器件, 主要介绍可编程序逻辑器件的基本结构, PLD 电路的表示方法, 可编程序通用阵列逻辑 GAL、复杂可编程序逻辑器件 CPLD、现场可编程序门阵列(FPGA)、在系统可编程序逻辑器件(ISP-PLD)的结构和原理; 第 9 章 数/模和模/数转换, 主要介绍各种 D/A 和 A/D 转换器的结构和原理; 第 10 章 数字系统的 EDA 设计, 主要介绍了现代数字系统的设计方法, EDA 技术内涵、基本特征和基本工具, EDA 原理图输入设计方法, VHDL 文本输入设计方法。

根据高等教育教学大纲的要求, 以及多年来教学实践和各类大学生制作竞赛的需要, 本书不仅包括现行《数字电子技术基础》教科书的基础知识和理论, 而且增加了目前应用比较广的可编程逻辑器件和 VHDL 程序设计及应用等内容。

本书可作为本科生教材, 同时也可作为从事电子工程的工程师和参加各类电子制作竞赛的本科生提供有益的参考资料。

本书配套的教材有:

1.《电子技术基础实验与课程设计》高吉祥主编, 易凡副主编, 丁文霞、陆珉、刘安芝编著, 电子工业出版社于 2002 年 2 月出版;

2.《数字电子技术学习辅导与习题详解》高吉祥主编, 陈忠泽、丁文霞编著, 电子工业出版社近期出版;

3.《模拟电子技术》高吉祥主编, 高天万副主编, 朱卫华、陈和、黄智伟编著, 电子工业出版社于 2004 年 2 月出版。

我们编写的原则是: “确保基础、精选内容、加强概念、推陈出新、联系实际、侧重设

计”,目的在于保证学生把基本内容学到手的基础上,培养学生分析、处理实际问题的能力和一定的设计能力。考虑到近几年来电子技术和电子工业的高速发展,本书增加了新技术和新器件的内容。

本书由国防科技大学、南华大学联合编著。高吉祥主编,朱荣辉副主编,第1、2、3章由高吉祥、刁节涛执笔,第4、5、6、9章由朱荣辉、丁文霞、高吉祥执笔,第7、8、10章由黄智伟、王彦执笔。在编著过程中得到南华大学凌球校长和国防科技大学电子科学与工程学院唐朝京副院长、易凡副主任的大力支持与具体指导。本书由王正志、卢启中主审。刘安芝、刘启顺、盛义发、唐东、高勐、王浩宇、高广珠等人为本教材的编写做了大量的工作,在此表示感谢。

编 者

2003年2月于长沙

文字符号及其说明

一、电压符号

u_I	输入电平(相对于电路公共参考点的电压)
u_O	输出电平(相对于电路参考点的电压)
V_{IH}	输入高电平
V_{IL}	输入低电平
V_{OH}	输出高电平
V_{OL}	输出低电平
V_T	温度电压当量
V_{CC}	电源电压(一般用于双极型半导体器件)
V_{DD}	电源电压(一般用于 MOS 器件)
u_{BE}	三极管基极相对于发射极的电压
u_{CE}	三极管集电极相对于发射极的电压
u_{DS}	MOS 管漏极相对于源极的电压
u_{GS}	MOS 管栅极相对于源极的电压
V_{NA}	脉冲噪声电压幅值
V_{NH}	输入高电平噪声容限
V_{NL}	输入低电平噪声容限
V_{TH}	门电路的阈值电压
V_{T+}	施密特触发特性的正向阈值电压
V_{T-}	施密特触发特性的负向阈值电压
$V_{GS(th)N}$	N 沟道 MOS 管的开启电压
$V_{GS(th)P}$	P 沟道 MOS 管的开启电压
V_{REF}	参考电压(或基准电压)

二、电流符号

$i_B(I_B)$	基极电流瞬时值(直流量)
$i_C(I_C)$	集电极电流瞬时值(直流量)
$i_D(I_D)$	漏极电流瞬时值(直流量)

i_I	输入电流
I_{IH}	高电平输入电流
I_{IL}	低电平输入电流
$i_L(I_L)$	负载电流瞬时值(直流量)
i_O	输出电流
I_{OH}	高电平输出电流
I_{OL}	低电平输出电流
I_{CC}	电源(V_{CC})平均电流
I_{CCH}	输出为高电平时的电源电流
I_{CCL}	输出为低电平时的电源电流
I_{DD}	电源(V_{DD})平均电流

三、功率符号

P_C	CMOS 电路中负载电容充、放电功耗
P_D	CMOS 电路的动态功耗
P_S	CMOS 电路的静态功耗
P_T	CMOS 电路的瞬时导通功耗
P_{TOT}	CMOS 电路的总功耗

四、脉冲参数符号

f	周期性脉冲的重复频率
q	占空比
t_f	下降时间
t_h	保持时间
t_r	上升时间
t_{re}	恢复时间
t_{set}	建立时间
t_w	脉宽宽度
V_m	脉冲幅度

五、电阻、电容符号

C_{GD}	MOS 管栅极与漏极间电容
C_{GS}	MOS 管栅极与源极间电容

C_h	保持电容
C_I	输入电容
C_L	负载电容
R_I	输入电阻
R_L	负载电阻
R_O	输出电阻
R_{OFF}	器件截止时内阻
R_{ON}	器件导通时内阻
R_U	上拉电阻

六、器件及参数符号

A	放大器
A_u	放大器的电压放大倍数
VD	二极管
FF	触发器
G	门
S	开关
VT	三极管
VT_N	N 沟道 MOS 管
VT_P	P 沟道 MOS 管
TG	传输门
t_{pd}	平均传输延迟时间
t_{PHL}	输出由高电平变为低电平时的传输延迟时间
t_{PLH}	输出由低电平变为高电平时的传输延迟时间

七、其他符号

B	二进制
CLK	时钟
CP	时钟脉冲
D	十进制
EN	允许(使能)
H	十六进制
OE	输出允许(使能)

目 录

第 1 章 数字逻辑基础	1
1.1 数制与编码	1
1.1.1 数制	1
1.1.2 数制间的转换	2
1.1.3 编码	5
1.2 逻辑代数	9
1.2.1 逻辑变量与逻辑函数概念	9
1.2.2 三种基本逻辑及其运算	10
1.2.3 复合逻辑及其运算	12
1.2.4 逻辑函数的描述	15
1.2.5 逻辑代数的定律、规则及常用公式	17
1.3 逻辑函数化简	20
1.3.1 逻辑函数的最简形式	20
1.3.2 逻辑函数的代数化简法	20
1.3.3 图解化简法(卡诺图化简法)	23
1.3.4 具有无关项的逻辑函数及其化简	31
* 1.4 VHDL 语言基础	34
1.4.1 概述	34
1.4.2 VHDL 的程序结构	35
1.4.3 VHDL 的语言元素	41
1.4.4 VHDL 的基本语句	47
1.4.5 属性的描述与定义	53
1.4.6 VHDL 的子程序	56
本章小结	57
习题一	58
第 2 章 逻辑门电路	64
2.1 概述	64
2.2 分立元件门电路	64
2.2.1 二极管与门	64
2.2.2 二极管或门	65
2.2.3 三极管非门	65
2.3 TTL 集成门电路	66
2.3.1 TTL 集成门电路的结构	66

2.3.2	TTL 门电路	69
2.4	MOS 门电路	76
2.4.1	NMOS 门电路	76
2.4.2	CMOS 门电路	78
2.4.3	CMOS 集成电路的主要特点和使用中应注意的几个问题	83
2.5	TTL 电路与 CMOS 电路的接口	84
* 2.6	门电路的 VHDL 描述	87
2.6.1	二输入与非门、与门、或门、或非门、异或门的 VHDL 程序	87
2.6.2	四输入与非门 VHDL 程序	88
	本章小结	90
	习题二	90
第 3 章	组合逻辑电路	95
3.1	概述	95
3.2	组合逻辑电路的基本分析和设计方法	96
3.2.1	组合逻辑电路的基本分析方法	96
3.2.2	组合逻辑电路的基本设计方法	99
3.3	若干常用的组合逻辑电路	101
3.3.1	全加法器	101
3.3.2	编码器	109
3.3.3	数值比较器	115
3.3.4	译码器	120
3.3.5	数据分配器	128
3.3.6	数据选择器	130
3.4	组合电路中的竞争—冒险	137
3.4.1	竞争—冒险的概念及其产生原因	138
3.4.2	消除竞争—冒险的方法	139
	本章小结	142
	习题三	143
第 4 章	触发器	148
4.1	概述	148
4.2	电平型基本 RS 触发器	149
4.2.1	与非门构成的基本 RS 触发器	149
4.2.2	或非门构成的基本 RS 触发器	151
4.2.3	电平型基本 RS 触发器的动作特点	151
* 4.2.4	电平型基本触发器的 VHDL 描述	152
4.3	时钟控制的电平触发器(同步触发器)	153
4.3.1	同步 RS 触发器	154
4.3.2	同步 D 触发器	156
4.3.3	同步 JK 触发器	157

4.3.4 同步 T 触发器和 T' 触发器	158
4.3.5 同步触发器的动作特点	159
4.4 主从触发器	159
4.4.1 主从 RS 触发器	159
4.4.2 主从 D 触发器	161
4.4.3 主从 JK 触发器	162
4.5 边沿触发器	165
4.5.1 维持阻塞结构正边沿触发器	165
4.5.2 利用传输延迟时间的负边沿触发器	167
4.6 CMOS 触发器	169
4.6.1 带使能端的 CMOS 型 D 触发器	169
4.6.2 CMOS 主从 D 触发器	170
4.6.3 CMOS 主从 JK 触发器	171
4.7 钟控触发器的逻辑功能及其描述方法	171
4.7.1 钟控触发器按逻辑功能的分类	171
4.7.2 触发器的电路结构和逻辑功能的关系	173
4.8 不同类型触发器之间的转换	175
4.8.1 D 型触发器转换成 JK 型触发器	175
4.8.2 JK 型触发器转换成 D 型触发器	176
4.9 触发器的动态参数	176
* 4.10 触发器的 VHDL 描述	177
本章小结	181
习题四	182
第 5 章 时序逻辑电路	189
5.1 概述	189
5.2 时序逻辑电路的状态转换表、状态转换图和时序图	191
5.2.1 状态转换表(state table)	192
5.2.2 状态转换图(state Diagram)	193
5.2.3 时序图(Timing Diagram)	193
5.3 同步时序逻辑电路的分析和设计方法	194
5.3.1 同步时序逻辑电路的分析方法	194
5.3.2 同步时序逻辑电路的设计方法	197
5.4 异步时序电路的分析和设计方法	208
5.4.1 脉冲型异步时序电路的分析方法	209
5.4.2 脉冲型异步时序电路的设计方法	211
5.5 几种常用的时序逻辑电路	213
5.5.1 寄存器和移位寄存器(Register and Shift Register)	214
5.5.2 计数器	219
* 5.5.3 顺序脉冲发生器	242

* 5.5.4 序列信号发生器	245
* 5.6 时序逻辑电路中的竞争—冒险现象	246
* 5.7 时序逻辑电路的 VHDL 描述	249
本章小结	255
习题五	256
第 6 章 脉冲信号的产生与整形	265
6.1 概述	265
6.2 时基集成电路的结构和工作原理	266
6.2.1 555 时基电路的特点和封装	266
6.2.2 555 时基电路的工作原理	267
6.2.3 双极型 555 和 CMOS 型 555 的性能比较	272
6.3 施密特触发器	273
6.3.1 集成施密特触发器	274
6.3.2 用 555 定时器接成的施密特触发器	276
6.3.3 施密特触发器的应用	277
6.4 单稳态触发器	279
6.4.1 用门电路组成的单稳态触发器	279
6.4.2 集成单稳态触发器	283
6.4.3 用 555 时基电路构成单稳态触发器	285
6.4.4 单稳态触发器的应用	286
6.5 多谐振荡器	289
6.5.1 对称式多谐振荡器	289
6.5.2 非对称式多谐振荡器	292
6.5.3 环形振荡器	292
6.5.4 用施密特触发器构成的多谐振荡器	294
6.5.5 石英晶体多谐振荡器	295
6.5.6 用 555 时基电路构成多谐振荡器	296
* 6.5.7 压控振荡器	298
本章小结	305
习题六	305
第 7 章 半导体存储器	309
7.1 概述	309
7.2 只读存储器(ROM)	310
7.2.1 只读存储器的电路结构	310
7.2.2 掩模只读存储器	310
7.2.3 可编程只读存储器(PROM)	312
7.2.4 可擦除的可编程只读存储器(EPROM)	313
7.2.5 电信号擦除的可编程 ROM(EEPROM)	314
7.2.6 快闪存储器(Flash Memory)	315

7.3 随机存储器(RAM)	316
7.3.1 静态随机存储器(SRAM)	317
7.3.2 动态随机存储器(DRAM)	318
7.4 存储器容量的扩展	319
7.4.1 位扩展方式	319
7.4.2 字扩展方式	319
7.5 用存储器实现组合逻辑函数	321
* 7.6 存储器的 VHDL 描述	326
本章小结	328
习题七	328
第 8 章 可编程逻辑器件	331
8.1 概述	331
8.2 可编程逻辑器件的基本结构和电路表示方法	332
8.2.1 可编程逻辑器件的基本结构	332
8.2.2 PLD 电路的表示方法	332
8.3 可编程阵列逻辑(PAL)	334
8.3.1 基本的 PAL 电路	334
8.3.2 带寄存器输出的 PAL 电路	336
8.3.3 两种输出结构的 PAL 电路	338
8.3.4 带异或输出的 PAL 电路	340
8.3.5 运算选通反馈结构	340
8.3.6 PAL 的应用举例	340
8.4 可编程通用阵列逻辑(GAL)	347
8.4.1 GAL 器件的基本结构	347
8.4.2 输出逻辑宏单元(OLMC)	347
8.4.3 GAL 器件的结构控制字	349
8.4.4 输出逻辑宏单元(OLMC)的组态	350
8.4.5 GAL 器件行地址映射图	350
8.5 复杂可编程逻辑器件(CPLD)	352
8.5.1 XC9500 系列器件结构	352
8.5.2 功能块 FB	353
8.5.3 宏单元	353
8.5.4 乘积项分配器(PT)	355
8.5.5 Fast CONNECT 开关矩阵	357
8.5.6 输入/输出块(IOB)	357
8.5.7 JTAG 边界扫描接口	358
8.6 现场编程门阵列(FPGA)	359
8.6.1 FPGA 的基本结构	359
8.6.2 可配置逻辑块(CLB)结构	361

8.6.3 输入/输出块(IOB)结构	368
8.6.4 FPGA 的互连资源	371
8.7 在系统可编程逻辑器件(ISP-PLD)	374
8.7.1 ispLSI 的基本结构	375
8.7.2 通用逻辑块(GLB)	376
8.7.3 全局布线区 GRP	377
8.7.4 输出布线区 ORP	377
8.7.5 输入/输出单元	378
8.7.6 时钟网络	379
8.7.7 边界扫描	379
8.7.8 用户电子标签(UES)和保密位	381
本章小结	381
习题八	382
第 9 章 数/模转换与模/数转换	384
9.1 概述	384
9.2 数/模转换器(DAC)	385
9.2.1 数/模转换器基本原理	385
9.2.2 数/模转换器的主要技术指标	389
9.2.3 集成 DAC 典型芯片	390
9.2.4 集成 DAC 的应用	393
9.3 模/数转换器(ADC)	396
9.3.1 模/数转换器基本原理	396
9.3.2 模/数转换器的主要技术指标	404
9.3.3 集成 ADC 典型芯片	405
9.3.4 集成 ADC 的应用	412
本章小结	416
习题九	416
参考文献	419

第 1 章 数字逻辑基础

内容提要

本章介绍数字电路逻辑功能的数学方法。文中首先介绍了数制、编码,然后介绍了逻辑代数的基本公式、常用公式和重要规则,逻辑函数及表示方法,最后介绍如何利用公式、卡诺图和列表化简逻辑函数。

1.1 数制与编码

1.1.1 数制

数制是人们对数量计数的一种统计规则。在日常生活中经常遇到的是十进制。在数字系统中,广泛采用的则是二进制,八进制和十六进制。

一种进位计数包含着两个基本要素。

(1) 基数

基数是计数制中所用到的数码的个数,常用 R 表示。例如十进制中,包含 0,1,2,⋯,9 等 10 个数码。进位规则是“逢 10 进 1”。所以它的基数 $R = 10$ 。

(2) 位权

处在不同数位的数码,代表着不同的数值,每一个数位的数值是由该位数码的值乘以处在这位的一个固定常数。不同数位上的固定常数称为位权值,简称位权。例如,十进制数个位的位权值是 1,十位的位权值是 10^1 ,百位是 10^2 ,以次类推。譬如十进制数 1 1 1 1,各位数码均为 1,由于它们所处的数位不一样,那么它们所表示的数值不一样。犹如军内干部有司令、军长、师长、团长、营长、连长、排长、班长等职称,他们都属军人,但他们所处的地位不同,那么人们给予他们的权力是不一样的。又如杆称,使用同一个称砣,它所处的位置不一样,那么所表示的重量也是不一样的。

下面对常用的几种数制一一介绍。

一、十进制

基数 $R = 10$ 的数制称为十进制。一个十进制数按权展开为

$$\begin{aligned}(N)_{10} &= a_{n-1}a_{n-2}\cdots a_2a_1a_0.a_{-1}\cdots a_{-m} \\ &= \sum_{i=-m}^{n-1} a_i 10^i\end{aligned}\quad (1.1.1)$$

式中, n 为整数位数; m 为小数位数;10 为基数,也称为模; 10^i 为第 i 位的位权值。

特点: ① 有 $0, 1, \dots, 9$ 十个数码(数符); ② “逢 10 进 1”。

二、 R 进制

基数为 R 的数制称为 R 进制。进位规则: “逢 R 进 1”。有 $0, 1, \dots, R-1$ 个数码(数符)。按权展开为

$$(N)_R = \sum_{i=-m}^{n-1} a_i R^i \quad (1.1.2)$$

式中, n 为整数位数; m 为小数位数; a_i 为第 i 位数码; R 为基数; R^i 为第 i 位权值。

三、二进制

基数 $R = 2$ 的数制为二进制, 有 $0, 1$ 两个数码, 进位规则“逢 2 进 1”。按权展开为

$$(N)_2 = \sum_{i=-m}^{n-1} a_i 2^i \quad (1.1.3)$$

四、八进制

基数 $R = 8$ 的数制为八进制。有 $0, 1, \dots, 7$ 八个数码, 进位规则为“逢 8 进 1”。按权展开为

$$(N)_8 = \sum_{i=-m}^{n-1} a_i 8^i \quad (1.1.4)$$

五、十六进制

基数 $R = 16$ 的数制为十六进制。有 $0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F$ 十六个数码, 进位规则为“逢 16 进 1”。按权展开为

$$(N)_{16} = \sum_{i=-m}^{n-1} a_i 16^i \quad (1.1.5)$$

1.1.2 数制间的转换

一、各种进制转换成十进制

基数为 R 的 R 进制转换成十进制的方法很简单, 只要按式(1.1.2)就可求得。

【例 1.1.1】 一个二进制数为 $(1010.011)_2$ 化为十进制数。

$$\begin{aligned} \text{解: } (1010.011)_2 &= \sum_{i=-m}^{n-1} a_i 2^i = 1 \times 2^3 + 1 \times 2^1 + 1 \times 2^{-2} + 1 \times 2^{-3} \\ &= (10.375)_{10} \end{aligned}$$