

TTL 集成电路

下 册

(中规模集成电路及其应用)

清 华 大 学

电子工程系电子计算机教研组

1977. 11.

目 录

引 言

第一章 中规模集成电路的单元线路

第二章 译码器及其应用

第三章 数据选择器及其应用

第四章 运算单元及应用

第五章 寄存器及其应用

第六章 计数器及其应用

第七章 存储器

第八章 集成注入逻辑——一种易于实现的双极大规模集成逻辑形式

X

引 言

中规模集成电路是在小规模集成电路技术基础上发展起来的。它是在一个半导体片上同时制作许多个门电路，并在结构内部把它们互连起来形成的。所以这种电路本身就是一个较复杂的功能部件。

一般认为在一个半导体上同时制作 $10 \sim 100$ 个门电路的称为中规模集成电路，同时制作 100 个以上门电路的称为大规模集成电路。

采用中规模集成电路使电子系统具有以下几个特点：

1. 由于集成度增加，中规模集成电路已成为一个复杂的功能部件，因而使数字系统的体积大为减小。

2. 一个中规模集成电路的平均寿命和小规模集成电路大体上是相同的；此外，采用中规模集成电路使数字系统的焊点、焊点数及其互连线大为减小，这两点对于保证电子系统具有较高可靠性是十分重要的。

3. 设计、生产、调整和维护一个采用中规模集成电路的数字系统比采用小规模集成电路要容易得多，所以设计、生产、调整电子系统的进程加快了。

设计一个中规模集成电路应该遵循以下几个原则：

1. 具有一定的通用性。尽量使电路既能用于数字计算机又能用于控制系统、数字仪表。

2. 电路的设计要便于制造，例如TTL集成电路电阻值的选取应适合于工艺条件，有助于缩小版面、降低功耗，线路要简化。

3. 中规模集成电路应该能够“自扩展”的，这就是说，应该不用或尽量少用附加的门电路就能将若干个中规模集成电路拼凑成一个功能更复杂的逻辑块，例如，不需附加门电路，用4块4

位同步计数器应能组成16位同步计数器，用4块八输入多路开关和一块二输入四输出译码器就能组成一个32输入的多路开关。为了能“自扩展”，中规模集成电路输入和输出的真值表、“允许工作”端的逻辑状态、译码的编码等都要便于“扩展”。

4. 输入端的扇入负载应尽可能减少，当扇入较大时，输入端应设有缓冲级。此外，在某些场合，输入端还应设置必要的编码级，以减少输入端数，增强电路的逻辑功能和便于电路的“扩展”。

5. 不同品种中规模集成电路应做到控制信号和时钟脉冲的极性具有兼容性。

6. 尽可能采用同步系统。因为同步系统比异步系统容易设计、调试，也要比异步系统可靠。

7. 尽量利用封装的所有引脚。有时，有的集成电路并不需要占用所有的引脚，这时，应该在集成电路内部增加一些附加的逻辑功能和时钟控制电路、求反输出控制端、一个以上“允许工作”端，这样，既不会浪费引脚，还使电路功能增强，具有更大的通用性。

TTL中规模集成电路按功能和用途来分类大体有以下几类：

—— 运算单元，包括全加器、四位算术逻辑运算单元、奇偶校验器、数字比较电路。

—— 数据选择器。

—— 译码电路。

—— 寄存器

—— 计数器

—— 存储器

在以后几章，我们将分别介绍以上几类电路的原理、线路、测试及应用。

第一章 中规模集成电路的单元线路

中规模集成电路的一个显著特点就是它有相当大比例的逻辑门是不驱动外部负载的，我们把这些门称为“内部逻辑门”。内部逻辑门有两个特点：

——它仅驱动中规模集成电路内部做另有限逻辑门，其扇出系数一般地说要小于驱动外部负载的逻辑门（也有少数逻辑门的扇出系数是比较大的）；

——由于中规模集成电路是集成在一块面积很小的硅片上的，逻辑门之间互连线短，容性负载也是不大的。

为了简化中规模集成电路的线路，减少管子数，以提高成品率、降低功耗，同时也为了改善电性能，中规模集成电路中的内部逻辑门采用简化电路的形式。本文将讨论各种简化逻辑电路的线路形式、简化电路互连的问题。

§1. 关于“0”、“1”的表示法

在TTL小规模集成电路中，习惯于用输出电位的高、低来表示“1”和“0”的：例如，在正逻辑表示法中，3.5V叫做“1”状态，0.35V叫做“0”状态，我们把它称为“电位表示法”。

应该指出，在TTL电路中，电位表示法并不具有普遍性，它适用于“图腾柱”结构的线路或电阻负载输出结构的线路，而在TTL中规模集成电路中由于采用了大扇出集电极开路输出的线路，电位表示法在这里往往是不适用的，举例说，在集电极开路输出与非门中，若用电位的高、低来表示“1”、“0”，就会得出错误的结论。在图1中，由于集电极开路输出与非门1输入为“0”，其输出应为“1”，但是由于门2的另一个输入端A为“0”（假定为0.1V），于是门2的 I_R 流向A端，由门2 T管的两个射极和基极所组成的n-p-n寄生三极管（A端为射极，B端为集极）处于饱和和工作状态，门1输出电位 V_B 被门2的A端电位钳制， $V_B = V_A + V_{ce}$ 。

这里 V_{ces} 为寄生三极管集射饱和压降, V_B 约为 $0.2V$, 这个输出 "1" 电平比普通门输出 "0" 电平还要低。所以用电位高低来区分逻辑状态并不是在任何情况下都适用的。

在 TTL 电路中, 普遍适用的 "0"、"1" 表示法是逻辑电路的输出是否吸收电流。在正逻辑表示法中, 输出端吸收电流叫做 "0" 状态, 输出不吸收电流或向外流出电流叫做 "1" 状态, 我们把这种表示法称为 "电流表示法"。但是这种表示法有一个前提, 即 "0" 电平必须低于下级门的门槛电平。如采用 "电流表示法" 来分析图 1 那就十分清楚。

由于门 1 输出管 T_5 截止, 输出端已不吸收电流, 所以门 1 输出应为 "1"。

"电位表示法" 只是 "电流表示法" 的一个具体表现, "电位表示法" 可以 "归并" 到 "电流表示法" 中去。例

如, 图腾输出结构与非门 (图 2) 输出为 "0" 时, T_5 饱和, 它使输出端 "吸收" 外负载电流。当输出为 "1" 时, T_5 截止, 输出端 "不吸收" 外负载电流 (经 T_3 、 T_4 管向外流出电流)。因此 "电流表示法" 是具有普遍意义的, 在下面的讨论中我们都采用 "电流表示法" 来区分 "0"、"1"。

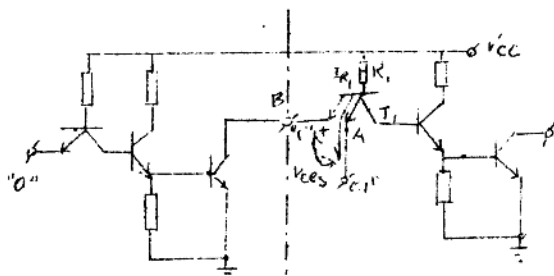
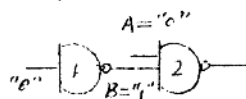


图 1

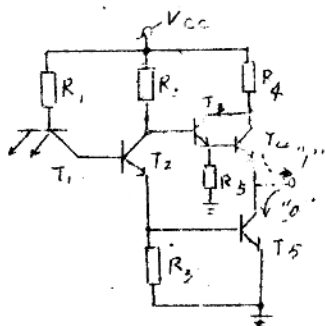


图 2

§2. 与非门电路的结构

逻辑单元的简化, 是指线路而言的, 一个逻辑单元经线路简化后, 其逻辑功能应和简化前完全一样, 这是在设计简化线路时必须遵循的一条原则。就一个普通的五管TTL与非门电路来说, 其线路的哪些部分是可以简化但又保持其应有的逻辑功能的呢? 为了回答这个问题, 我们应对它的线路结构有一个了解。

一个五管与非门的逻辑结构和图3所示。“与”逻辑功能是由

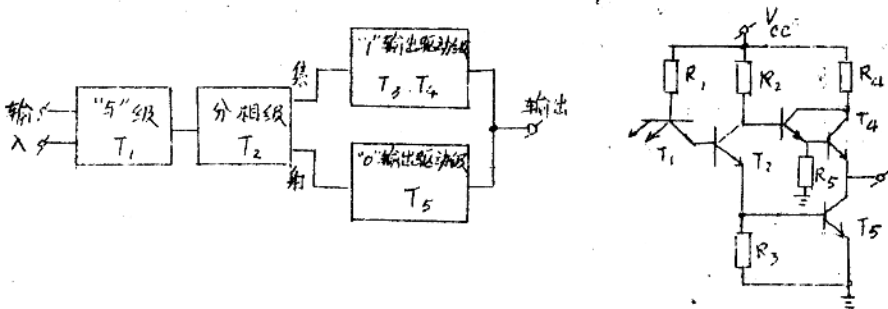


图 3

多射极管 T_1 来实现的：若有一个输入为“0”，则 I_{R1} （称为门电流）流向“0”输入端， T_1 射结导通，其集极（即“与”逻辑的输出）处于吸收负载电流的状态，“与”输出为“0”；当输入均为“1”， I_{R1} 经 T_1 集极向外流出，其集极处于不吸收电流的状态，“与”输出为“1”。 T_2 称为“分相级”，它有两个输出：集极和射极。当“与”级输出为“1”时， I_{R1} 自 T_1 集极流向 T_2 基极， T_2 导通，其集极吸收 I_{R2} 。 T_2 集极输出的逻辑状态为“0”。反之，当“与”级输出为“0”时，无电流自 T_1 集极流出， T_2 截止，其集极不吸收电流， T_2 集极输出为“1”。所以，经 T_2 管集极又实现了“非”逻辑。“分相级”的另一个输出是射极，它和“与”级输出只差一个结压降，因此它和“与”级输出是同相的。处于射极跟随器工作状态的 T_3 、 T_4 管和处于反相器工作状态的 T_5 分别称为“1”输出驱动级和“0”输出驱动级。它们在静态时是只有一个工作的。 T_3 起两个作用：(1)把 T_2 射极

的逻辑状态反相：当“与”级输出为“1”时，“分相级”的集电极输出向 T_5 注入基流， T_5 导通，使它处于吸收负载电流的状态，与非门输出为“0”，所以当与非门输出为“0”时，“非”逻辑是由 T_5 来实现的。（二）提高“0”输出驱动能力，因为 T_5 基流大于 T_1 的基流， T_5 集电极吸收电流能力要比 T_2 集电极强，而“1”输出驱动级是不实现任何逻辑功能的，当与非门输出为“1”时（“0”输出驱动级截止），它把“分相级”集电极的“与非”逻辑转送至与非门的输出端，具体来说， T_3 、 T_4 管在与非门中起两个作用：（一）当与非门输出由“0”态向“1”态过渡时， T_3 、 T_4 管瞬时向饱和的 T_5 管提供很大的集流，使 T_5 体内多余的存储电荷迅速逸散，加快它脱离饱和的过程。当 T_5 脱离饱和后， T_3 、 T_4 给输出电容供出大电流，加速电压上升过程，使与非门输出能驱动较大的容性负载，所以 T_3 、 T_4 又能缩短输出脉冲上升时间。（二）在输出“1”状态时， T_3 、 T_4 从与非门输出端流出电流供给下级 TTL 电路所需的输入漏电流，由此可见， T_3 、 T_4 是为了加快与非门截止过程并使它具有较大驱动容性负载能力而设置的。

分析了与非门的逻辑结构后，得出的初步结论是：

1. 如果与非门的容性负载及电阻性负载均较小时， T_3 、 T_4 和 T_5 均可省略， T_2 集电极作为与非门输出端。
2. 如果与非门的容性负载较小，但电阻性负载不小时， T_3 、 T_4 可以简化掉，与非门由 T_5 集电极输出。

§ 3. 简化与非门

简化与非门是组成中规模集成电路的一种最基本简化电路，它的形式很多，在这里仅介绍四种常用的由普通 TTL 与非电路演变来的简化与非门。

1. 图 4a 所示的是一种最简单的简化与非门，它保留了普通与非门最基本的部分：“与”逻辑部分 T_1 和“非”逻辑部分 T_2 ，而把“1”输出驱动级和“0”输出驱动级简化掉了，因此这种电路

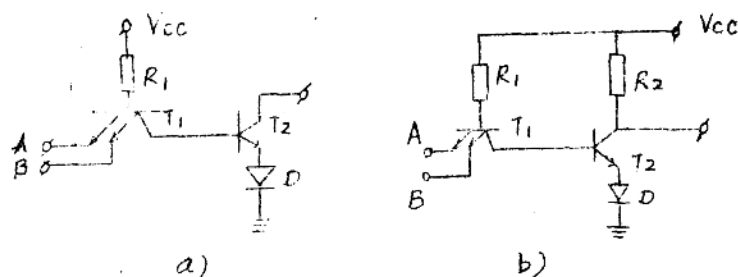


图 4

带负载能力是比较弱的，扇出系数不宜大于4，一般适用于的扇出为2至3。因为它所驱动门电路的输入电阻就是其倒相管的集电极电阻，还可以进一步把 R_2 省掉，所以简单和功耗小是这种简化与非门的最主要特点。

在普通的与非门中， T_2 射极是和 T_1 基极相连的，电路的门槛电平（即转移特性急剧下跌点的输入电压）才能保持为1.4V左右。但是在简化门中由于 T_1 管已省掉，为了使它的门槛电平和普通的与非门有相同的水平，以获得和普通与非门一致的抗干扰能力，在简化门 T_2 的射极接一个二极管，用它来模拟普通与非门 T_1 的射结。

图4a简化门的输出“0”电平为 T_2 的集射结电压降和二极管D正向压降之和，约为0.9V。比普通与非门的输出“0”电平要高很多，但是仍小于与非门的门槛电平，所以还是能将下一级门关闭的，可是它和下级与非门门槛电平之差比较小，“0”电平抗干扰能力较弱，这一缺点引起注意。

当图4a门电路输出由“0”向“1”转换时，由于它没有“1”输出驱动级，对容性负载充电电流是由下级门门电流 I_{R1} 中的一部分（其数值较小）来提供的，因此输出电压上升时间较长。容性负载愈重，上升时间就愈长。例如， $R_1=3.9k\Omega$ ，容性负载较重，驱动一个与非门时，输出波形的上升延迟 t_{pd+} 竟达72.9ns。（下降延迟 t_{pd-} 为5ns）。可见，这种电路驱动容性

载较重时，开关特性很差。因此，这种电路只适用于容性负载不大的场合。

有时为了减小输出波形的上升时间，增设 T_2 集电极电阻（图4b）。这样，电流通过 R_2 给容性负载提供了充电电流，但电路的扇出能力更弱了，“0”态功耗也增大了。

2. 图5所示简化与非门比图4电路多一个“0”输出驱动级 T_3 ，因此其“0”输出驱动能力和输出“0”电平是和普通与非门相当的。

图5比图4a 还多了一个二极管D。它起两个作用。一是减小输出波形的上升延迟。当门电路的输入由“1”变为“0”时， T_2 总是先于 T_3 脱离饱和的。当 T_2 开始脱离饱和， V_{C2} 增大， I_{R2} 减小，若这时 T_3 尚未脱离饱和， V_{C3} 则仍维持为饱和压降不变，因此流过二极管D的电流将增大， I_{C2} 就迅速下降， I_{B3} 也因此迅速下降，这样，加快了 T_3 的退饱和。一旦当 T_3 脱离饱和后，电流通过 R_2 和D给电容性负载提供充电电流，使门电路输出电压上升时间不致太大。

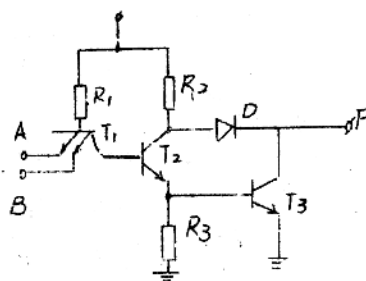


图 5

例如，当 $R_1=3.9\text{K}\Omega$ ， $R_2=1.5\text{K}\Omega$ ， $R_3=1\text{K}\Omega$ ，输出电容为 20PF 并驱动一个与非门时，门电路的上升延迟为 33ns ，下降延迟为 5ns 。显然，上升延迟要比图4a 线路的小得多。第二，

虽然D会分走 T_2 的一部分集流，使 T_2 基流减小，“0”输出负载能力有所降低，但是却控制了 T_2 管的饱和深度。当输出“0”负载电流 I_{OL} 较小时，输出电压会降低，D的正向压降及其

表 1 (uA)

I_{OL}	I_D	I_{B3}	I_{C3}
0.7	2.4	1.3	3.1
5	2.25	1.45	7.25
8	2.1	1.6	9.1
16	1.9	1.8	17.8

$R_1=3\text{K}$
 $R_2=750\Omega$
 $R_3=300\Omega$

电流都随之增大，它对 T_2 的分流作用增强，使 T_2 的基流减小，这样，就减轻了 T_2 的饱和深度，有利于改善开关特性；反之，当“0”负载电流较大时，二极管的压降减小，对 T_2 的分流减弱，使输出管基流增大而不致脱离饱和，表1给出不同“0”负载电流 I_{OL} 时，二极管调整输出管基流的情况。

由于普通与非门的“1”输出驱动级已被D代替，电路的容性负载能力比普通与非门要弱。但由于片内互连线短，容性负载比较小，它一般适用的扇出系数为4~10，是大规模集成电路中应用最普遍的一种电路。该电路的输出“1”电平是随“1”输出电流 I_{OH} 增大而减小的：

$$V_{OH} = E_{CC} - V_D - I_{OH} \cdot R_2$$

在电阻 R_1 、 R_2 、 R_3 中， R_2 对开关特性的影响最为明显。 R_2 愈小，对输出电容的充电电流就愈大，上升延迟 t_{pd+} 就愈小，但却使电路功耗增大；反之，增大 R_2 ，上升延迟就显著增大，“0”输出负载能力减弱，但功耗却减小。

表II给出了延迟时间随 R_2 变化的关系，由表可知， R_2 的选择是十分关键的，应兼顾开关时间、“0”输出负载能力以及功耗三因素。至于

表II $R_1=3.9k\Omega$ 容性负载: 20PF
 $R_3=1k\Omega$ 扇出=1

R_2	t_{pd+}	t_{pd-}	t_{pd}
820 Ω	20ns	4.5ns	12.3ns
1.5k	33ns	5ns	19ns
2k	38ns	5ns	21.5ns
3.5k	50ns	5.5ns	27.8ns

R_1 和 R_3 ，虽然减小 R_1 、增大 R_3 有利于减小下降延迟（也有利于增强“0”输出负载能力）不利于减小上升延迟（也不利于减小功耗）但是 R_1 和 R_3 对开关特性的影响比起 R_2 却要小得多，表III给出了延迟时间随 R_3 变化的情况。

表III $R_1=3.9k\Omega$ 容性负载 20PF
 $R_2=1.5k\Omega$ 扇出=1

R_3	t_{pd+}	t_{pd-}	t_{pd}
510 Ω	30ns	5.5ns	18
1k	33ns	5ns	19
1.5k	36ns	4.5ns	20

3. 图6是一种开关速度较快

的简化与非门。由于 T_3 集电极被 T_2 的集电极所箝制始终是反偏的， T_3 不可能饱和；此外，和图 5 简化门比较，向容性负载充电回路少一个二极管，因此开关速度较快是图 6 的主要特点之一。当 $R_1 = 3.9 \text{ K}\Omega$ ， $R_2 = 1.5 \text{ K}\Omega$ ， $R_3 = 1 \text{ K}\Omega$ 容性负载为 20 PF 并驱动一个与非门时， $t_{pd+} = 7 \text{ ns}$ ， $t_{pa-} = 5 \text{ ns}$ ，和同阻值的图 5 电路相比，它的上升延迟显然要小多了。

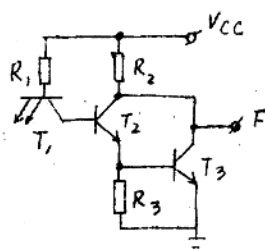


图 6

由于 T_3 处于放大状态，电路的“0”输出电平 V_{OL} 比较高，其值为：

$$V_{OL} = V_{be3} + V_{ces2}$$

它和图 4a 电路的相当，这是电路的第二个特点。

由于 T_3 处于放大状态，当“0”态负载电流较小时，所需基流是十分小的，因此 T_2 射流必须很小，这就迫使 T_2 的集电极非但不能吸收电流，而且 T_2 基流（即 I_{R1} ）的一部分还必须经集电极流入 T_3 集电极而不流向 T_2 射极，这时 T_2 成了二个背靠背的二极管，饱和极深， V_{ces2} 可忽略，电路输出“0”电平 V_{OL} 约为 V_{be3} ，当“0”负载电流较大时， T_3 需要一定基流，这股基流除了 I_{R1} 提供外，还须由 I_{R2} 的一部分来供给， T_2 集电极吸收电流， T_2 处于正常的饱和工作状态，例如， $R_1 = R_3 = 4 \text{ K}\Omega$ ， $R_2 = 2 \text{ K}\Omega$ ， $\beta = 20$ ，当 I_{OL} 超过约 6 mA 时， T_2 就开始由二个背靠背二极管的工作方式转而变为集电极吸收电流的正常饱和状态，此时 V_{ces2} 不能忽略，并且电路 V_{OL} 将随负载电流增大而增加，甚至有可能达到 1 V 左右而不可靠地关闭下一级门电路。为了使下一级电路可靠地工作，电路的“0”负载电流不宜过大，这是电路的第三个特点。

因此，它适用于负载轻但要求传输时间短的场合。

4. 图 7 是容性负载驱动能力强、扇出大但是截止又快的一个

种与非门电路。它和普通与非门的主要差别在于省略了 R_4 。在普通TTL与非门中： R_4 是一个限流电阻，用来防止由于使用者不慎将输出“1”碰地而损坏 T_3 、 T_4 两管。但在中规模集成电路中，内部逻辑门是不不会被碰地的，省略 R_4 是可能的。由于 R_4 被省略，当输出由“0”向“1”过渡时自“1”输出驱动级流出的电流非常大。

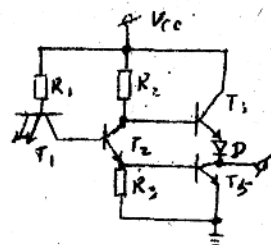


图 7

它既使 T_3 迅速脱离饱和又使大的容性负载迅速充电。和同阻值的图5电路相比，当 $R_1=3.9\text{k}\Omega$ ， $R_2=1.5\text{k}\Omega$ ， $R_3=1\text{k}\Omega$ ，容性负载均为 20PF 并均带一个与非门时，图7电路的 t_{pd+} 为 17ns 。比图5电路缩短了 16ns ， t_{pd-} 和图5的相同均为 5ns 。上述参数的图7电路，当负载电容增至 120PF 时，其 t_{pd+} 仅由 20PF 时的 17ns 增至 22ns ，变化较小， t_{pd-} 仅由 20PF 时的 5ns 增至 9ns ，变化较小（容性负载增大时，电容的电荷量相应增加，当输出由“1”向“0”过渡时，电荷通过 T_3 逸散所需时间增加，造成 t_{pd-} 增大）。可见它驱动容性负载能力是很强的。图中D是电平转换二极管，确保 T_2 饱和时 T_3 截止。

图7电路有两个缺点：一是线路元件多，二是在电路状态转换时有很大的浪涌电流，当输入频率较高时，瞬态功耗不可忽略。现在把上述四种简化与非门的特性列表于下。

表 IV

电 路	"0"输出电平	容性负载驱动	开关速度	功 耗	元 件 数
图 4a	高	弱	容性负载大时 慢	小	最少
图 5	低	中	中	大	中
图 6	高	强	快	大	少
图 7	低	最强	容性负载大时 最快	最大(浪涌电流)	最多

§ 4. 简化与或非门

在TTL电路中，有两种实现“与”的方法：一种是在下一级电路的输入端，用三极管的多发射极来实现逻辑“与”，另一种是“线与”，所谓“线与”，就是把几个电路的非图腾结构的输出连接在一起，在电路的输出实现“与”。“与或非”逻辑就是由简化与非门按“线与”方式连接形成的。在图8中，两个简化与非门的输出分别实现 $\overline{AB}$ 和 $\overline{CD}$ ，如果把它们输出连接在一起，那么只有当 T_2 和 T_2' 都不吸收电流时，输出F才不吸收电流，因此在正逻辑

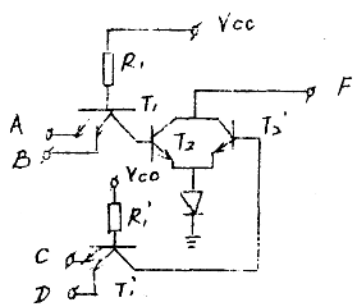


图 8

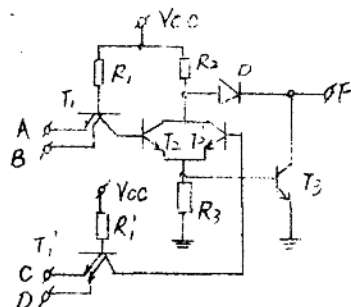


图 9

表示法中，“线与”连接实现逻辑“与”：

$$F = \overline{AB} \cdot \overline{CD}$$

但是依逻辑代数基本定理，两个“与非”项的“与”，即为两个“与”项的“或非”，所以上式可改写成：

$$F = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

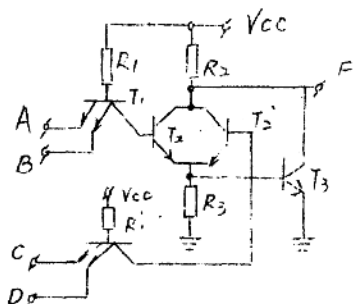


图 10

这就是与或非门的表达式，图8就是一个和图4a相似的简化与或非门，同样，图9、10是分别和图5、6简化与或非门相对应的

简化与或非门.

§ 5. 用单个三极管实现逻辑门

在中规模集成电路中常常用一个或几个三极管来实现简化的逻辑门, 如禁止门、串级与非门、异或非门……。它们的显著特点是简单, 但是它们的驱动能力(包括容性及载能力)弱, 互连不当会造成逻辑错误。下面讨论几个常见的逻辑门。

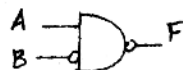
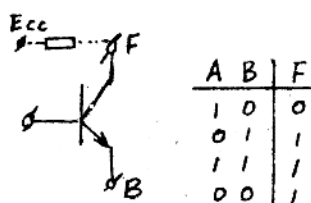
1. 禁止门

一个三极管就是一个简化禁止门(图 11)。只有当三极管的射极为“0”, 同时基极为“1”时, 三极管才导通, 集电极处于吸收电流状态, 即为“0”, 否则就是“1”, 因此图 11 三极管实现“禁止”逻辑

$$F = A \cdot \overline{B}, \text{ 或 } F = \overline{A \cdot B}$$

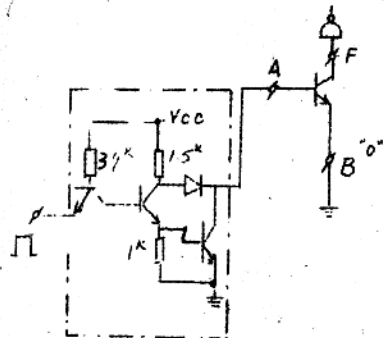
其逻辑符号示于图 11。

禁止门的开关特性取决于单管的频率特性以及工作方式。A 端加脉冲, B 为“0”, 以及 B 端加脉冲, A 为“1”, 这两种情况的传输时间是不一样的。例如, 前者的平均传输

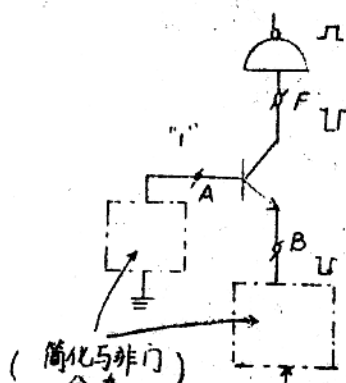


$$F = \overline{A \cdot B}$$

图 11



(a)



(b)

图 12

时间约为 13^{ns} ，后者约为 5^{ns} ，前者比后者慢 8^{ns} 主要在于前者的上升延迟比后者大得多（实验线路见图 12，输入脉冲经简化与非门加至禁止门，三极管均为 3DK2B）造成这两个传输时间有差别的原因是禁止门在图 12.a 是处于共射工作状态，在图 12.b，则处于共基状态，而后者的截止频率比前者要高得多。

2. 串级与非门

如果三极管有二个射极，只要射极中有一个为“0”，同时基极为“1”，则三极管就导通，集极逻辑状态为“0”（图 13），因此它的逻辑表达式为

$$F = A(\overline{B+C}) = \overline{AB\overline{C}}$$

其逻辑符号示于图 13。

3. 异或非门（异或门）

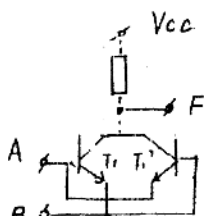
异或非（异或）逻辑在中规模集成电路中是经常采用的。实现的方案很多。图 14 介绍的是用两个禁止门组成的线路最简单、用得最多的一种异或非门，将两个禁止的射基极互连在一起，并将它们的输出也“线-与”在一起，输出 F 的表达式为：

$$F = \overline{A\overline{B}} \cdot \overline{\overline{A}B} =$$

$$= (\overline{A}+B)(A+\overline{B})$$

$$= AB + \overline{A}\overline{B}$$

因此是异或非门的表达式。



A	B	F
0	0	1
1	1	1
0	1	0
1	0	0

图 14

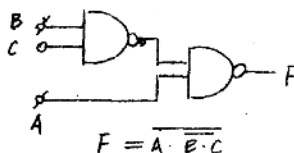
图 15 是简化异或门，它

比异或非门多一级反相器。

当输入 $A=B$ ， T_1 、 T_1' 的射结均截止， I_R 流向 T_2 ， $F=0$ 。当 $A \neq B$ ，

A	B	C	F
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1

图 13



$$F = \overline{A \cdot B \cdot C}$$

例如 $A=1$, $B=0$, 则 T_1 射结导通, T_1' 射结截止, I_{R_1} 流向 T_1 , 输出 $F=1$ 。由于异或门的线路比异或非门复杂, 此外, 异或门级数多, 其开关速度必然低于异或非门, 因此设计中规模集成电路时应尽量采用异或非结构。

异或(异或非)电路在直流运用时有以下三个特点:

(一) 扇入系数比普通与非门大。

在图 16 中当 $A \neq B$, 流向前级简化

门的电流为:

$$\frac{V_{cc} - (V_{ol} + V_{be})}{R_0} + \frac{V_{cc} - (V_{ol} + V_{ces})}{R_1}$$

它要比普通与非门的“0”输入电流大。

(二) 异或非门的输出“0”电平

是输入低电平以及 T_1 (或 T_1') 的饱和

和压降之和, 比普通门电路的“0”输出电平高一个 $c-e$ 饱和压降。

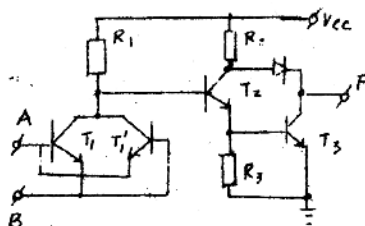
(三) 当 $A \neq B$ 时, 导通的 T_1 (或 T_1') 射结会把前级门的输出

“1”电平箝制在较低的值上:

$$V_{in, "1"} = V_{ol} + V_{be} = 0.9 \sim 1.0V$$

4. 互连问题

在中规模集成电路中, 单管简化门往往是由其他简化门驱动的, 如果互连不当, 会造成逻辑错误。以图 17.a 为例, 如果门 1 除了驱动异或门外, 还驱动门 3, 那么当门 1 输出



A	B	F
0	0	0
1	1	0
0	1	1
1	0	1

图 15

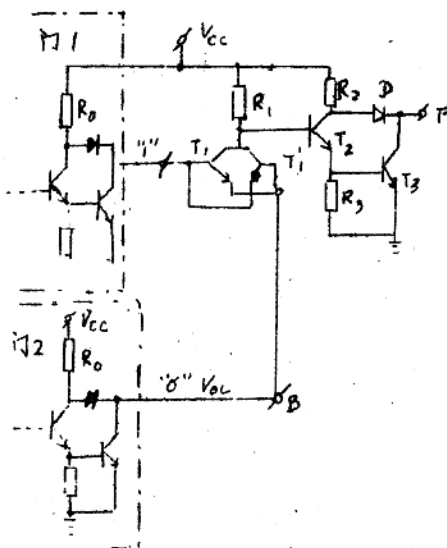


图 16