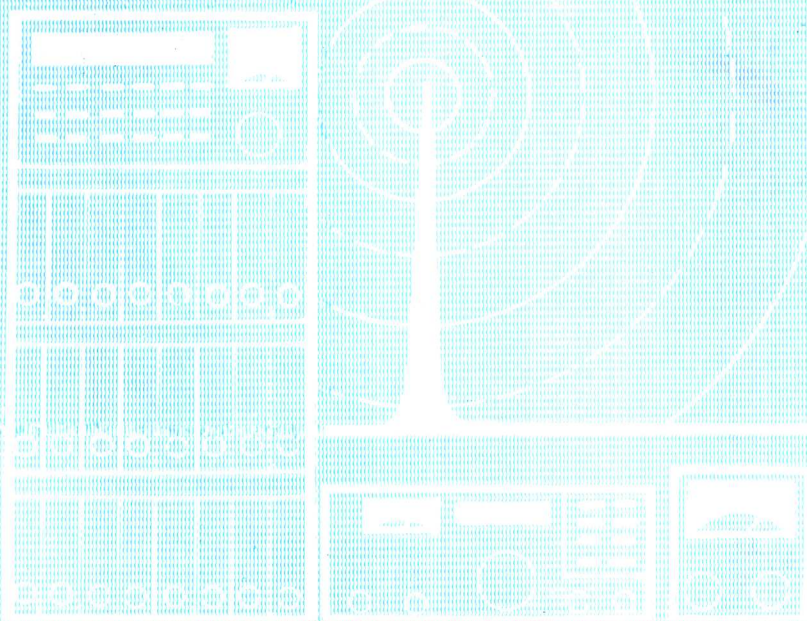


专用集成电路设计

FPGA 和 CPLD 技术

左金明 杨莉芸 编译



中国人民解放军信息工程学院

前 言

九十年代,利用计算机辅助设计,绘出实现用户逻辑的原理图(包括电路图和_非电路图),并通过一系列编译程序,自动布局布线程序,及模拟仿真等过程,在确保满足设计的功能要求及定时关系后,生成二进制或十六进制编程文件,这个文件可装入可编程逻辑器件(EPLD和FDGA)或编程写入EPROM器件,构成用户定制的专用集成电路,真正达到了由用户自行设计、自行研制、自行生产专用集成电路的目的,使“身在办公室,生产集成块”的梦想成为现实,这实在是电子系统设计人员值得高兴的一件喜事。

美国Xilinx公司作为第一家FPGA的发明者,在多年用户需求的基础上,开发了多种系列复杂的可编程逻辑器件(CPLD)或更复杂的可编程逻辑器件(FPGA),并推出功能齐全性能优越的XACT软件开发系统(Xilinx Advanded CAD Technology及Xilinx Automatic CAE Tools)利用这套软件,可进行各种数字电路设计,随时可实现各种新想法,进行发明创造、改进、提高,起到事半功倍的效果。

本书的作者在科研工作中,通过使用上述Xilinx公司的开发系统和器件,深深体会到应用CPLD和FPGA带来的好处,受益菲浅,很高兴将这一新技术介绍给在校的和电子系统设计有关专业的本科生和未掌握此技术的研究生,和他们共享专用集成电路设计的喜悦。

由于技术更新快,编者水平有限,书中不妥之处恳请指正。

编 者

一九九六年十二月

目 录

第一章 概述.....	(1)
§ 1—1 可编程用户定制的专用集成电路简介.....	(1)
一、PROM 器件	(1)
二、PAL 器件	(2)
三、GAL 器件	(2)
四、EPLD 器件	(4)
五、FPGA 器件.....	(6)
§ 1—2 Xilinx XC2000/XC3000/XC4000 系列 LCA 结构	(8)
一、可配置存储器——SRAM 阵列	(9)
二、可编程逻辑块 (CLB)	(9)
三、可编程输入输出块 (IOB)	(15)
四、可编程的内部连线 (PI)	(19)
五、内部晶体振荡器	(28)
六、FPGA 的主要封装形式及管脚说明	(29)
§ 1—3 XACT 开发系统简介	(39)
一、XACT 开发系统软件	(40)
二、硬件要求及系统安装	(41)
三、LCA 设计流程概述	(45)
四、XACT 开发系统中设计管理程序 (XDM) 的使用	(47)
第二章 OrCAD 软件包集成运行环境 ESP	(53)
§ 2—1 硬件配置和软件系统	(53)
§ 2—2 OrCAD/ESP 集成运行环境的特点	(54)
一、特点	(54)
二、说明	(56)
§ 2—3 集成运行环境 ESP 的配置、热键和用户软件接口	(59)
一、配置文件的调出	(59)
二、ESP 配置菜单参数设置	(59)
三、热键 (Hot Keys) 设置	(60)
四、“用户自定义命令”按钮 (user Butter)	(60)
§ 2—4 OrCAD/ESP 中的“设计”和设计管理软件	(61)

一、特殊设计子目录 TEMPLATE	(61)
二、ORCADESP、DAT 文件内容的版本更新	(62)
三、设计管理软件包的调用	(63)
四、设计管理命令	(63)
五、文件管理命令	(65)
§ 2—5 电原理图绘制软件包 OrCAD/SDT IV	(66)
一、硬件配置和软件包组成	(67)
二、OrCAD/SDT IV 软件包的调用和配置	(67)
§ 2—6 电原理图绘制软件 DRAFT	(73)
一、DRAFT 的调用	(73)
二、DRAFT 主命令分类	(75)
三、部分开关参数和程序运行状态设置	(75)
第三章 FPGA 的设计输入	(78)
§ 3—1 原理图输入的基本要求	(78)
一、命名惯例	(78)
二、电原理图结构形式	(78)
三、Xilinx 元件库	(80)
四、LCA 的属性标志	(89)
五、属性标志的输入	(96)
§ 3—2 原理图输入技术	(100)
一、定义一个层符号	(100)
二、拷贝一个层符号	(101)
三、放置一个库符号	(101)
四、连线	(101)
五、放置总线	(102)
六、放置节点	(104)
七、放置标号	(104)
八、放置模块端口	(105)
九、观察 Xilinx 软宏原理图	(105)
十、观察 Xilinx RPM	(106)
十一、指定引脚	(106)
十二、加网路属性标志	(106)
十三、定义 FAST pads	(106)
十四、电路图存盘	(106)
§ 3—3 原理图文件到 XNF 文件的转换 (SCH→XNF)	(107)
第四章 FPGA 设计实现	(110)
§ 4—1 设计实现的基本方式和流程	(110)
§ 4—2 自动设计实现方式	(111)

一、Xmake 自动设计实现流程	(112)
(1) Xmake 实现流程简介	(112)
(2) Xmake 命令及文件格式	(112)
(3) Xmake 的参数选择	(113)
二、Xmake 的三种编译工作模式	(114)
(1) 归并后映射模式	(115)
(2) 参数文件优先映射模式	(115)
(3) 映射然后归并模式	(117)
§ 4—3 设计实现中使用的几个主要程序	(118)
一、XNFMerge 程序	(118)
二、XNPrep 程序	(119)
三、XNFMAP 程序	(122)
四、MAP2LCA 程序的执行	(123)
五、APR 自动布局线程序	(124)
六、PPR 自动分区规划, 布局, 布线程序	(128)
§ 4—4 FPGA 编程及系统联试	(135)
一、BIT 文件生成程序 MAKBITS	(136)
二、PROM 构造码生成程序 MAKEPROM	(137)
三、FPGA 工作模式	(138)
(1) 串行模式	(138)
(2) 并行模式	(139)
(3) 外设模式	(140)
(4) 主从工作模式	(141)
(5) 菊花链模式	(142)
§ 4—5 FPGA 设计示范板简介	(144)
一、模式开关设置	(148)
二、FPGA 示范板的操作使用	(151)
1. 使用 xchecker 下装	(151)
2. 使用一个配置的 PROM 装入	(152)
3. FPGA 示范设计	(152)
第五章 复杂的可编程逻辑器件 CPLD	(153)
§ 5—1 概述	(153)
§ 5—2 XC7200A 系列	(154)
一、概述	(154)
二、结构	(155)
1. 功能块和宏单元	(155)
2. 输入和输出	(156)
3. 通用互联矩阵	(157)
三、应用特性	(158)

§ 5—3 XC7300 系列	(159)
一、概述	(159)
二、结构	(159)
1. 高速功能块	(160)
2. 乘积项分配	(160)
3. 高密功能块	(161)
4. 共享和专用乘积项	(161)
5. 算术逻辑单元	(161)
6. 超前进位	(162)
7. 宏单元触发器	(162)
8. I/O 块	(162)
9. 通用互联矩阵	(163)
三、应用特性	(163)
§ 5—4 XC9500 系统可编程 CPLD 系列	(164)
一、特性	(164)
二、说明	(165)
三、结构	(166)
1. 功能模块	(166)
2. 宏单元	(166)
3. 乘积项分配器	(169)
4. 快速联接开关矩阵	(170)
5. I/O 模块	(170)
6. 引脚锁定功能	(171)
7. 系统内可编程	(172)
8. 耐用性	(174)
9. IEEE 1149.1 边缘扫描 (JTAG)	(174)
10. 设计保密	(174)
11. 低功率模式	(174)
12. 定时模式	(175)
13. 上电特性	(175)
14. 开发系统	(176)
15. 快速刷新技术	(176)
第六章 可编程逻辑设计基础	(177)
§ 6—1 组合逻辑设计	(177)
1. 编码器和译码器	(177)
2. 多路选择器	(180)
3. 比较器	(180)
4. 加法器/算术逻辑	(182)
5. 锁存器	(183)

§ 6—2	寄存器逻辑设计	(183)
1.	二进制计数器	(184)
2.	模计数器	(184)
3.	格雷码计数器	(185)
4.	Johnson 计数器	(186)
5.	移位寄存器	(188)
§ 6—3	状态机设计	(189)
1.	概述	(189)
2.	状态机设计举例	(189)
(1)	问题定义	(190)
(2)	状态图表示	(190)
(3)	状态机语法	(192)
(4)	汇编与编程	(193)
第七章	XEPLD 的设计方法	(195)
§ 7—1	概述	(195)
一、	使用 PlusASM 文件	(195)
二、	变换一个 JEDEC 文件到 Plusasm 文件	(196)
三、	使用 xilinx ABEL 文件	(196)
四、	使用第三方 PLD 编译器变换到 PlusASM 文件	(197)
§ 7—2	XEPLD 的设计输入	(198)
一、	原理图设计输入	(198)
二、	行为设计输入	(201)
1.	plusASM 语言简介	(201)
2.	ABEL—HDL 简介	(209)
3.	PAL 文件变换开发 XEPLD 设计	(233)
三、	在原理图设计中使用 PLD 文件	(241)
四、	xilinx 属性	(244)
§ 7—3	XEPLD 设计实现	(250)
一、	自动实现方式	(250)
二、	手式设计实现方式	(252)
三、	设计中的几个实用程序说明	(253)
§ 7—4	XEPLD 设计举例	(256)
一、	通用非同步接收机 (UART) 的设计	(256)
二、	序列发生器的设计	(261)
第八章	设计验证	(267)
§ 8—1	概述	(267)
§ 8—2	功能模拟	(268)
一、	在原理图上放置激励和图形轨迹数据	(268)

二、使用 XsinMake 产生功能模拟网表文件	(269)
三、变换激励和图形轨迹文件为二进制格式文件	(272)
四、对各个设计重新配置 OrCAD VST	(272)
五、使用 orCAD 激励编辑器添加附加的激励数据	(273)
六、完成功能模拟	(274)
§ 8—3 时间模拟	(275)
一、用 XMake 对设计进行布局布线	(275)
二、使用 XSimmake 产生时间模拟网表文件	(276)
三、变换图形轨迹 (trace) 和激励 (stimulus) 文件为二进制格式	(277)
四、对各个设计重新配置 ORCAD VST	(277)
五、完成时间模拟	(278)
参考文献	(278)
附录：常用 XACT 库元件举例	(279)

第一章 概 述

由于半导体技术的飞跃发展,数字系统应用基本经历了分立元件,小规模集成电路(SSI),中规模集成电路(MSI)和大规模集成电路(LSI)乃至超大规模集成电路(VLSI)的应用过程,数字系统应用的基本特征乃由中小规模集成度的标准通用集成电路,向用户定制的专用集成电路(ASIC)过渡。特别对于现代较复杂的数字系统,若采用SSI/MSI器件来设计某个特定的应用,不仅要占用很大的物理空间,而且功耗较大和可靠性差;而采用LSI/VLSI器件的专用电路设计,则具有相当高的系统集成度和相对小的功耗,但其开发周期长,开发费用高,具有较大的投资风险性。且有时仍需要SSI/MSI器件来设计实现相应的接口逻辑。80年代出现的可编程逻辑器件(PLD—Programmable Logic Devices),在一定的程度上,为数字系统设计工程师的快捷、灵活设计提供了可能性,PLD器件的应用,使一系列功能强,速度快,灵活性大的积木式系统设计得以成功。但是,随着现代数字系统设计的发展,PLD器件无论在集成容量,功耗,速度乃至逻辑设计的灵活性上,均不能满足现代数字系统的大容量、高速度、现场灵活编程设计的要求。FPGA和CPLD器件的产生正是由此而来,其作为一种新型的用户可编程专用集成电路,显示了诱人的应用前景。有人预言,九十年代的许多电子系统将以CPU+RAM+FPGA的构成为特征;反映了现代数字系统设计的一种趋势。

无论是中小规模集成电路,还是大规模和超大规模集成电路,从其生产出厂后,电路的逻辑功能是固定不变的,用户只能根据自己系统的要求去选用这些集成电路,而无法重新定义或重新修改这些集成电路的逻辑功能,这种集成电路称为全定制集成电路。

除这种全定制集成电路之外,目前有五种半定制的元素可实现用户定制的专用集成电路的要求,它们是:

1. 可编程逻辑器件(PLD) 如 PROM EEPROM
2. 复杂可编程逻辑器件(CPLD) 如 EPLD
3. 现场可编程门阵列(FPGA)
4. 门阵列 如 GAL PAL
5. 标准单元

在这五种半定制器件中,尤其是EPLD和FPGA发展极其迅速。第一片FPGA自85年问世,到93年前八年的发展速度可以和微处理器和存储器前十八年的发展速度相比。目前的发展仍朝着为设计者提供系统内可再编程(或可再配置)的能力方面发展,即ASIC不仅具有可编程和可再编程的能力,而且器件插入系统或电路板上,仍可进行在板编程,出现“软”硬件的全新系统设计概念。

§ 1—1 可编程用户定制的专用集成电路简介

一、PROM 器件

所谓PROM即可编程只读存储器,其基本的结构包括一个固定的“与”阵列,其输出加

到一个可编程的“或”阵列之上。其主要用来存储计算机程序和数据，在这类应用中，固定的输入是计算机存储器的地址，输出是存储器单元的内容；图 1—1 是一个 16×4 位的 PROM 逻辑图。PROM 价格低，易于编程，且有各种容量和结构。但其是一次性可编程，且不可擦除或重写。随着技术的发展和用户需求，又出现 EPROM 可紫外线擦除可重写的可编程只读存储器和 E²PROM 电可擦除可重写的可编程只读存储器。

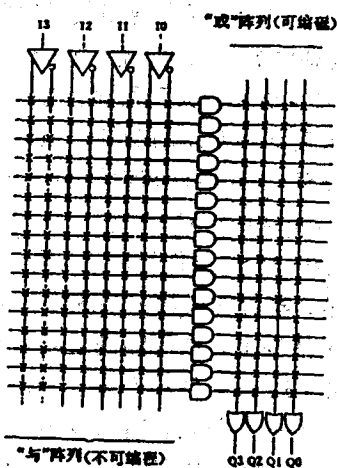


图 1—1 16×4 位 RPOM 结构原理

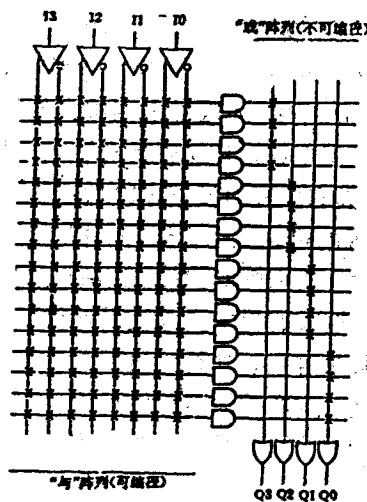


图 1—2 PAL 器件基本结构原理

二、PAL 器件

所谓 PAL 器件即可编程阵列逻辑器件；其基本结构如图 1—2 所示，包括有一个可编程的“与”阵列和一个固定的“或”阵列。其中“与”阵列的编程特性使输入项可以增多，而“或”阵列固定使器件简化。目前，PAL 器件是 PLD 器件中应用最广的，其结构种类亦最多。

三、GAL 器件

GAL (Generic Array Logic) 器件，是美国晶格半导体公司 (Lattice-Semiconductor) 于 1983 年推出的一种可电擦写，可重复编程，可设置加密的新型 PLD 的器件，一般认为这是第二代的 PAL。GAL 器件采用电擦除技术，无需紫外线照射就可随时进行修改。由于其内部具有特殊的结构控制字，因而它虽然芯片类型少，但编程灵活，功能齐全。目前常用的芯片有 GAL16V8 (20 接脚)，GAL20V8 (24 接脚)，仅这两种 GAL 几乎能仿真所有同类型的 PAL 器件，故在研制和开发新的电路系统时极为方便。

通常，GAL 器件与 PAL 器件在结构上的区别在于：PAL 器件把一个可编程的与阵列连接到一个固定的或阵列上输出，而 GAL 器件则是把一个可编程的与阵列连接到输出逻辑宏单元 (OLMC) 上输出，通过对 OLMC 编程，就可在符合各种逻辑设计的需求方面，给设计者提供更大的灵活性，使之比 PAL 具有更多的功能。

GAL 器件的 GAL16V8 的逻辑框图如图 1—3 所示。其输出逻辑宏单元 (OLMC) 如图 1—4 所示。

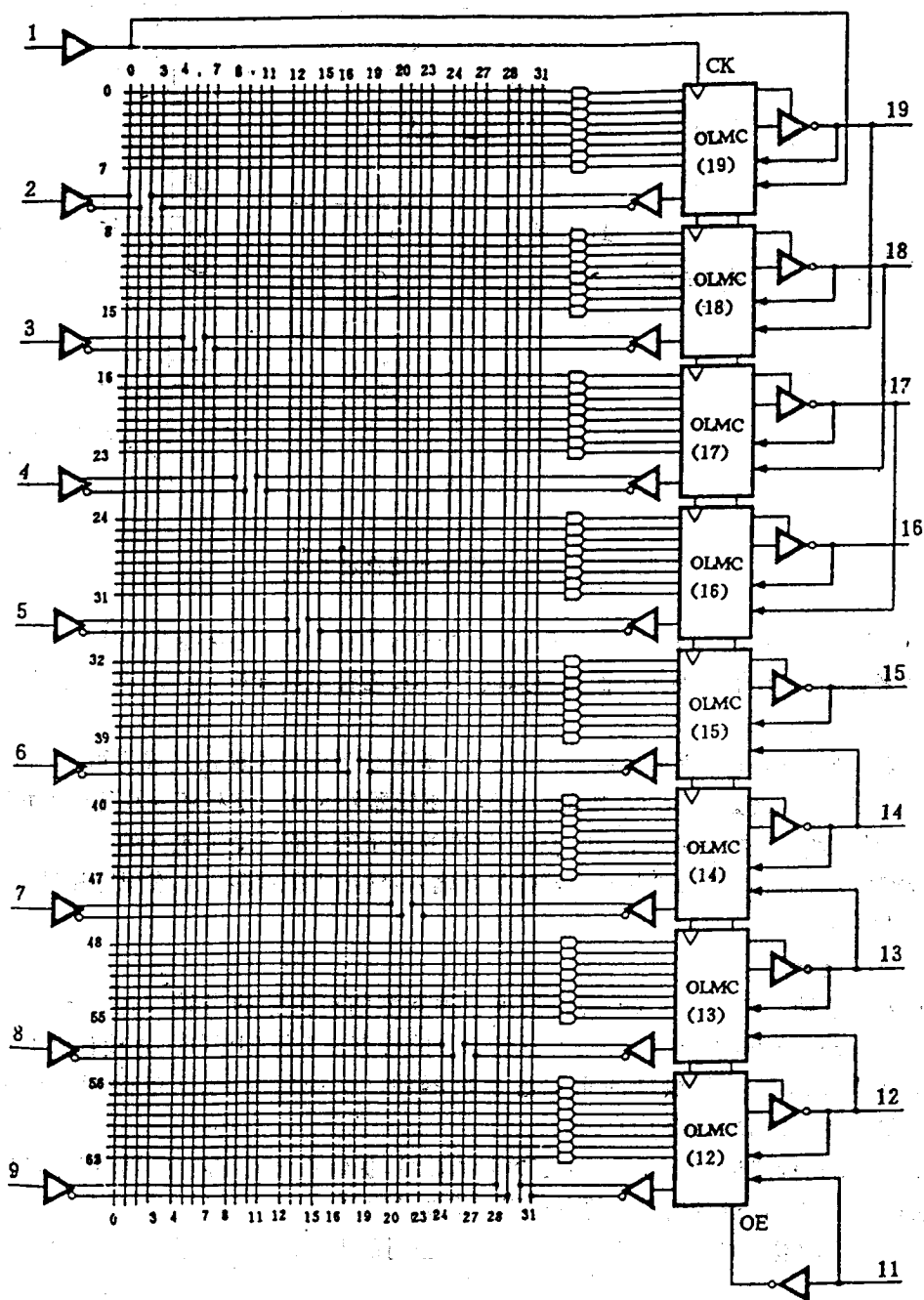


图 1—3 GAL 的方框图

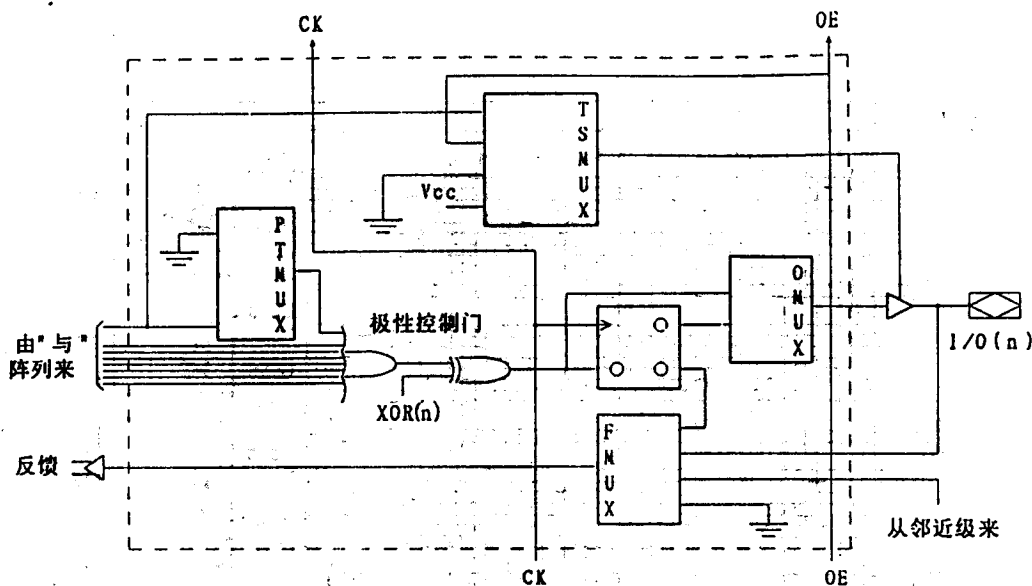


图 1—4 GAL 器件输出逻辑宏单元

在实际应用中，由于 GAL 器件对 PAL 器件仿真具有 100% 的兼容性，所以不仅可以用 GAL 器件来替换 PAL 器件使用，而且可以使“GAL 器件试制样机，PAL 器件制造成品机”的研制模式得以推广。

随着技术的发展，生产更大集成规模的 PAL 等传统可编程逻辑器件成为可能，但其性能方面的局限性亦更加暴露；其一，传统的可编程逻辑器件的利用率将随着其规模的扩大而逐渐下降，统计表明，在大多数设计中，PAL 器件的最小项只有三个或更少的“与”项，其他的“与”项都浪费掉了。其二是其寄存器数目和输入/输出引脚有限，互连固定和设计的灵活性受到明显的限制。

四、EPLD 器件

八十年代中期，美 ALTERA 公司推出一种新型的可擦除的可编程逻辑器件—EPLD (Erasable programmable logic Devices)，这种器件的特点在于将 EPROM 直接合成于 PLD 芯片之中，因此 EPLD 为可擦除的可编程逻辑器件，这种可擦 PLD 包括 UV 可擦 PLD (EPLD) 和电可擦 PLD (EEPLD)。

EPLD 的结构特点是大量增加输出宏单元的数目，提供更大的与阵列，随着与阵列的扩大和输出宏单元的增加而过渡到复杂的可编程逻辑器件 CPLD。

最有代表性的复杂可编程逻辑器件是 AMD 公司的 PAL22V10。图 1—5 为 PAL22V10 的逻辑图。

目前 PAL22V10 已作为划分 PLD 的参考，可编程逻辑器件的门数大于 PAL22V10，被认为是复杂的高级 PLD 器件，而且复杂的 PLD 器件常常以等效的包含多少个 PAL22V10 的功能块来决定它的规模。

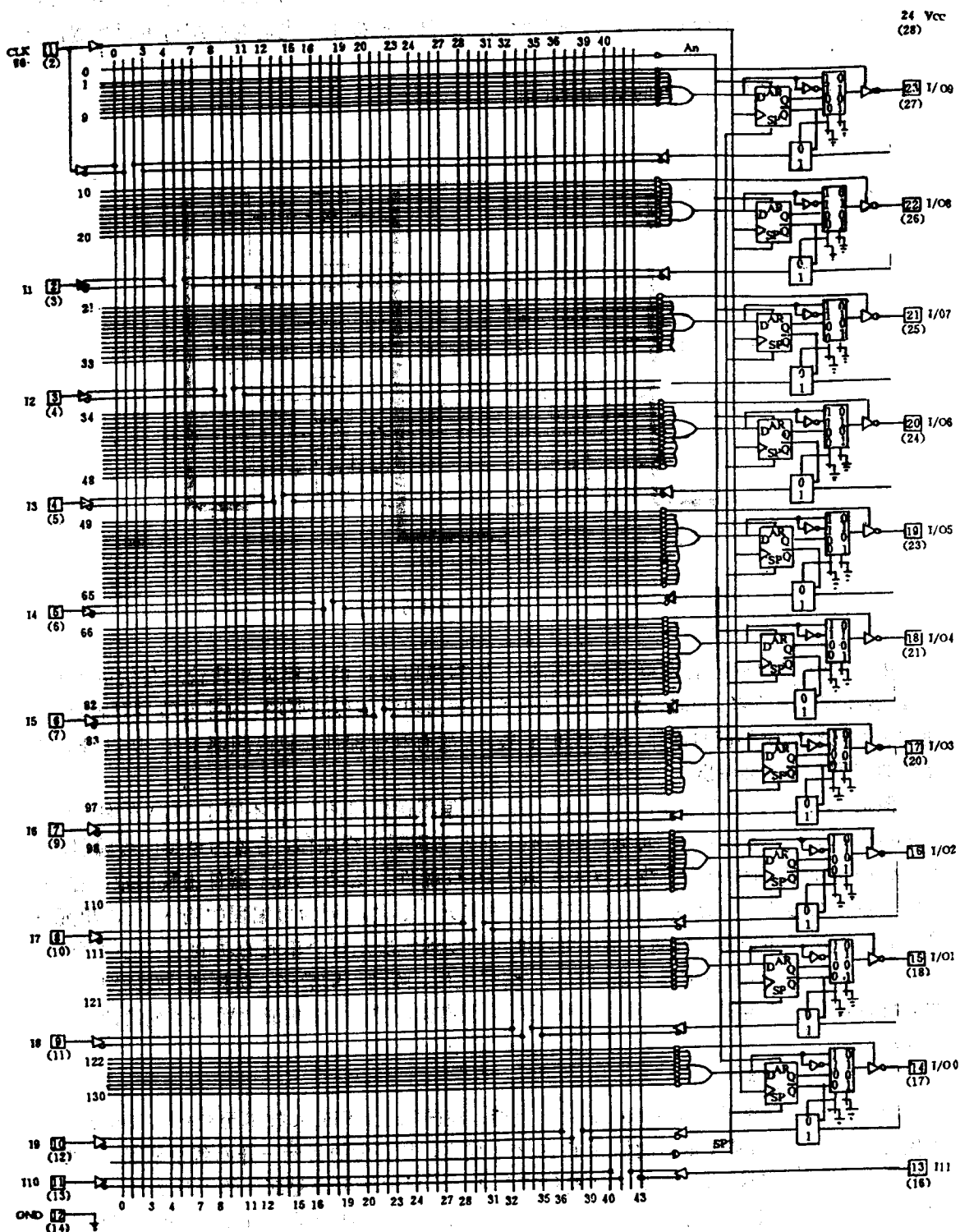


图 1—5 PAL22V10 逻辑图

Xilinx 公司提供了两种系列的 EPLD, 即 XC7200/A 系列和 XC7300 系列, 95 年又推出 XC9500 系列系统可编程 CPLD, 为高性能通用逻辑集成提供了先进的系统可编程和测试能力。

图 1—6 为 XC7300 系列的结构原理图

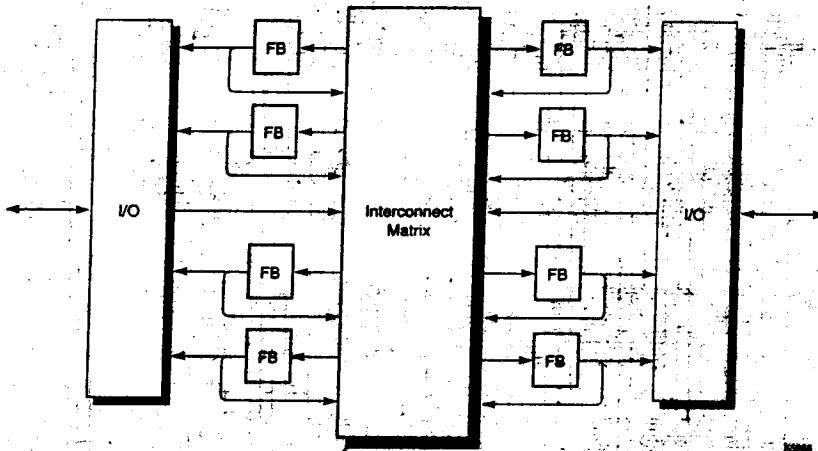


图 1—6 XC7300 器件方框图

由于 EPLD 的特有的宏单元组合结构, 故其应用设计的编程灵活性较之传统的 PAL、GAL 器件有较大改善; 同时, 由于其依然保留了逻辑块级编程的原理, 内部连线相对固定, 即使对于大规模集成容量的器件, 其内部时延较小, 故有利于器件在较高频率工作。所以, EPLD 器件的应用至今依然活跃。

但是, EPLD 终究属于 PLD 的范畴, 即“可编程逻辑器件”。其不同于 PGA 器件 (Programmable Gate Array) —— 可编程门阵列, 前者为逻辑块级编程, 后者为逻辑门级编程。显然, PGA 器件在编程的灵活性上要大大强于 PLD 器件。这是 FPGA 器件出现的根本原因。FPGA 器件的芯片中有被互连网络包围的逻辑单元, 芯片四周为可编程的输入/输出单元阵列, 其互连模式亦是可编程的, 用户可以通过现场编程决定每个单元的功能及它们的互连关系。正是由此, FPGA 器件具有集成度高, 编程灵活, 阵列引脚数多, 功耗低, 设计编程速度快等特点, 成为 90 年代的引人注目的现场可编程集成新器件, 使集成化数字系统设计方式发生变革。

五、FPGA 器件

FPGA 器件起源于美国 Xilinx 公司的创造。在国际上, FPGA 技术至今仍以 Xilinx 公司为代表。Xilinx 公司基于创新的概念于 1984 年成立, 其开发的目标一开始就很明确, 即要将 LSI/VLSI 的门阵列技术的高逻辑密度和通用性与用户现场可编程部件的设计灵活, 上市快捷以及成品的高效性结合起来, 从而于 1985 年推出世界上第一个现场可编程门阵列 (FPGA) 器件, 以后几年中, Xilinx 连续推出一系列 FPGA 新品种, 保持着市场领先的地位, 在短短的时间内, 使 FPGA 的单片密度增加了近 10 倍, 大大改进了 FPGA 的速度。特别是 1993 年的推出的 XC3100 系列器件, 速度提高了近 10 倍。大大有利于 FPGA 器件向通讯技术

的数字系统中推广应用。与此同时,使FPGA的价格降低到原来的1/4/~1/8之多。迄今为止,Xilinx公司先后开发出XC2000系列,XC3000系列,XC3100系列,XC4000系列,XC5200系列,XC6200系列,XC8100系列及其他CPLD产品,其容量密度最多达100000门/片,单片最高工作频率可超过100MHz,Xilinx公司在世界各地设立几十个代表处和全球应用实验室,负责推广,销售,技术扶持,服务,培养应用技术人员。目前FPGA器件已成为九十年代半导体集成电路工业中销售量增长最快的部分。Xilinx公司推出的FPGA产品中,XC2000是第一代FPGA产品,它有2个品种——XC2064,XC2018。XC3000是FPGA第二代产品,它有7个品种——XC3020,XC3030,XC3042,XC3064,XC3090,XC3190,XC3195。随后又推出低功耗XC3000L系列器件。

XC3100的特征是高速型,主要针对FPGA由于门级编程,内部连线关系复杂,导致单片系统工作频率不高,难以满足现代数字通讯系统的某些应用需求而由Xilinx公司于1993年推出的。

XC4000是FPGA第三代产品,有10多个品种,分别是XC4002、XC4003、XC4004、XC4005、XC4006、XC4008、XC4010、XC4013、XC4020、XC4025、XC4052、XC4062其中XC4062具有单片62000门的容量。

表格1—1列举了FPGA的主要产品及性能介绍

表 1—1 xilinx FPGA 主要产品及性能介绍

器件名称	最大逻辑门数	CLBs 数	最大用户 I/O 数	触发器数	水平长线数	配置数据 bits 数	方阵规模
XC2064/L	1000	64	58	122	0	12038	8×8
XC2018/L	2000	100	74	174	0	17878	10×10
XC3020A, 3020L, 3120A	1500	64	64	256	16	14779	8×8
XC3030A, 3030L, 3130A	2000	100	80	360	20	22176	10×10
XC3042A, 3042L, 3142A, 3142L	3000	144	96	480	24	30784	12×12
XC3064A, 3064L, 3164A	4500	224	120	688	32	46064	16×14
XC3090A, 3090L, 3190A, 3190L	6000	320	144	928	40	64160	16×20
XC8195A	7500	484	176	1320	44	94984	22×22
XC4002A	2000	64	64	256	2048	24	8×8
XC4003A	3000	100	80	360	3200	30	10×10
XC4003H	3000	100	160	200	3200	30	10×10
XC4004A	4000	144	96	480	4608	36	12×12
XC4005/A	5000	196	112	616	6272	42	14×14
XC4005H	5000	196	192	392	6272	42	14×14
XC4006	6000	256	128	768	8192	48	16×16
XC4008	8000	324	144	936	10368	54	18×18
XC4010/10d	10000	400	160	1120	12800	60	20×20
XC4013	13000	576	192	1536	18432	72	24×24
XC4020	20000	900	240	2280	28800	90	30×30
XC4025	25000	1024	256	2560	32768	96	32×32

器 件	最大逻辑门数	最大 RAM CLBs 数	最大用户 I/O 数	触发器数	逻辑块数	每边最大译码 输入数	方阵规模
XC4003E	3000	3200	80	360	100	30	10×10
XC4005E/L	5000	6272	112	616	196	42	14×14
XC4006E	6000	8792	128	768	256	48	16×16
XC4008E	8000	10368	144	936	324	54	18×18
XC4010E/L	10000	12800	160	1120	400	60	20×20
XC4013E/L	13000	18432	192	1536	576	72	24×24
XC4020E	20000	25088	224	2016	784	84	28×28
XC4025E	25000	32768	256	2560	1024	96	32×32
XC4028EX/XL	28000	32768	256	2560	1024	96	32×32
XC4036EX/XL	36000	41472	288	3168	1296	108	36×36
XC4044EX/XL	44000	51200	320	3840	1600	120	40×40
XC4052XL	52000	61952	352	4576	1936	132	44×44
XC4062XL	62000	73728	384	5376	2304	144	48×48

这些 FPGA 器件均具有全部用户现场可编程的 I/O 功能, 逻辑处理及存储功能, 内部可编程连接等特征, 其中 XC2000 系列有三种频率规格选择: 50MHz, 75MHz, 100MHz. XC3000 系列有 4 种频率选择: 50MHz, 75MHz, 100MHz, 125MHz. XC3100 系列的频率选择则分别为块延时—3, —4, —5 三种选择; XC4000 系列有块延时—5, —6 两种频率选择, 其特征频率和 XC3000 比较, 均大大提高。

FPGA 器件作为 ASIC 的一种类型, 以其特有的原理和特征, 引起电子系统设计工程师和电子产品商的高度重视, 在数字系统设计中得到不断的推广、应用。但是, 在实际的应用中, 设计者主要考虑根据实际的系统要求, 采用何种类型的 ASIC 技术, 以获得最佳的性能价格比。不同的器件, 在不同的应用系统要求下, 具有不同的特点。

§ 1—2 Xilinx XC2000/XC3000/XC4000 系列 LCA 结构

FPGA 的 LCA 结构, 主要由三个部分所组成: 可编程逻辑块 CLB (Configurable Logic Blocks), 可编程输入/输出模块 IOB (Input/Output Block), 可编程内部连线 PIC (Programmable Interconnect)。

Xilinx 的 FPGA 结构主要有两个方面的创新概念。其一是所谓的逻辑单元阵列 (LCA) 结构。正是由于这个 LCA 分布结构, 使之具有门阵列和可编程逻辑器件的双重特征。LCA 象一个门阵列。通过内部的可编程布线通道的内部互连网络, 把可编程逻辑块 CLB 按设计要求连接在一起以综合阵列中的逻辑功能。虽然 LCA 看起来并不象 PLD 的与/或阵列结构, 但对用户而言, 最类同于一个 PLD。

另一个创新的概念在于, 其芯片的逻辑功能的配置基于内部阵列分布的 SRAM 原理, 即通过对分布的 SRAM 的不同的加电配置, 来决定各部分的逻辑定义, 同样, 并允许 LCA 靠简单地加载新的数据进行配置 SRAM 单元, 从而实现芯片的新的逻辑配置。也就是说, 加载不同的配置数据, 芯片可以不断更新且反复使用。所以, 对于 FPGA 器件编程实现, 实际上就是由加载于 SRAM 上的配置数据决定和控制各个 CLB, IOB 及内部连线 PIC 的逻辑功能

和它们之间的相互连接关系。通常这个配置数据可存放于外附的 PROM 或 EPROM 中,在系统开机时自动装入 FPGA 中的 SRAM。

一、可配置存储器——SRAM 阵列

SRAM 阵列无论 XC2000, XC3000 还是 XC3100, XC4000 系列 FPGA, 其 LCA 的配置均是由点阵分布于芯片的存储单元——SRAM 来实现的, 通常由 XACT 开发系统产生配置 LCA 的数据文件, 通过其数据配置接口, 采用一定的设置模式, 加载于其中, 将配置文件写入配置存储器的过程 and 用户设计的逻辑功能无关。

配置存储器是一种静态存储器 (StaticRAM), 具有高度的可靠性、抗噪声能力和综合可测性能。图 1—7 所示的是 FPGA 中 SRAM 的基本单元结构, 其是由两个 CMOS 反相器和一个用来控制读写的 MOS 传输开关构成。FPGA 中点阵排布的这些单元, 在配置时写入, 而在回读 (ReadBack 是一种验证配置是否正确的操作) 时读出。在一般情况下, MOS 传输开关处于断开状态, 其并不影响单元的稳定性, 且功耗极低。通常, SRAM 的输出端 Q 或 $\bar{Q}$ 亦可直接控制 MOS 传输开关, 但这时不能用于读出方式。

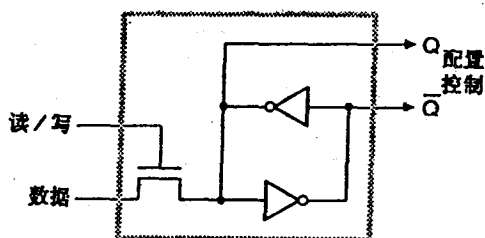


图 1—7 SRAM 基本单元结构

二、可编程逻辑块 (CLB)

对于 XC2000, XC3000, XC3100, XC4000 不同系列的 FPGA, 其 CLB 的功能原理相同, 但结构上有所改进, 因而其功能和性能上亦有差异。

(1) XC2000 系列的 CLB

XC2000 系列 FPGA 有 XC2064, XC2018 两种型号品种, 其 CLB 在 LCA 中排列成方阵, 前者为 8×8 阵, 后者为 10×10 阵, 每个 CLB 可被配置完成一定的逻辑功能, CLB 之间通过内部可连线 PI 连接, 以完成复杂的逻辑功能。

XC2000 系列的 CLB 的结构如图 1—8 所示, 主要由三个部分组成: 组合逻辑块, 逻辑暂存单元结构, CLB 内部连线控制逻辑。其有四个通用输入端 A、B、C、D, 一个专用的时钟驱动端 K, 两个输出端 X、Y, 且通过内部连线 PI 可和其他的 CLB 及 IOB 相连。

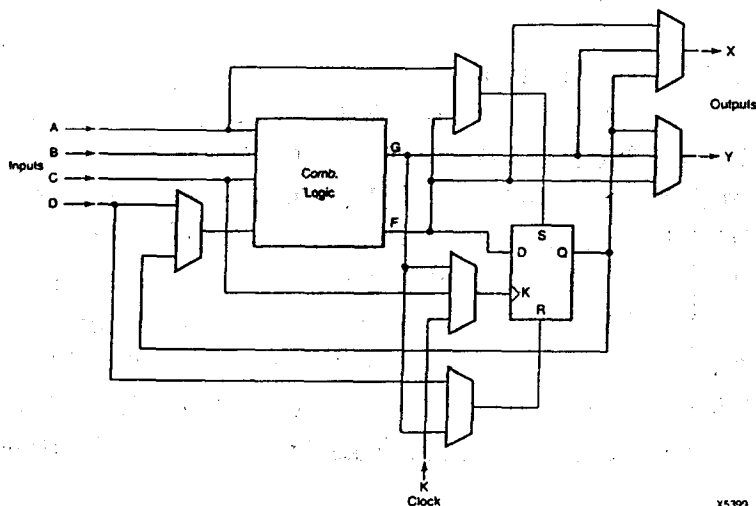


图 1—8 XC2000CLB 结构