

抗辐照加固技术文集

计 算 机 专 集

第 二 分 册

航天工业部七七一研究所

TL-5/27.2

美国商业部

国家技术情报局

AD-A 063 902

《抗辐照加固微处理机技术的研究》

J. P. Spratt

D. Z. Harbert

加利福尼亚，圣地亚哥

Questron公司

1978. 10

评价说明

Questron公司 #F 19628-77-C-0177合同

1. 本报告系合同总结报告。它综述了当时辐照加固大规模集成电路和微处理机的工艺技术，从1977年6月到1978年6月，用了一年时间完成了这项工作。工作目标是评价微处理机在抗辐照加固容限方面的工艺状况并为将来的开发研制项目提出建议。本报告可以作为抗辐照加固微处理机现行工艺状况述评使用，也可用于评定工业LSI电路能满足核辐照要求的能力。

2. 上述工作是很有价值的，因为它提供了目前加固的和商用的LSI电路，满足核辐照要求能力的评价，以及对各种LSI工艺的可制造性和工业生存能力的评价。

抗辐照加固电子技术部 设计专家

W. M. Shedd

抗辐照加固技术文集

计算机专集

第二分册

目 录

1·0 引言

2·0 技术评价

2·1 评价基础

2·1·1 评价的几个因素

2·1·2 各因素的权重

2·2 待选的技术

2·2·1 NMOS

2·2·1·1 商业寿命

2·2·1·1·1 工艺描述

2·2·1·1·2 现在的和计划的商用产品基础

2·2·1·1·3 技术寿命

2·2·1·1·4 在商用NMOS工艺方面的问题

2·2·1·2 NMOS的可加固性

2·2·1·2·1 总剂量加固

2·2·1·2·2 剂量率加固

2·2·1·2·3 中子加固·

2·2·1·2·4 小结 ·

2·2·2 晶体管—晶体管逻辑 (T·T·L)

2·2·2·1 商业寿命

2·2·2·1·1 工艺描述·

2·2·2·1·2 现存的LSI/VLSI的基础·

2·2·2·1·3 技术寿命·

2·2·2·1·4 技术问题·

2·2·2·2 TTL的可加固性

2·2·2·2·1 商用TTL的瞬态加固

2·2·2·2·2 介质隔离TTL

2·2·3 互补MOS工艺

2·2·3·1 商业寿命

2·2·3·1·1 工艺描述

2·2·3·1·2 现在LSI/VLSI基础

2·2·3·1·3 技术寿命

2·2·3·1·4 技术问题·

2·2·3·2·1 体硅CMOS加固·

2.2.3.2.2 CMOS / SOS 辐照加固

2.2.4 集成注入逻辑

2.2.4.1 商业寿命

2.2.4.1.1 工艺描述

2.2.4.1.2 现存 LSI / VLSI 基础

2.2.4.1.3 技术寿命

2.2.4.1.4 技术问题

2.2.4.2 I²L 的可加固性

2.2.5 结论和建议

2.2.5.1 辐照加固 LSI / VLSI 工艺的目前
状况

2.2.5.2 建议

3.0 辐照加固计算机应用

3.1 ICBM 计算机

3.1.1 三叉戟 C₄

3.1.1.1 C₄ 导航计算机

3.1.1.2 C₄ 自动驾驶计算机

3.1.2 导弹 - X

3.1.2.1 MX 飞行计算机

3.1.2.2 MX 先进计算机工艺 (AOT)

3.2 空载计算机

3.3 航天计算

3.4 先进的加固计算机

3.4.1 微处理机

3.4.2 ZOBM 计算机

3.4.3 人造卫星计算机

3.5 小结

4.0 LSI 测试

4.1 背景

4.2 辐照测试

5.0 结论和建议

5.1 结论

5.2 建议

I·10 引言

从50年代后期以来，美国国防部就一直在研究和设计抗辐射加固武器系统。1965年开始部署加固系统，当时民兵II已经装置在发射场，它包含了电磁脉冲（EMP）加固。抗辐射加固集成电路用于民兵II的晚期，而主要用于民兵III和海神（美潜地导弹一译注）。这些导弹中的计算机使用双极、介质隔离、小规模集成电路。这些集成电路是专门为洲际弹道导弹研制的。从没有找到过其他任何有意义的用场。

50年代后期和60年代期间，美国政府为加固的IC和阿波罗上使用的极可靠IC耗资几十亿美元，从而严重影响着集成电路的发展方向，60年代后期，几家半导体公司包括抗辐射公司（现在的Harris半导体厂）Boudix，仙童，国家半导体公司，Philco-Ford，Signities、德克萨斯仪器公司和莫托洛拉都积极寻求抗辐射加固半导体市场。这些抗辐射加固另件在功能上相当于当时流行的工业二极管—晶体管逻辑（DTL）或晶体管—晶体管逻辑（TTL）。因此其制造工艺类似于工业生产正在使用的工艺。当然，在工艺方面有所不同，例如，对于工业IC来说，采用结隔离和扩散电阻。而对于加固IC来说则采用介质隔离和薄膜电阻。但是总的来说，两种生产线相互补充。

开始部署民兵III的时间大约在1970年。这时半导体开始生产肖特基箝位双极TTL和多种金属氧化物半导体（MOS），例如P沟、N沟MOS和互补MOS。在抗辐射加固方面，双极和MOS技术还在竞争中。并且当海军为三叉戟O₄（大约1972

年)做出技术决议时,他们选择更常规的介质隔离TTL方法。之所以选择TTL主要因为它具有被证实的可靠性和抗辐射性能记录。并且因为MOS工艺对总离子剂量是非常灵敏的。海军开发了加固TTL的两种改进型工艺—肖特基箝位和无肖特基箝位。具有肖特基二极管的介质隔离集成器件系列包括9种类型,其功能相当于1972年开始用于工业计算机上的IC。开发这些器件用了五年多时间,这些部件是今天可以得到的最先进的抗辐射加固数字IC。对于肖特基器件(RCA)来说,海军已有一个经过了鉴定的器件来源(RCA)。并且,为了在X导弹上应用,空军正在Harris, Texas 仪器公司和RCA开发类似的器件。

正当海军开发抗辐射加固SSI和MSI的时候,各IC制造厂家迅速地开发和生产MOS和双极LSI。实际上,在这期间洲际弹道导弹协会一直在研制着1972年的SSI/MSI加固型电路,商用IC从1024位RAM和4位微处理器进入到16384位RAM和16位微处理器。加固IC领域不仅是现在比商用IC落后大约五年,而且这种差距还会逐渐扩大,这是因为目前广泛使用LSI工艺,在可以预见的将来,将由抗辐射敏感的N沟MOS所代替。这种形势正在发展。因为没有足够的抗辐射加固IC市场去引诱制造厂家使用其高级技术人员和现代化的生产设备去应付加固问题。另一方面许多军事系统的性能要求,特别是航空电子设备,人造卫星和指挥控制及通讯(C₃)系统,几乎都委托LSI来满足。事实上,利用NMOS LSI已经研制出具有总剂量辐射要求的系统。以致以前抗辐射加固不成为问题的那些应用,现在则必

须把辐照加固问题列入技术要求。

简言之,抗辐照加固 IC 技术的困境是它比半导体工业主前沿落后五年,并且自始至终会一直落后下去。因为微处理器测试技术正在研制功能和电气的测试技术;发展速度缓慢从而使问题复杂化,而抗辐照测试技术最多是很初步的。

这篇报告通过分析有关的抗辐照加固 L S I 技术现有的和计划中的军用计算机,和 L S I 抗辐照测试技术来解脱上述困难。为分析而选择用的 L S I 微处理器工艺有: N M O S、T T L、I² L 和 C M O S。对于两个基本标准,商业寿命和可加固能力进行评价。用几种子元素来分析每个标准。

- 商业寿命

- 速度

- 功率

- 密度

- 生产基础

- 市场预测

- 技术生命力

- 技术问题

- 抗辐照能力

- 快速中子

- 暂态 γ 和 X 射线

- γ 和 X 射线总剂量

- 高能电子

- 高温辐射

- E M P

为了针对军用计算机研究各种微处理器,分析了三种加固系统。如:洲际弹道导弹,人造卫星和载人系统。这三种系统实际上包括了全部可能的辐照环境,并包括 C₀ 系统在内的全部应用。描述了现在正在使用的计算机并预测了下一代加固计算机。考虑了微处理器抗辐照测试问题,并提出一些测试技术。

2.0 技术评价

报告的这个部分以计算机设计者的观点评价了到1973年为止的抗辐照加固LSI/VLSI技术工艺状态,并予测了1980—1990年期间这种技术可能采取的方向。

2.1 评价基础

本节介绍这种评价的基础,即介绍了要使用的各种因素,并讨论了这些因素所占的分量。

2.1.1 因素

评价中使用的因素有一种技术的“商业寿命”和该技术的“辐照加固能力”。商业寿命是根据该技术的特性(速度、功耗等),现有生产基础、市场予测、技术生命力(根据最新技术出版物判断)和技术问题范围来估计的。一种技术的辐照加固能力将取决于所予期的环境详细特点和给定技术很敏感的失效模式的特性。对于不同的应用类型和不同的技术来说,这些会明显地不同,所以“加固强度”的定义是对某些变量作的。一般,在评价抗辐照加固方面,要考虑的环境辐照因素有:

- 快速中子(能量 $>10\text{keV}$)
- γ 射线,总剂量和剂量率
- 高能电子(通量和流量)
- X射线
- 高温辐射

• E M P

这些辐照因素跟 L S I / V L S I 器件相互作用，以复杂的方式引起瞬态 (T) 半永久性 (S) 和永久性 (P) 效应。这种相互作用以四种可能的方式之一进行，即电离，原子置换、电磁感应和加热。这些相互作用能够产生电荷，影响 L S I / V L S I 中使用的基本器件特性。图 2—1 指出某些损伤机理的特性，它们的时间特性 (即暂时性、半永久性和永久性) 和对其敏感的器件类型 (例如：双极、M O S 等)。在下面的加固强度评价中将要寻找对技术问题来说是最重要的损伤机理。鉴于系统性能退化认为其他问题都是极不重要的。

2 · 1 · 2 衡量

要对上述引用的因素 (商业寿命和辐照性能) 给出衡量，决定于完成系统任务的其他方法的存在和价格。显然洲际弹道导弹制导计算机必须着重强调抗辐照加固。另一方面，对它们的计算能力并没有特殊要求。因此这样的系统可以选用档次比其他高性能应用，低得多的电路。因为以低档次集成电路来实现时，常规加固方法较低。本报告的第 3 段讨论目前的和计划中的抗辐照加固计算机的应用。并指出包括建立衡量因素的某些考虑。

2 · 2 各用技术

表明在军用 L S I / V L S I 中有潜力的工艺 (按 1977 年工业 L S I / V L S I 销售量减少次序列出) 有 N M O S, T T L,

1^a L和CMOS（体硅或蓝宝石上硅）。说明了每种工艺在随机逻辑和存储器中的用途，因此必须考虑充当抗辐射加固LSI/VLSI工艺的待选工艺。（这里将不讨论非易失性存储器技术，其重要性和技术复杂性需要单独论述。

2.2.1 NMOS

2.2.1.1 商业寿命

MOS器件结构有两种类型，即P沟和N沟。后者因其速度较高而给出优越的性能。（因为假定全部其他参数都是一样的话，N沟中的电子迁移率比P沟中的空穴能达到的要高。因此，几乎所有第二代微处理器都使用N沟技术。由于高性能16位微型计算机的出现（如仙童的9440 I² L微型计算机）现在才对NMOS工艺进行激烈竞争。而且要击败NMOS的竞争对手（英特尔8086，Zilog，Z8000和德克萨斯的9900 I）会有一个困难的时期。

2.2.1.1.1 工艺描述

迄今，几乎所有的NMOS微处理器都采用自对准硅栅工艺， $\langle 100 \rangle$ 晶向硅，薄栅氧化物和离子注入掺杂技术来实现对TTL兼容的阈值电压并能达到N沟的固有速度。但是，将来使用哪一种N沟MOS工艺还不清楚。已提出一些待选工艺，即HMOS（英特尔和陆军半导体开发中心），VMOS（美国军事研究所和德克萨斯仪器公司）和DMOS（日本）。

• HMOS是英特尔（第一家宣布使用这种技术生产的制造厂）

为描述先进的短沟道型硅栅 NMOS 工艺所使用的名字，用这种工艺，通过器件等比例缩小，获得了性能的改进。表 2—1 把 1977—1978 年的 HMOS 和 NMOS 谱系中它的前身进行比较，并指出，英特尔认为等比例缩小大约到 80 年代初期将采用，通过对 S1 栅 NMOS 工艺进行五种主要修正，实现了 HMOS 高速度和高密度。首先，使用一种高电阻率的衬底（ $50\Omega\text{-cm}$ ，P 型材料）来降低结电容，减小衬底体效应和增加有效载流子迁移率。第二，减薄氧化物厚度来改善器件增益击穿电压以减小体效应和短沟效应，第三，用砷作为源漏杂质，来减小结深。从而减小了寄生结电容和栅漏米勒电容，并允许较高的封装密度。第四，利用窄沟道，以增加速度和密度。第五，采用离子注入沟道保持增强型和耗尽型器件阈值电压的稳定性。表 2—1 定量描述了这些变化。在诸如英特尔的 2147 4 K 静态 RAM 那样的采用 HMOS 工艺已经获得商业上的成功，证实了这种工艺所达到的性能。

表 2—1 MOS 器件规模的发展

器件/电路	参 数	增强型 NMOS 耗尽型 NMOS HMOS MOS			
		(1972)	(1976)	(1977)	(1980)
沟道长度 L	(μm)	6	6	8.2	2
横向扩散 L_D	(μm)	1.4	1.4	0.6	0.4
结 深 X_j	(μm)	2.0	2.0	0.8	0.8
栅氧化物厚度 T_{ox}	($\text{\AA}$)	1200	1200	200	400
电 源 V_{CC}	(V)	4—15	4—8	3—7	2—4
最短门延迟 τ	(ns)	12—15	4	1	0.5
门功耗 P_{α}	(mw)	1.5	1	1	0.4
功耗速度积		18	4	1	0.2

V M O S

高性能 N M O S 稍微抽象些的方法，即 V M O S，由美国微系统公司（而最近由德克萨斯和西门子）占领先地位。它使用各向异向刻蚀，双扩散材料，并生产了第一块得益于三维优点的 M O S 结构，用栅下边的源和漏而不是沿它们的边缘形成器件（参见图 2-2）。使用厚度小于 $1\mu\text{m}$ 的 P 型层复盖形成源的 n^+ 衬底。再用厚度大约 $1\mu\text{m}$ 的 P 一层复盖。然后加上 n 区作为漏，穿过外延层刻蚀 V 形槽，V 形槽的暴露面形成沟道。在沟道的两个区中，P 层具有较高阈值电压，并因此通常决定着晶体管的总阈值电压和工作区域的有效沟道长度。P 一区减小漏源电容，防止穿通，并防止漏区引起的阈值电压减小（短沟道效应），沟道宽度 W 是由 V 形槽周长确定，因此很大，允许较高的驱动电流。因为源在漏下边，它不占用表面积，从而改善了封装密度。而且， n^+ 源还用作接地面，有助于芯片利用。（V M O S 提供四种不限制互连层，即接地面，扩散层，多晶硅和金属层）。

表 2-2 把今天的 H M O S 和从 80 年代初期的 H M O S 到今天的 V M O S 所期望的性能作了比较。可以看出原则上讲 V M O S 具有较好的封装密度。但是为具备这些优点采用了更复杂的工艺而付出了代价。还有。V M O S 生产一个必须只能在一个方向使用的非对称器件。因此，比使用一般的 n 沟工艺更难实现 L S I 逻辑结构。最后，还必须指出 V M O S 的可生产性和长期可靠性。新工艺能产生以前没有碰到的独特问题，推迟或甚至妨碍客户验收。例如已经发现对给定的氧化物厚度来说 V M O S 器件比 H M O S 器件，

具有更低的栅氧化层击穿电压。与HMOS的60~80V的击穿电压相反，1000Å氧化层的VMOS工艺产生25~30V的特性。这是因为在V形横底部的氧化层中，具有较高的电场。把VMOS工艺等比例地缩小到400~700Å范围的能力也许会受到这种失效模式存在的影响。除非找到一种解决办法。

表2-2 HMOS和VMOS工艺的比较

参 数	HMOS	HMOS	VMOS
	1977-78	1980+	1977-78
布局密度 (门/mm ²)	170	200	~220
门延迟 (ns)	1	0.4	~1
门功耗 (mw)	1	0.5	~1
速度功耗积	1	0.2	~1
薄层生长次数	2	2	8
注入次数	3	3	3

DMOS

制造高性能N沟MOS的第三种方法是扩散自对准·增强一耗尽MOS工艺，被称为DSA-MOS或DMOS它允许在现有光刻极限之内（即没有短沟道）获得短沟道的性能水平。速度功耗积小于1J，开关时间在ns范围，封装密度为200门/mm²或者更高一些。但是，出现了几种相反的议论。首先，尽管存在了7年时间，但是它的开发没有受到美国半导体厂家的有力支持。事实

上连日本的制造厂当时也在集中精力研究H MOS。也许是由于DMOS工艺复杂性所致。第二该工艺制造出的器件阈值电压对工艺变化十分灵敏，显然这是LSI/VLSI工艺中所不希望有的。要消除这种灵敏性而设计的工艺变化，看起来非常象VMOS。

2.2.1.1.2 目前的计划中的工业生产基础

初期MOS工艺也就是用于第一块单片处理器的工艺是P沟MOS工艺。因为其固有的速度上的缺点，N沟器件使它黯然失色。表2—3展现出微型计算机成套元件的商业市场。这个市场代表了1977年到1980年LSI/VLSI的总市场情况。例如所列出的直到9400的全部芯片都是NMOS器件（COPS芯片除外）。根据这个资料似乎是1977年微型计算机销售量的大约90%是NMOS产品（直到1978年1月，9440才正式推出，并因此假设在1977年没有销售因素。）显然，NMOS能满足商业寿命要求。