

MULTI-8/M301/M302

* 考 手 册 *
* * * * *

第 I 节系统设计特征

M-801 是 MULTI-8 硬件的一个微程序装置。MULTI-8 是一个为一般目的而设计并可以为一个系统所应用的微程序控制的字节式计算机系统。功能设计、机械设计和电子设计是那种由标准功能部件组成的一系列机器设备的基础。M801 微程序（固定件）把 MULTI-8 系统转换成可用一般指令表并有输入和输出装置、选择特征的可进行程序编制的计算机。

MULTI-8/M802 是一个简化的型式。（见 V. 1 页）

在 M801 中所实行的设计概念提供了一个在其他小计算机系统所没有的一些特征的组合。这包括有：

速 度

机器采用的是一个微指令动作作为 220 毫微秒和一个磁心存储器的周期时间为 1.1 微秒。这样短的微指令时间间隔和磁心存储周期使得较快地执行异常有用的 M-801 指令，能有较高的输入/输出转换速率，並能有良好的整个运行速度。

适应性

这种微程序化允许我们对于特殊应用进行系统的改装。为了增加系统性能和工作能力或者为了减少硬件损耗可以把一些应用式的指令或微程序化的子程序加到标准的 M801 指令表中去。磁心存储、只读存储器、信息处理的选择构件和输入/输出基本模件在需要的时候允许扩充基本系统。在一个密集的高 8-3/4 英寸的机壳里有一些备有的电路板的槽並上对于系统和外部设备接口有足夠的电源。甚至当计算机全部扩展的时候

低系统消耗

M801 应用的是 TTL 单片集成线路，这包含了大量的中等集成形式。为的是节省部分和总体时间。对于控制的只读存储器的应用可以进一步简化线路的数目，但仍然能和其他线路一样提供相同的功能特性。

为把整个费用减少到最低限度。MULTI-8的机壳和功能不是对单个电路工作设计的而是对系统应用设计的。较高的指令实现速度使之可以减小逻辑和控制硬件。结果可以进一步减少系统消耗。

一般特征

M 8 0 1 的优点和操作特征如下：

磁心编址到 32 K (三万二)

在一块磁心插板中有 4096 个字节

在基本的 8-5/4 英寸的机壳里有 16 K 的磁心有存储器。

磁心存储器的存取任意

——累加器 (A) —— 16 位

——辅助累加器 (B) —— 16 位

——变址寄存器 (X) —— 16 位

——程序计数器 (P) —— 16 位

——溢出 (OV) —— 1 位

——字长控制 (W) —— 2 位

包含有 89 种独立操作的广泛的有用指令系统。

——乘和除 (2)

——控制 (17)

——多位的算术和逻辑移位 (12)

——条件转移 (16)

——输入/输出 (8)

——寄存器之间 (16)

——包括有转移，比较和变字长操作的存储器的 (18)

八种操作数的寻址方式包括：

——直接到 0 页 (前 256 个字节)

——直接相对 P (±128 个字节)

——间接 0 页 (前 256 个字节)

——~~地址范围~~ (±128 字节)

——被检索 (到 82.768 字节)

——带有偏移的指标 (到 82.768 字节)

——广义地址 (" " ")

——文字型

多精度的 1、2、3 或 4 字节的赋值, 存储和算术运算
灵活的输入/输出装置包括:

——程序的转移到从寄存器 A, B 和磁心存储器

——同时缓冲输入/输出

——直接磁心存储器的存取。

可扩展的优先中断系统

处理机任选包括:

——实时时钟

——电源失电的检测和自动恢复

——磁心存储器的奇偶检测和中断

内部引导指令装填到永久磁心存储器。

基本软件包括:

——装填

——电传打字机排除错误和操作系统

——两次通过的汇编程序

——诊断和子程序库

T T L 集成线路

电源: 115/230 伏, 50—60 赫之, 880 瓦特

环境: 0~50°C°

尺寸: 高 8-3/4 英寸, 宽 10 英寸, 深 23 英寸

第二节 系统结构

M 801 的基本部件有操作寄存器, 磁心存储器, 中断系统, 输入/

输出系统和控制台。为了与较广泛地一类特殊系统装置相符合，一组信息处理^机选购件是有用的。M801装置的功能方框图在II-1中表示出来。

II. 1 寄存器

在M801中包括了有六个供程序设计者存取的操作寄存器，这些操作寄存器占有了基本MULTI-8硬件的十六个文件寄存器的九个，剩下的七个硬件寄存器还没有被M801指令所施用，虽然特殊设计宏观水平可以使这些寄存器在微观水平上应用。这些文件寄存器的用途将在附录A中给出。

A 寄存器

16位的A寄存器是一个累加器，借助于它很多运算都可以完成。A寄存器包含24位或32位数据字的高位部分及8位和16位数据字的全部，A寄存器可以自己移位或者和B寄存器一起移位。

B 寄存器

16位的B寄存器是一个辅助的累加器，它主要用来扩充累加器A使之保留24位或32位数据的低16位。B寄存器也可以自己移位或和A寄存器一起移位。

X 寄存器

16位的X寄存器是一个变址寄存器，用来指明地址的修正。它可以直接与磁心存储器来往，可以递增以及同A寄存器比较，在寻址时X只有较低的15位被用到。

P 寄存器

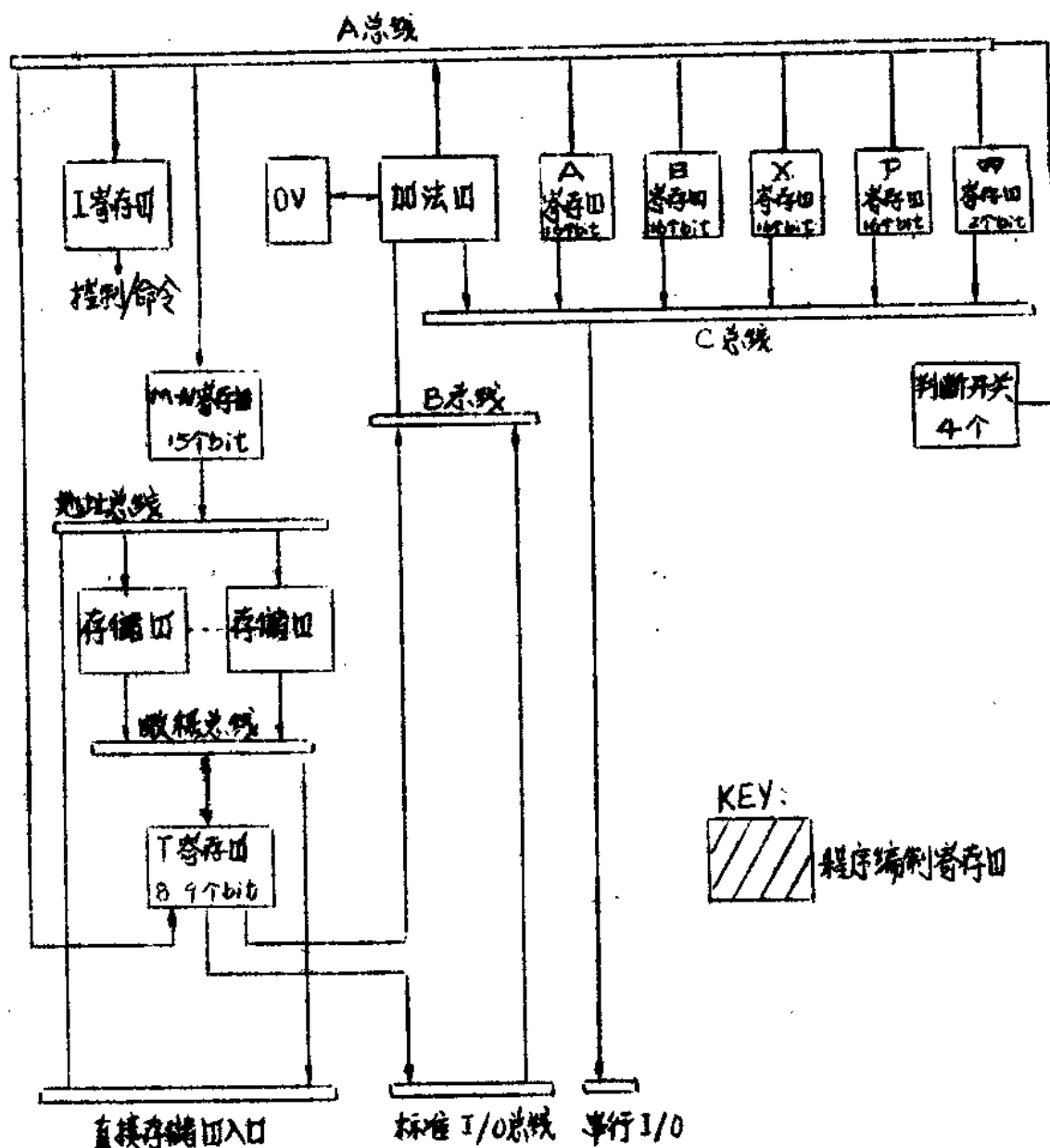
16位的P寄存器是一个程序计数器，它保留了要执行的下一条指令的磁心存储器的地址。

W 寄存器

2位W寄存器指明字长类型，它由一个控制指令装填，而对于所有可变字长指令置于所操作的字节长度。

OV寄存器

一位的OV寄存器保留溢出信号



I. 2 磁心存储

磁心存储器是由具有 9、96 个字节的插件组成的。存储器对于字节是可选的，每个字节包含有八个信息位和一个[↑]可选的存储器的奇偶位。一个备用的存储器位对于一些特殊的应用仍然是有用的。在一个基本的 8-3/4 英寸的柜内存存储器可以扩充到四个这样插件 (16, 384 个字节) 存储器的地址可以取到 82, 768 个字节。存储器的周期时间是 1.1 μ s。

一个存储器保护选购件用来保证：被保护的存储器的区域不能用一个在没有保护的剩余的存储区域的程序来写入，也不能由没有保护的外部设备来写入。存储器最多分成 32 个保护区。

直接存储器存取 (DMA) 选购件考虑到了直接与存储器交换的外围设备允许有最大到每秒 910000 个字节的传送速度。

I. 3 中断

M301 优先中断系统包括有内部信息处理中断，输入/输出外围设备中断和几组单个的外部中断，它们中的每一个都有一个中断源地址和优先赋值。

内部中断

内部中断即包括基本的 M301 系统的部分又包括某些特殊一部分。内部中断优先于外部中断。内部中断以它们的优先次序如下。

控制台

标准的控制台中断是用在控制台上的一个开关来触发的，它使得操作员可以行使外部控制。这种中断子程序同样被收集 (TRAP) 指令所应用。

实时时钟

当在单独一个存储器单元所予置的实时时钟计数器增加到 0 时，则出现选购件实时时钟中断。这个时钟计数器在每一个时钟时间都是自动进位的，这种实时时钟中断在程序员控制下是可以起作用也可以不起作用。

用的。

存储器故障

当从一个存储器单元读信息发现有一个奇偶错误时则任意的存储器奇偶中断就出现了。

存储器地址界

当不存在的存储器单元被寻址时任意的存储器界限中断就产生了。

电源故障

当初始电源没有检测到时任意的电源故障就提供一种中断。中断之后至少计算操作至少2毫秒仍被保证。

电源一开：当加上电源等于正常的电平时，任意的电源一开中断产生。

外部中断

外部中断可以与外部设备相连，也可与在输入/输出某线上的设备不相连的单独线相连。设备中断用来指示这些条件如：设备运行条件的准备，错误和结束。这此中断也可以用功能代码到设备控制器来完成。包含中断程序地址的存储器单元是8016加上两倍的设备地址。单个的中断是由外部中断方式来处理，这此外部中断考虑了取消解除设备单个中断和开放或屏蔽识别一并且内的中断。一般用的标准的外的中断板是包含有8个优先中断线。总的可实现有64个外部中断。

II. 4 格式

信息的基本单元是一个八位的字节（8个bit）在这个字节中bit的位置是从左向右从7到0不管是指令或是数据在最大存储能力之内都可以占据一个可变数目的字节。一个字是包含有两个字节的16位信息单元。不管是累加器或检索寄存器都可以占有一个16位的字

数据格式

在M801内的数据是可变精度的，可以是8位，16位，24位或32位长。负数是以2的补码形式表示。在A和B寄存器对于四种

数据长度的范围和数据格式表示如下

8 位(一个字节) ——范围: $+2^7 - 1$ 到 -2^7

15	8	7	6	0	15	0
被扩充的符号				±	量 值	不 用
A 寄 存 器				B 寄 存 器		

16 位(二字节) ——范围: $+2^{15} - 1$ 到 -2^{15}

15	14	0	15	0
±	量 值	不	用	
A 寄 存 器		B 寄 存 器		

24 位(三个字节) ——范围: $+2^{23} - 1$ 到 -2^{23}

15	8	7	6	0	15	0
符号扩充		±	量 值		量 值	
A 寄存器					B 寄存器	

32 位(四个字节) ——范围: $+2^{31} - 1$ 到 -2^{31}

15	14	0	15	0
±	量	值	量	值
A 寄存器			B 寄存器	

地址字的格式

一个16位地址字包含有一个15位存储器地址和一个索引标号如下所示。地址可以是直接地址,也可以是间接地址这要看指令操作码来

决定。地址字的值等于第14到0的内容和如果第15位是“1”位时检索寄存器的内容

15	14	8	7
1	Y	Z	

指令格式

指令格式是不大于四个字节的一种，但在所有情况下第一个字节包含有一个八位的操作码，这操作码定义了操作点，付操作码和任何一种修正。紧接着的字节(8)包含有下列信息：

单字节的绝对和相对地址

双字节的地址字

单字节移位计数

单字节的输入/输出机能和设备地址

1、2或3个字节的文字数据

1、5运算量的寻址方式

在下一节所定义的存储器访问指令中，对于每一种指令在磁的存储器内有一个运算量的八种可能的寻址方式。在指令格式中的字节包含有地址了局部地址和数据(文字) 方式的不同而不同，指令的附加字节(数也随着)

基本的存储器访问指令是一个字节，此字节包含有如下的两部分

7	3	2	0
操	作	码	M

其中5位操作码定义了基本指令，而3位的M字段指明了寻址方式，附加字节包含运算的地址，一个间接地址，一个基本地址或一个依赖于

寻址方式的文字，而实际运算量地址是在所有间接地址和/或检索修正被完成以后所指明的存储器单元。

当一个间接地址被指定时，间接地址字的单元是具有如下格式的两个字节字的第一个字节。

7	6	0 7	0
1	Y	Z	

间接地址字格式

第一个字节的第七位(1)确定间接地址字是不是将用检索寄存器的内容进行修正。

如果 $I = 0$ 则由 Y 和 Z 组成的 15 位数构成实际运算量地址。

如果 $I = 1$ 则由 Y 和 Z 组成的 15 位数构成一个基本地址，这个地址还要加上检索寄存器的内容，其结果才是有效运算量的地址。

各个寻址方式和关于这种方式的存储访问指令的格式定义如下。

直接第 0 页 (0)

7	8 2	0 7	0
操作码 (OP)	0	Y	

有效运算量的地址是由指令的第二个字节(Y)加上七个高位 0 的内容给出的。这种类型给出的运算量的直接地址在存储器的前 256 个单元内即页 0。

直接有关系的 (1)

7	8 2	0 7	0
OP 码	1	Y	

此时的有效运算量地址是带有扩充的高阶符号位（位7）的第二个字节（Y）和P寄存器的内容之和。在加法完成以后P寄存器的内容是Y的下一个单元地址。这种方式的指令所提供的单元是下一条指令的向后128个单元和向前127单元的地址。

间接第0页（2）

7	3	2	0	7	0
OP码			2	Y	

此时间接地址字是由指令的第二个字节（Y）的内容加上七个高阶0位所指明：二字节的间接地址字的地址是前256个存储单元。如果检索标号是“0”则有效运算量的地址由间接地址字给出。如果检索标号（15位）是1，则有效运算量地址是间接地址字的内容和寄存器内容之和。

间接相对型（3）

7	3	2	0	7	0
OP码			3	Y	

此时间接地址字是由带有扩充高阶位（7位）的第二个字节（Y）的内容和P寄存器内容之和。在加法完成之后P寄存器的内容是Y的下一个存储单元的地址。当检索标号是0时，有效运算量的地址就是间接地址字的内容。如果是1（15位）有效运算量的地址就要间接地址字的内容和寄存器之和。

检索的（4）

7	3	2	0
OP码		4	

有效运算量地址由X寄存器内容给出。

带偏移检索(5)

7	3	2	0	7	0
OP码			5	Y	

有效运算量地址是X寄存器的内容和指令的第二个字节(Y)的内容之和。

扩充寻址(6)

7	2	0	7	6	0	7	0
OP码		6	1	Y	Z		

一个16位地址表示在指令的第二个和第三个字节内。如果在第2位即检索标志位是“0”，有效运算量地址就是字的内容，如果检索标志位是1，有效运算量地址就是地址字的内容和X寄存器的内容之和。

文字型(7)

7	3	2	0	7	0	7	0
OP码		7	运算量		1-4字节	运算量	

有效运算量的地址由P寄存器的内容给出。运算量位于指令的第一个字节后面的1-4字节。长度由运算量的精度而定。对于运算量每个字节的存取P寄存器是递增的。转移和返回转移的存储访问指令没有文字方式。

转移/返回转移间接扩充寻址(7)

7	3 2	0 7	6	0 7	0
OP 码	7	1	Y	Z	

一个 16 位的直接地址字位于指令的第二和第三个字节内，这个字寻址了一个间接地址字，如果第 15 位是 0，此时的地址由第二和第三个字节的内容给出。如果在第 15 位上的检索标号是 1，则此时的地址由第二、三个字节的内容和 X 寄存器的内容之和给出。

如果在间接地址字的第 15 位上是 0，实际转移地址就由间接地址字的内容给出。如果在间接地址字的第 15 位上是 1，则由间接字的内容和 X 寄存器的内容之和给出。

15	8	7	0
I	Y'	Z'	

M	有效地址	方 式
0	Y	直接第 0 页
1	$Y + (P)$	直接有关系
2	(Y)	间接第 0 页
3	$I=0 \quad (Y+(P))$ $I=1 \quad (Y+(P)+(X))$	间接有关系
4	X	检 索
5	$Y + (X)$	偏移检索
6	$I=0 \quad Y, Z$ $I=1 \quad Y, Z + (X)$	扩充地址 检索扩充地址型
7	(P)	文 字
7	$I=0 \quad (Y, Z)$	检索间接扩充地址 转移和页面转移

$I = 1 \quad (Y \cdot Z + (X))$	间接扩充地址指标型 转移和凡返回转移
---------------------------------	-----------------------

表 II. 1 有效地址计算

第三节指令目录

这一节包括了除输入输出的所有 M 8 0 1 指令的说明，而输入输出这类指令将在第四节中说明。对于每一种说明都给出了一个表示指令格式的图和它的操作码，自然是以十六进制形式给出的，在每种图的上面给出了一个记忆码和指令名称，在每个图的下面是指令的解释和一个可能被指令影响的寄存器和指示器的表，每种指令的计时在附录 (1) 中给出，所用的符号和意义在表 II. 1 中定义：

符 号	意 义
P	宏程序计数器
Y	8 位运算量地址字节
Y. Z	前 15 位运算量地址
I	包含在 Y. Z 运算量地址的 MSB 中的检索控制位

(续前表)

符 号	意 义
OV	溢出寄存器
W	字长控制寄存器
→	进 入
()	... 的内容
() _n	n 位的内容
+	算术加
V	逻辑“或”
^	逻辑“与”
+	按位加
⊙	按位乘
EA	实际地址
IA	中间地址
•	算术乘
÷	算术除

表 1.1 符号和意义

1.1 控制

控制这一组指令是一些单字节的指令，这种指令给出了一个特殊控制作用

HLT

停止

0 0

7

4

3

2

0

0	0	0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---	---	---

信息处理机和并行输入/输出被停止。P寄存器的内容将是停止指令的地址加1，停止下来的控制台运行或步进开关将呈现下一条要执行的指令。

TRR

01

捕 捉

7	4	3	0
0 0 0 0	0 0 0 1		

此时 P 寄存器的内容被储存在两个字节的存储单元中，其位置是用在 80_{16} 和 81_{16} 单元内的两个字节的地址字所表示，同时，在 80_{16} 和 81_{16} 所找到的地址代替 P 寄存器的原有内容。这条指令的执行是与打下控制台中断开关相类似，在执行下一条指令之前，中断是不能被识别的。

E. S. W.

记入判断开关

102

7	4	3	0
0 0 0 0	0 0 1 0		

四个控制台的判断开关的状态被表示在A寄存器的第15~12位上, 如果判断开关在上, 则对应的A寄存器的对应位置1, A寄存器的第8~11位置1, 0~7位不变

被改變的人：

15 8 7 0

1 0 1 0 不 变

S_3 S_2 S_1 S_0

A寄存器

11. 11. 11.

學子野望

0.4

7	4	2	2	0
0 0 0 0	0	1 0 0		

• 24 •